

Серверная плата Intel® SE7520BB2

Технические спецификации системных плат

Код заказа Intel D43861-001



Версия 1,1

Март 2006 г.

Подразделение корпоративных платформ и служб

Описание

Дата	Номер редакции	Изменения
11/2005	0.3	Первая предварительная версия
12/2005	0.5	Новые подробности о подсистеме памяти и энергопотреблении
12/2005	0.7	Обновленная блок-схема и данные по энергопотреблению серверных системных плат
02/2006	1.0	Обновленные схемы, таблицы и пояснения
03/2006	1.1	Обновленная информация о товарных знаках

Отказ от ответственности

ИНФОРМАЦИЯ, ПРИВЕДЕННАЯ В ЭТОМ ДОКУМЕНТЕ, СВЯЗАНА С СООТВЕТСТВУЮЩЕЙ ПРОДУКЦИЕЙ INTEL®. Этот документ никоим образом, в том числе процессуальным порядком или иным способом, не предоставляет прямых или косвенных прав на использование интеллектуальной собственности. КОРПОРАЦИЯ INTEL НЕ ПРИНИМАЕТ НА СЕБЯ НИКАКОЙ ОТВЕТСТВЕННОСТИ, СВЕРХ ОГОВОРЕННОЙ В УСТАНОВЛЕННЫХ INTEL УСЛОВИЯХ ПРОДАЖИ ПРОДУКЦИИ ДАННОГО ТИПА. INTEL НЕ ПРИНИМАЕТ НА СЕБЯ НИКАКОЙ ОТВЕТСТВЕННОСТИ И ОБЯЗАТЕЛЬСТВ, ВЫРАЖЕННЫХ ЯВНО ИЛИ ПОДРАЗУМЕВАЕМЫХ, СВЯЗАННЫХ С ПРОДАЖЕЙ И ИСПОЛЬЗОВАНИЕМ ЕЕ ПРОДУКЦИИ, ВКЛЮЧАЯ ГАРАНТИЙНЫЕ ОБЯЗАТЕЛЬСТВА И ОТВЕТСТВЕННОСТЬ, ОТНОСЯЩИЕСЯ К АДЕКВАТНОСТИ ПРОДУКЦИИ ДЛЯ КОНКРЕТНЫХ ПРИМЕНЕНИЙ, ГАРАНТИИ ПРИБЫЛИ, СОБЛЮДЕНИЮ ПАТЕНТНОГО ПРАВА, АВТОРСКОГО ПРАВА И ПРОЧИХ ПРАВ НА ИНТЕЛЛЕКТУАЛЬНУЮ СОБСТВЕННОСТЬ. Данная продукция Intel не предназначена для использования в области медицины или спасения жизни, а также в системах жизнеобеспечения. Корпорация Intel оставляет за собой право вносить изменения в спецификации продукции и соответствующую документацию в любое время без уведомления.

Разработчики не должны полагаться на отсутствие пометок «reserved» или «undefined» на каких-либо характеристиках или инструкциях. Intel оставляет за собой право вносить такие пометки в будущем и не несет никакой ответственности за конфликты или несовместимости, возникающие из-за них.

В настоящем документе содержится информация по продукции, находящейся в стадии разработки. Приведенная информация не является окончательной для данной продукции. Измененная информация будет опубликована после выхода продукции. Перед окончательным выбором конструкции свяжитесь с местным офисом продаж, чтобы убедиться, что у вас имеются самые последние данные.

Серверная плата Intel® SE7520BB2 может иметь выявленные конструкционные дефекты или ошибки, известные как список выявленных недостатков (errata). Эти дефекты могут влиять на характеристики продукции и быть причиной их несоответствия опубликованным спецификациям. Сведения о выявленных погрешностях и отклонениях предоставляются по требованию.

Настоящий документ и описываемое в нем программное обеспечение поставляется только в рамках программы лицензирования и может использоваться или копироваться только в соответствии с условиями лицензии. Информация, содержащаяся в настоящем пособии, предназначена для использования исключительно в информационных целях, может быть изменена без предварительного предупреждения, и не должна рассматриваться как обязательство корпорации Intel. Корпорация Intel не несет никакой ответственности за любые неточности или ошибки, которые могут содержаться в настоящем документе или в любом программном обеспечении, поставляемом в комплекте с настоящим документом.

Серверные платы производства корпорации Intel содержат интегрированные с высокой плотностью компоненты питания и компоненты VLSI, для охлаждения которых требуется адекватный воздушный поток. Процедура разработки и тестирования корпусов в корпорации Intel гарантирует, что при совместном использовании серверных компонентов Intel® полностью интегрированная система будет удовлетворять требования к температуре этих компонентов. Системный интегратор, решающий не использовать серверные компоненты Intel®, обязан ознакомиться со спецификациями поставщиков и рабочими параметрами оборудования, чтобы убедиться в наличии воздушного потока, достаточного для конкретных условий эксплуатации. Корпорация Intel не несет ответственность за неисправность компонентов серверной платы или самой серверной платы, если условия их эксплуатации не соответствуют установленным.

Данный документ или его часть нельзя воспроизводить, хранить в поисковых системах или передавать в любой форме и любыми способами (электронными, механическими, путем копирования, записи или иными) без предварительного письменного разрешения корпорации Intel, за исключением случаев, предусмотренных лицензионным соглашением.

Intel, Pentium, Itanium и Xeon являются товарными знаками или зарегистрированными товарными знаками корпорации Intel и ее подразделений в США и других странах.

* Другие наименования и товарные знаки являются собственностью своих законных владельцев. Корпорация Intel, 2006 ©

Содержание

1.	ВВЕДЕНИЕ	1
1.1	Назначение	1
1.2	Аудитория.....	1
1.3	Основное содержание документа	1
1.4	Отказ от ответственности за последствия использования системных плат ..	2
2.	ОПИСАНИЕ ПРОДУКЦИИ	3
2.1	Характеристики серверной платы.....	3
2.2	Описание функционирования серверной системной платы	4
2.3	Чертеж.....	5
2.4	Схема расположения компонентов серверной системной платы	6
2.5	Идентификация версии серверной платы Intel®	7
2.6	Обзор набора микросхем.....	7
2.6.1	Контроллер-концентратор памяти (MCH).....	8
2.6.2	Системная шина	8
2.6.3	Обзор подсистемы памяти MCH	8
2.6.4	PCI Express	9
2.6.5	Интерфейс концентратора.....	9
2.7	Подробное описание компонентов процессора	9
2.7.2	Инициализация нескольких процессоров.....	11
2.7.3	VRD процессора	11
2.7.4	Логика изменения конфигурации	12
2.7.5	Обнаружение присутствия модуля процессора	12
2.7.6	GTL2006*	12
2.7.7	Набор Common Enabling Kit для поддержки проектирования.....	13
2.8	Детальная информация о подсистеме памяти	14
2.8.1	Определение размера памяти	14
2.8.2	Отключение модулей DIMM.....	16
2.8.3	Инициализация кода коррекции ошибок.....	16
2.8.4	Модули памяти	16
2.8.5	Обработка ошибок памяти.....	18
2.8.6	Тестирование памяти.....	20
2.8.7	Среди функций памяти - надежность, непрерывность работы, удобство в обслуживании, использовании и управлении (RASUM).....	20
2.8.8	Регистрация информации об ошибках памяти при обработке сигналов RAS в журнале системных ошибок.....	27
2.8.9	Перемещение верхней области памяти	29
2.9	Детальная информация о подсистеме PCI	29
2.9.1	Интерфейс PCI ICH5-R	29
2.9.2	PXH	35

2.10	Детальная информация о подсистеме ввода/вывода	38
2.10.1	Сервер ввода – вывода	38
2.10.2	Память Intel® Advanced+ Boot Block Flash Memory с напряжением питания 3 В	39
2.10.3	Видеоконтроллер	39
2.11	Генерация и распределение синхронизирующих импульсов	40
2.11.1	Генератор тактовых сигналов СК409	40
2.11.2	Дифференциальный буфер DB800	40
3.	АРХИТЕКТУРА BIOS	41
3.1	Функциональность BIOS	41
3.1.1	Поддержка функций BIOS	41
3.1.2	Строка идентификации BIOS	46
3.1.3	Аппаратные средства, требующие поддержки BIOS	47
3.1.4	Процедура POST	47
3.1.5	Пользовательский интерфейс	48
3.2	Утилита BIOS Setup	49
3.2.1	Вход в утилиту BIOS Setup	49
3.3	Команды с клавиатуры	49
3.4	Вход в утилиту BIOS Setup	51
3.4.1	Главное меню	51
3.4.2	Меню «Advanced»	52
3.4.3	Меню «Boot»	64
3.4.4	Меню «Security»	66
3.4.5	Меню «Server»	68
3.4.6	Меню «Exit»	73
3.5	Утилита настройки конфигурации BIOS	73
3.5.1	Утилита обновления флэш-памяти	73
3.6	Детальная информация по локализации	75
3.7	Архитектура и утилита обновления флэш-памяти	75
3.7.1	Развертывание BIOS и интерактивные обновления	75
3.7.2	Утилита обновления флэш-памяти	76
3.7.3	Двоичная область пользователя	77
3.7.4	Режим восстановления	78
3.7.5	Обновление логотипа OEM-компании	80
3.8	Двоичный код OEM-компании	81
3.9	Нумерация PCI	83
3.10	Контрольные точки выполнения интерфейса ACPI	84
4.	АРХИТЕКТУРА УПРАВЛЕНИЯ ПЛАТФОРМОЙ	85
4.1	Обзор архитектуры управления	85
4.1.1	Многоуровневая модель управления сервером	85
4.1.2	5V режима ожидания	90
4.1.3	Команды, абстракции и сообщения IPMI	90

4.1.4	IPMI «Sensor Model»	91
4.1.5	Шина частного управления (Private Management Bus)	92
4.1.6	Контроллеры управления	92
4.2	Основные функции и возможности системы управления	108
4.2.1	Обзор mBMC	108
4.2.2	Контроллер управления основной платой mBMC с функцией самотестирования	109
4.2.3	Интерфейсы SMBus	109
4.2.4	Внешний интерфейс mBMC-контроллера	109
4.2.5	Интерфейсы сообщений	110
4.2.6	Прямое управление платформой (IPMI через LAN)	113
4.2.7	Пробуждение/Включение системы по сигналу сети и поддержка пакетов Magic Packet	115
4.2.8	Контрольный счетчик	116
4.2.9	Журнал событий системы (SEL)	116
4.2.10	Хранилище записей показаний датчиков (SDR)	117
4.2.11	Прием сообщений о событиях	117
4.2.12	Фильтрация событий и оповещения	117
4.2.13	Генерирование NMI	121
4.2.14	Генерирование SMI	121
4.3	Цепи управления платформой	122
4.3.1	Интерфейсные сигналы блока питания	122
4.3.2	Управление перезагрузкой системы	124
4.3.3	Управление скоростью вентиляторов	125
4.3.4	Управление с передней панели	125
4.3.5	Информация FRU	129
4.4	Датчики	129
4.4.1	Коды типов датчиков	129
4.5	Блок-схема управления сервером	134
4.5.1	Шины управления и разъемы	135
4.5.2	Клавиатура и мышь SIO	135
4.5.3	Клавиатура и мышь PS2	135
4.5.4	Fast Management Link (FML)	135
4.5.5	Шина LPC /порты стиля контроллера клавиатуры	136
4.5.6	Порт USB	137
4.5.7	Интерфейсы I ² C	137
4.5.8	16550* UART	138
4.5.9	Прерывания	138
4.5.10	Контакты GPIO и индикаторы жестких дисков	138
4.5.11	Поддерживаемые состояния сна	139
4.5.12	События пробуждения	140
4.5.13	Восстановление питания переменного тока в случае отказа системы	140
4.5.14	Поддержка управления питанием PCI	140

4.6	Индикаторы состояний системы	141
4.6.1	Передняя панель	142
5.	СООБЩЕНИЯ ОБ ОШИБКАХ И ИХ ОБРАБОТКА	144
5.1	Распространение ошибки	145
5.2	Отказоустойчивая загрузка (FRB)	145
5.2.1	Контрольный таймер FRB-3 – ошибка перезагрузки загрузочного процессора	145
5.2.2	Контрольный таймер FRB-2 – ошибка тестов POST при выключении загрузочного процессора	145
5.2.3	Контрольный таймер FRB-1 – ошибка автоматического тестирования загрузочного процессора	146
5.2.4	Таймер загрузки ОС – ошибка загрузки ОС.....	146
5.2.5	Сбой прикладного процессора	146
5.2.6	Обслуживание вышедших из строя процессоров	147
5.3	Сообщения об ошибках и коды ошибок.....	148
5.3.1	Коды ошибок и сообщения POST	148
5.3.2	Звуковые сигналы об ошибках во время тестирования системы при включении	151
5.3.3	Контрольные точки	152
5.4	Регистрация ошибок.....	154
5.4.1	Источники и типы ошибок	154
5.4.2	Обработка SMI	154
5.4.3	Формат записи ошибок.....	156
5.4.4	Контрольные точки POST-кода	160
5.4.5	Контрольные точки кода инициализации загрузочного блока	165
5.4.6	Boot Block Recovery Code Checkpoint.....	166
5.4.7	Контрольные точки кода DIM	168
5.4.8	Предотвращение скапливания одноразрядных ошибок	168
5.5	Надежность, непрерывность работы и удобство в обслуживании (RAS)...	169
5.5.1	Функции RAS памяти	169
5.5.2	PCI Express	170
5.5.3	Функции RAS системной шины.....	171
5.5.4	PCI-X.....	171
5.5.5	Использование разъема RMC	171
5.5.6	Развертывание BIOS	172
6.	РАЗЪЕМЫ И БЛОКИ ПЕРЕМЫЧЕК	173
6.1	Схема контактов разъемов	173
6.2	Блоки перемычек	179
6.2.1	Развертывание перемычки выбора банка памяти для BIOS	179
6.2.2	Восстановление BIOS	179
6.2.3	Очистка пароля.....	180
6.2.4	Очистка CMOS	180

7.	ТРЕБОВАНИЯ К РАБОЧЕЙ СРЕДЕ	182
7.1	Требования к окружающей среде и охлаждению	182
7.2	Требования к источнику питания.....	183
7.2.1	Параметры энергопотребления системной платы	183
7.2.2	Поддерживаемое напряжение.....	184
7.2.3	Карта устройства с питанием в режиме ожидания	185
7.2.4	Блок-схема перезагрузки системы	185
7.3	Требования к воздушному потоку	188
7.3.1	Отказ от ответственности за последствия использования системных плат.....	188
7.4	Расчетные данные среднего времени наработки на отказ системной платы	188
7.4.1	Технология Intel SpeedStep®.....	188
7.5	Соответствие продукции нормам и правилам	188
7.5.1	Соответствие продукции нормам безопасности	188
7.5.2	Соответствие продукции нормам электромагнитной совместимости.....	189
7.5.3	Обязательные / стандартные: сертификаты, регистрация, декларации	189
7.5.4	Соответствие продукции нормам и правилам маркировки	190
7.5.5	Замечания по электромагнитной совместимости	190
7.5.6	Замена резервной батареи.....	191
	ГЛОССАРИЙ	192
	СПРАВОЧНАЯ ДОКУМЕНТАЦИЯ.....	193

Список рисунков

Рисунок 1. Вид верхней стороны серверной системной платы Intel® SE7520BB2.....	4
Рисунок 2. Сборочный чертеж серверной системной платы Intel SE7520BB2	5
Рисунок 3. Серверная плата Intel® SE7520BB2	6
Рисунок 4. Монтаж процессоров с помощью CEK.....	13
Рисунок 5. Идентификация банков памяти	15
Рисунок 6. Конфигурация из четырех модулей DIMM.....	24
Рисунок 7. Зеркальная конфигурация памяти из шести модулей DIMM	25
Рисунок 8. Зеркальная конфигурация памяти из восьми модулей DIMM	26
Рисунок 9. Блок-схема архитектуры управления платформой	89
Рисунок 10. Контроллер управления основной платой mBMC в системе управления сервером	108
Рисунок 11. Внешний интерфейс mBMC-контроллера	110
Рисунок 12. IPMI-over-LAN.....	113
Рисунок 13. Контрольные сигналы блока питания	122
Рисунок 14. Блок-схема управления сервером	134
Рисунок 15. Схема контактов передней панели	143
Рисунок 16. Расположение перемычек блокировки SE7520BB2.....	181
Рисунок 17. Синхронизация перезапуска и PowerGood.....	186
Рисунок 18. Таблица упорядочения питания серверной системной платы Intel® SE7520BB2.....	187

Список таблиц

Таблица 1. Таблица поддерживаемых процессоров	10
Таблица 2. Объемы модулей памяти DIMM	14
Таблица 3. Поддерживаемые схемы размещения модулей DDR2-400 DIMM.....	17
Таблица 4. Обработка ошибок памяти в режиме RAS.....	18
Таблица 5. Обработка ошибок памяти в режиме non-RAS.....	19
Таблица 6. События, связанные с ошибками памяти при обработке сигналов RAS	28
Таблица 7. GPIO серверной платы Intel® SE7520BB2.....	33
Таблица 8. Схема 6 контактов разъема PCI-X	35
Таблица 9. Опции панели команд с клавиатуры программы BIOS Setup	49
Таблица 10. Опции меню Main программы BIOS Setup	51
Таблица 11. Опции меню Advanced программы BIOS Setup.....	52
Таблица 12. Опции подменю Processor Configuration программы BIOS Setup	52
Таблица 13. Опции меню IDE Configuration программы BIOS Setup	53
Таблица 14. Смешанная конфигурация P-ATA-S-ATA с одним лишь первичным портом P-ATA.....	55
Таблица 15. Подменю IDE Device Priority программы BIOS Setup.....	56
Таблица 16. Подменю Floppy Configuration программы BIOS Setup.....	57
Таблица 17. Подменю Super I/O Configuration программы BIOS Setup	58
Таблица 18. Подменю USB Configuration программы BIOS Setup	58
Таблица 19. Подменю USB Mass Storage Device Configuration программы BIOS Setup	59
Таблица 20. Подменю PCI Configuration программы BIOS Setup.....	60
Таблица 21. Подменю Memory Configuration программы BIOS Setup.....	62
Таблица 22. Меню Boot программы BIOS Setup.....	64
Таблица 23. Подменю Boot Settings Configuration программы BIOS Setup	64
Таблица 24. Подменю Boot Device Priority программы BIOS Setup	65
Таблица 25. Подменю Hard Disk Drive программы BIOS Setup.....	65
Таблица 26. Подменю Removable Drives программы BIOS Setup.....	65
Таблица 27. Подменю CD/DVD Drives программы BIOS Setup	66
Таблица 28. Опции меню Security программы BIOS Setup.....	66
Таблица 29. Меню Server программы BIOS Setup.....	68
Таблица 30. Подменю System Management программы BIOS Setup	70
Таблица 31. Подменю Serial Console Features программы BIOS Setup	71
Таблица 32. Подменю Event Log Configuration программы BIOS Setup	72
Таблица 33. Меню Exit программы BIOS Setup	73
Таблица 34. Контрольные точки выполнения интерфейса ACPI	84
Таблица 35. Обзор многоуровневой системы управления платформой.....	86
Таблица 36. Power Good/Reset	87
Таблица 37. Действия кнопки защищенного режима	87
Таблица 38. Поддержка функций памяти RAS многоуровневой системой управления сервером.....	88

Таблица 39. Встроенные датчики контроллера mBMC.....	96
Таблица 40. Встроенные инструментальные средства платформы, использующие контроллер mBMC	97
Таблица 41. Датчики инструментальных средств платформы, использующие модуль управления Intel® Management Module.....	99
Таблица 42. Поддерживаемые назначения каналов	111
Таблица 43. Характеристики сетевого канала.....	112
Таблица 44. Спецификации канала локальной сети.....	114
Таблица 45. Приоритеты действий PEF.....	119
Таблица 46. Заводские настройки фильтрации событий контроллера mBMC.....	119
Таблица 47. Источники управления питанием	123
Таблица 48. Источники перезагрузки системы и действия	124
Таблица 49. Светоиндикаторы идентификации корпуса	127
Таблица 50. Индикатор сбоя/состояния.....	127
Таблица 51. Встроенные датчики контроллера mBMC.....	131
Таблица 52. Датчики платформы серверной платы Intel® SE7520BB2, необходимые для управления.....	132
Таблица 53. Цветовая индикация на передней панели.....	144
Таблица 54. Коды ошибок и сообщения.....	148
Таблица 55. Коды ошибок, отправляемые модулю управления.....	150
Таблица 56. Звуковые сигналы об ошибках во время тестирования системы при включении	151
Таблица 57. Звуковые сигналы BIOS	151
Таблица 58. Индикатор кода процедуры POST (пример).....	152
Таблица 59. Коды ошибок памяти	153
Таблица 60. События ошибок памяти	157
Таблица 61. Содержание полей данных сообщения об ошибках памяти.....	158
Таблица 62. События ошибки PCI	158
Таблица 63. Содержание полей данных сообщения об ошибках PCI.....	159
Таблица 64. FRB-2 События ошибки.....	159
Таблица 65. Содержание полей данных сообщения об ошибках FRB-2	160
Таблица 66. Контрольные точки POST-кода.....	160
Таблица 67. Контрольные точки кода инициализации загрузочного блока	165
Таблица 68. Boot Block Recovery Code Checkpoint.....	166
Таблица 69. Звуковые сигналы восстановления загрузочного блока	167
Таблица 70. Контрольные точки кода DIM.....	168
Таблица 71. Таблица разъемов серверной платы	173
Таблица 72. Разъем для тестирования.....	173
Таблица 73. 8-контактный контроллер RMC (Поддержка удаленного управления) OEM-компании	174
Таблица 74. Разъем EPS12V 2x12	175
Таблица 75. Разъем EPS12V 2x4	175
Таблица 76. Разъем EPS12V 1x5	175

Таблица 77. Разъем первичного канала контроллера IDE.....	176
Таблица 78. Разъем передней панели.....	176
Таблица 79. Разъемы USB передней панели.....	177
Таблица 80. Разъем USB задней панели.....	177
Таблица 81. Разъем SATA	177
Таблица 82. Держатель батареи	177
Таблица 83. Микрофон Piezo*.....	178
Таблица 84. Вентилятор 1 и вентилятор 2 (3 контактный + 2 контактный)	178
Таблица 85. Вентилятор 3 и вентилятор 4.....	178
Таблица 86. Вентилятор 5 и вентилятор 6.....	178
Таблица 87. Блок переключателей выбора BIOS.....	179
Таблица 88. Установка переключателей для восстановления BIOS	179
Таблица 89. Установка переключателей очистки пароля	180
Таблица 90. Установка переключателей для очистки CMOS	180
Таблица 91. Параметры энергопотребления системной платы.....	183
Таблица 92. Таблица напряжений питания серверной системной платы Intel® SE7520BB2	184

<<Данная страница преднамеренно оставлена пустой>>

1. Введение

1.1 Назначение

Техническая спецификация серверной платы Intel® SE7520BB2 содержит техническую информацию по функциональной архитектуре и наборе характеристик серверной платы.

1.2 Аудитория

Данный документ предназначен для технических специалистов, желающих ознакомиться с техническим описанием серверных системных плат SE7520BB2. Для понимания содержания данного документа требуется практический опыт работы с персональными компьютерами, знания архитектуры серверов Intel®, архитектуры процессоров Intel®, технологий памяти и архитектуры шины PCI.

1.3 Основное содержание документа

Настоящий документ состоит из следующих глав:

Глава 1: Введение

Глава 2: Описание продукции

Глава 3: Архитектура платы

Глава 4: BIOS

Глава 5: Архитектура управления платформой

Глава 6: Сообщения об ошибках и обработка ошибок

Глава 7: Разъемы и блоки перемычек

Глава 8: Требования к рабочей среде

Глава 9: Другая полезная информация

1.4 Отказ от ответственности за последствия использования системных плат

Серверные платы производства корпорации Intel содержат интегрированные с высокой плотностью компоненты питания и компоненты VLSI, для охлаждения которых требуется адекватный воздушный поток. Чтобы определить для конкретного приложения требования к воздушному потоку и необходимые условия окружающей среды, системные интеграторы должны ознакомиться со спецификациями производителя и рабочими параметрами оборудования. Корпорация Intel не несет ответственность за неисправность компонентов серверной платы или самой серверной платы, если условия их эксплуатации не соответствуют установленным.

2. Описание продукции

Серверная системная плата SE7520BB2 – это серверная системная плата на базе 32-разрядной архитектуры Intel® (IA) поддерживающая два двухъядерных процессора Intel® Xeon™ с пониженным энергопотреблением, оптимизированная для использования в высокопроизводительных вычислительных окружениях и позволяющая реализовать преимущества экстремально низкого энергопотребления каждым вычислительным узлом. Платформа на базе набора микросхем Intel® E7520 включает в себя несколько новых высокоскоростных шин и сигнальную архитектуру.

2.1 Характеристики серверной платы

Серверная системная плата SE7520BB2 поддерживает следующий набор функций:

- 32-разрядная серверная платформа архитектуры Intel® на базе набора микросхем Intel® E7520
- Два двухъядерных процессора Intel® Xeon™ LV с частотой системной шины 667 МГц
- Восемь разъемов DDR2 DIMM, поддерживающие модули DDR2-400 Registered с кодом коррекции ошибок (два канала памяти, по четыре модуля DIMM на один канал, четыре банка памяти)
- Контроллер-концентратор входа-выхода Intel® 82801ER I/O (ICH5-R), сопряженный с контроллером-концентратором памяти Intel® E7520 через интерфейс концентратора 1.5
- Мост PXH PCI-X работающий с контроллером-концентратором памяти через интерфейс PCI Express x8, с поддержкой 1 разъема PCI-X 2.0 133-МГц
- Один разъем PCI Express x8, обеспечивающий прямую связь между устройствами PCI Express x8 и контроллером-концентратором памяти MCH
- Контроллер Marvell* «Yukon» 88E8050 10/100/1000 ЛС, сопряженный с контроллером-концентратором памяти через интерфейс x1 PCI Express
- Intel® 82541PI поддерживает ЛС 10/100/1000 и сопряжен с ICH5-R через шину PCI 32/33
- Шина LPC подсистемы ввода – вывода сервера
- Встроенный видео контроллер PCI ATI* Rage XL
- Два порта USB 2.0 (USB 1-2) на задней панели ввода/вывода
- Два порта USB 2.0 (USB 3-4), подключаемых через контактный разъем на системной плате
- Два интерфейса SATA
 - 2 порта SATA 1.0, поддерживаемые контроллером ICH5-RR (SATA_A0, SATA_A1)
 - 4 порта SATA 2.0, поддерживаемые контроллером Silicon Image (SATA_B0, SATA_B1, SATA_B2, SATA_B3)
- Один интерфейс ATA-100
- Один последовательный порт на задней панели ввода/вывода
- Второй последовательный порт, подключаемый через контактный разъем на системной плате
- Один разъем для флоппи-дисковода

2.2 Описание функционирования серверной системной платы

Следующий рисунок представляет высококачественную иллюстрацию серверной платы SE7520BB2.

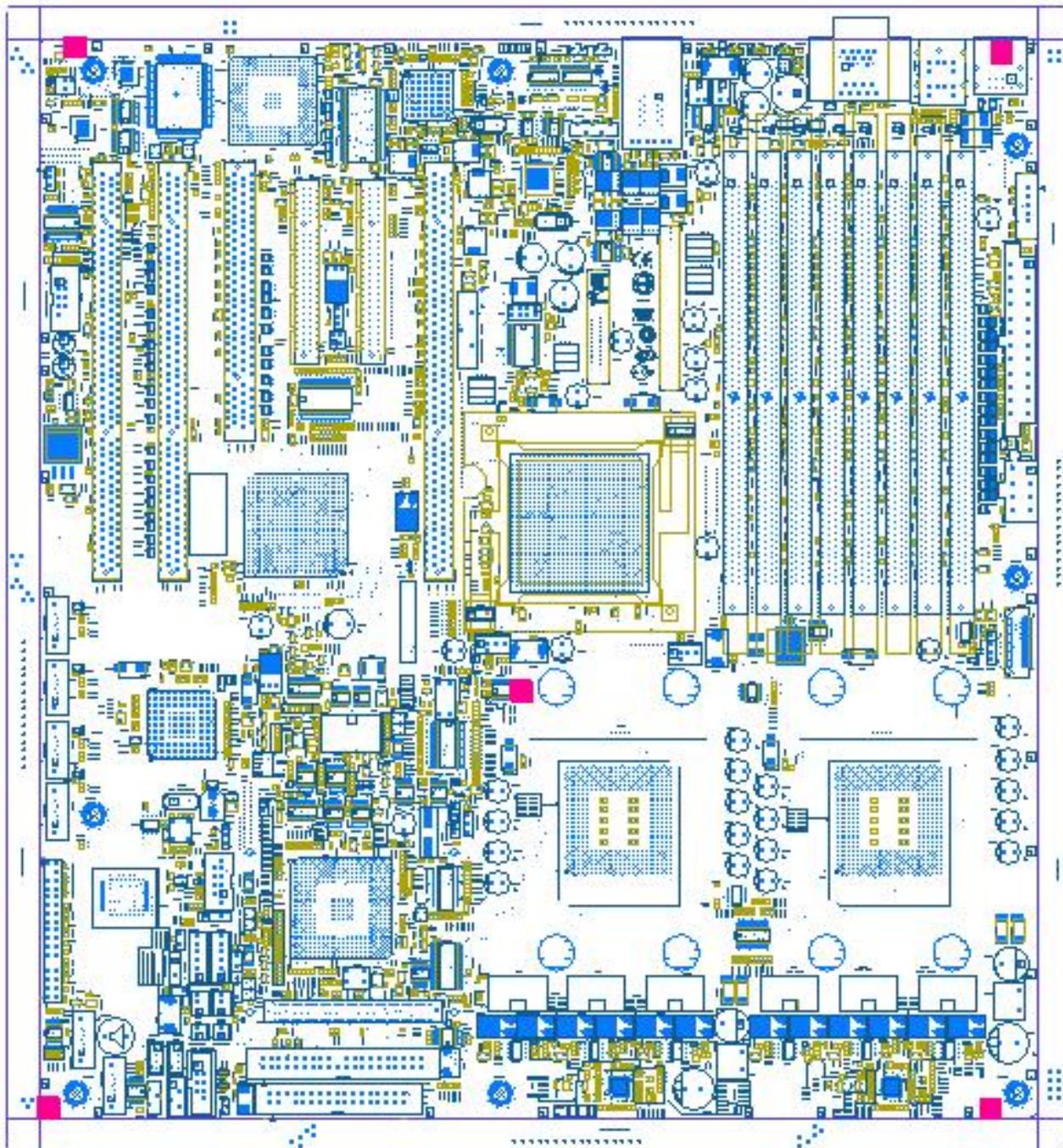


Рисунок 1. Вид верхней стороны серверной системной платы Intel® SE7520BB2

2.3 Чертеж

Следующий рисунок представляет техническую иллюстрацию серверной платы SE7520BB2.

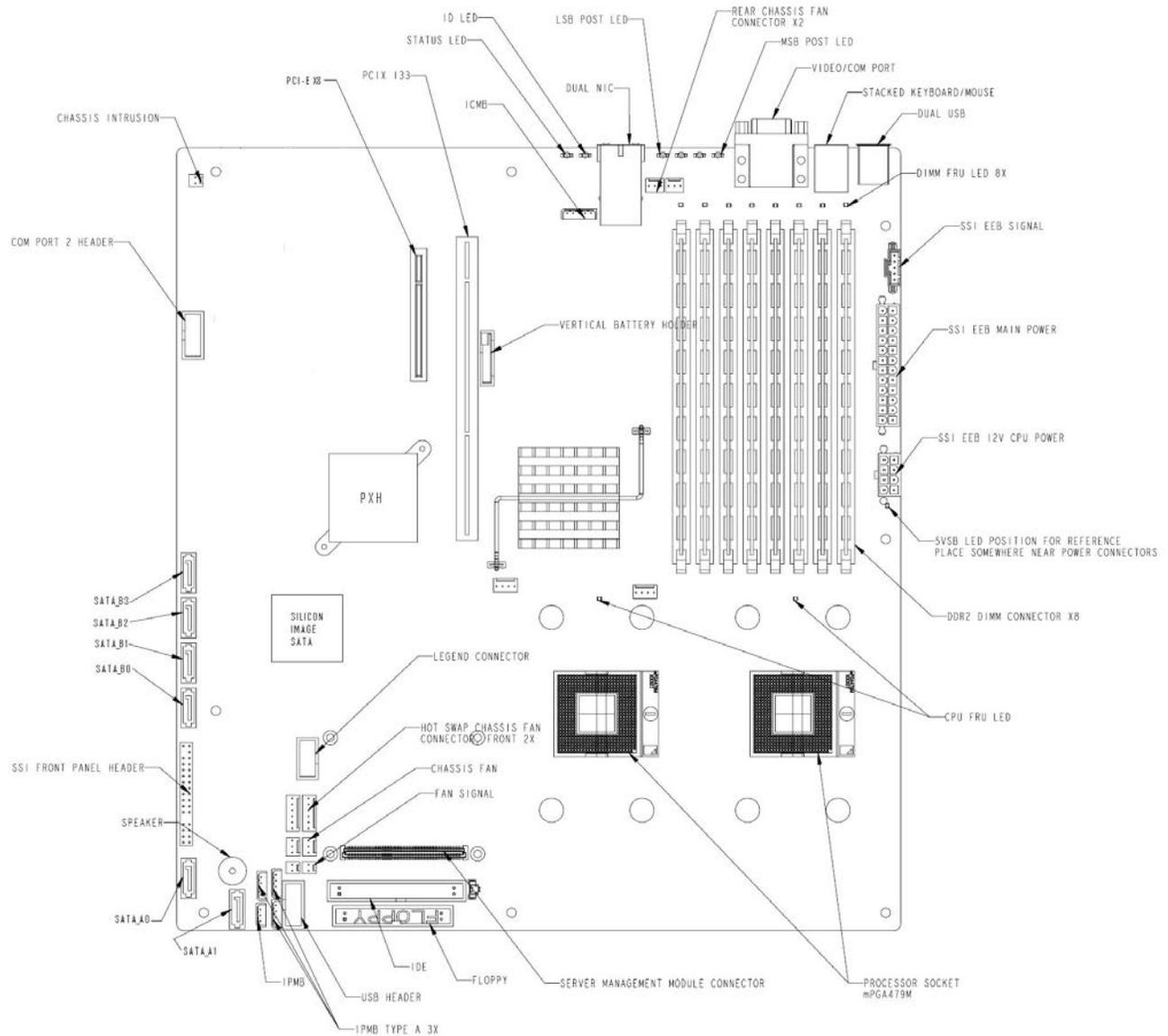


Рисунок 2. Сборочный чертеж серверной системной платы Intel SE7520BB2

2.4 Схема расположения компонентов серверной системной платы

Рисунок 3. представляет функциональные блоки серверной платы SE7520BB2 и поддерживаемые модули надстройки.

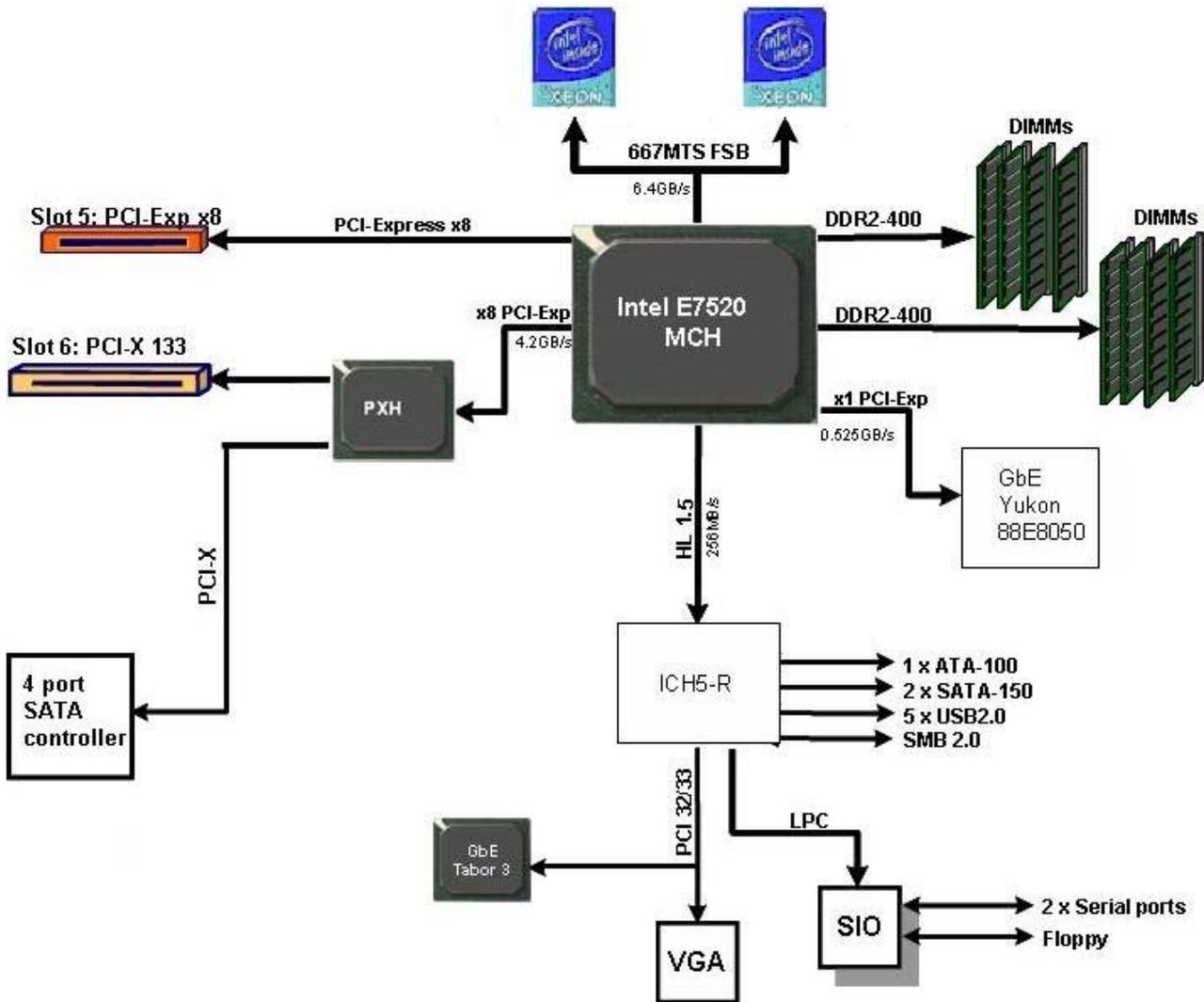


Рисунок 3. Серверная плата Intel® SE7520BB2

2.5 Идентификация версии серверной платы Intel®

Версию серверной системной платы Intel® можно определить по трем последним цифрам в шифре системной платы.

Пример номера детали C44686-703

7 = Номер производственной партии (FAB)

03 = Версия 3

Шифр системной платы напечатан на серверной системной плате методом шелкографии. Его также можно узнать с помощью утилиты Intel® Server Management или через меню настройки параметров BIOS, выбрав пункт «System Management» (Управление системой). См. Таблица 30. Подменю System Management программы BIOS Setup.

2.6 Обзор набора микросхем

Архитектура системной платы SE7520BB2 разработана на базе набора микросхем Intel® E7520. Набор микросхем состоит из трех компонентов, которые обеспечивают взаимодействие между всем основными подсистемами, находящимися на системной плате, включая процессор, память и подсистемы ввода-вывода. Эти три компонента включают в себя:

- Контроллер-концентратор памяти (MCH)
- Контроллер-концентратор ввода/вывода (ICH5-R)
- 64-разрядный концентратор Intel® 6700PXH PCI-X (PXH)

Контроллер-концентратор памяти настроен для поддержки следующих интерфейсов:

- Системная шина с тактовой частотой 667 МГц с использованием технологии AGTL+ (Assisted Gunning Transceiver Logic) передача сигналов, шина данных 4 x 64 со скоростью 6,4 ГБ/с.
- Два канала памяти с поддержкой 72-битного модуля DIMM с буферизацией и кодом коррекции ошибок для памяти DDR2-400. Пропускная способность памяти DDR на один канал составляет 2,13/2,6 ГБ/с и 4.26 ГБ/с на два канала.
- Три разъема интерфейса PCI Express x8 с совокупной пропускной способностью 4 ГБ/с сопрягаются с мостом PXH и другими встроенными устройствами. Каждый из этих интерфейсов может быть настроен как два независимых интерфейса x4.
- Интерфейс концентратора 1,5., 8 бит, 66 МГц, 266 МБ/с подключается к ICH5-R.
- Поддержка функции отладки через разъем порта XDP (Extended Debug Port).
- Поддержка надежности, непрерывности работы, удобства в обслуживании, использовании и управлении с помощью функций памяти и доступа к порту отладки шины SMBus.

2.6.1 Контроллер-концентратор памяти (MCH)

Контроллер-концентратор памяти MCH использует комплект FC-BGA с 1077 сферическими контактами, в которых интегрированы 4 основные функции:

- Системная шина
- Контроллер памяти
- Контроллер PCI-Express
- Контроллер HL

2.6.2 Системная шина

Контроллер-концентратор памяти Intel® E7520 MCH поддерживает один или два двухъядерных процессора Intel® Xeon™ LV. Контроллер-концентратор памяти поддерживает частоту шины базовой конфигурации в 166 МГц. Интерфейс адресации и запросов передается с двойной частотой при 333 МГц, а 64-битный интерфейс данных передается (частично) на учетверенной частоте 667 МГц. Это обеспечивает подходящий адрес системной шины и скорость передачи данных 6,4 ГБ/с.

2.6.3 Обзор подсистемы памяти MCH

Контроллер-концентратор памяти MCH содержит интегрированный контроллер памяти для прямого соединения по двум каналам с буферизацией DDR2-400 (с ECC или без). Пиковая пропускная способность теоретических данных памяти при использовании технологии DDR2 -400 МГц составляет 6,4 ГБ/с.

После установки и запуска, оба канала DDR2 работают в связке. Максимальный объем памяти DDR2-400, поддерживаемый контроллером-концентратором памяти, равен 16 ГБ.

Существует несколько функций RASUM, характерных для контроллера-концентратора MCH интерфейса памяти:

- Осуществляется поддержка зеркального отображения памяти, что позволяет создавать две копии всех данных в подсистеме памяти (одна в каждом канале)
- Резервирование модулей DIMM позволяет оставлять один модуль в резерве и включать его при неисправности другого модуля DIMM на этом же канале. Резервирование модуля DIMM и зеркальное отображение памяти взаимно исключают друг друга.
- Периодическая чистка памяти аппаратных средств требует поддержку очистки памяти
- Повторная попытка при обнаружении неустранимых ошибок памяти
- Технология Intel® Single Device Data Correction (SDDC) x4 используется для обнаружения ошибок памяти и исправления любого количества одно битовых ошибок в одном устройстве памяти

Примечание: Резервирование модулей DIMM и зеркальное отображение памяти являются взаимоисключающими режимами.

2.6.4 PCI Express

Контроллер-концентратор памяти Intel® E7520 – это первый набор микросхем Intel®, поддерживающий новый высокоскоростной интерфейс последовательного ввода-вывода PCI Express* для повышения пропускной способности ввода-вывода. Масштабируемый интерфейс PCI Express соответствует *Спецификации Интерфейсов PCI Express*, Вер. 1.0a*. Контроллер-концентратор памяти обеспечивает три интерфейса x8 PCI Express, теоретическая максимальная пропускная способность каждого равняется 4 ГБ/с.

По определению *Спецификации Интерфейсов PCI Express*, Вер. 1,0a*, контроллер-концентратор памяти Intel® E7520 является компонентом корневого класса. Интерфейсы контроллера-концентратора памяти PCI Express поддерживают соединение со множеством мостов и устройств отвечающих требованиям той же версии *Спецификации Интерфейсов PCI Express*, Вер. 1,0a*. Информации о картах расширения, протестированных на этой платформе, приведена в Списке протестированных аппаратных средств и ОС серверной платы Intel® SE7520BB2.

2.6.5 Интерфейс концентратора

Контроллер-концентратор памяти поддерживает Intel® 82801ER I/O контроллер-концентратор 5-R (ICH5-R) через отдельный интерфейс концентратора с пиковой пропускной способностью 266МБ/с и частотой шины x4 равной 66 МГц.

2.7 Подробное описание компонентов процессора

Серверная плата SE7520BB2 предназначена для поддержки одного или двух двухъядерных процессоров Intel® Xeon™ LV с тактовой частотой от 1,67 до 2,0 ГГц. Эти процессоры изготавливаются по 65-нанометровой производственной технологии Intel и используют 667-МГц системную шину. При установке двух процессоров номера их версий, напряжение ядра, размер кэш-памяти и частота системной шины/ядра должны быть идентичными. При установке только одного процессора его можно устанавливать только в разъем с надписью CPU1, а другой разъем должен оставаться пустым. Вспомогательные схемы серверной системной платы включают следующие компоненты:

Примечание: *Предыдущие поколения процессоров Intel® Xeon™ не поддерживаются серверной платой SE7520BB2.*

- Два 479-контактных разъема (ZIF) для процессора
- Вспомогательная схема системной шины AGTL+
- Логика изменения конфигурации
- Логика определения присутствия модуля процессора
- Функции обнаружения BSEL
- Преобразование уровня сигнала процессора
- Поддержка механизма крепления процессора CEK

Таблица 1. Таблица поддерживаемых процессоров

Семейство процессоров	Тип корпуса	Частота системной шины	Технология	Тактовая частота	Объем кэш-памяти	Поддержка
Двухъядерный процессор Intel® Xeon™ LV	FC-mPGA4	667 МГц	65 нм	2,0 ГГц	2 048KB	Да
Двухъядерный процессор Intel® Xeon™ LV	FC-mPGA4	667 МГц	65 нм	1,67 ГГц	2 048KB	Да

Конструкция серверной платы SE7520BB2 обеспечивает подачу тока до 12 А на каждый процессор. Процессоры с более высокими требованиями к току не поддерживаются.

2.7.1.1 Использование процессоров с различными технологическими степпингами

Для обеспечения оптимальной производительности системы в нее должны быть установлены только идентичные процессоры. Степпинги процессора могут быть смешанными, при условии, что разница степпинга во всех установленных процессорах составляет не более единицы. Если разница степпинга установленных процессоров составляет более 1, в журнале событий системы фиксируется ошибка 8080 – 8183, а в модули управления сообщается ошибка 01298000-01298003). При допустимом смешивании степпингов ошибки не фиксируются.

2.7.1.2 Модели смешанной конфигурации процессоров

Модели процессоров могут быть использованы только по отдельности. Если данное условие не было выполнено, в журнале событий системы фиксируется ошибка 8196.

2.7.1.3 Семейство процессоров смешанной конфигурации

Различные семейства процессоров не могут быть использованы в одной системе. Если данное условие не было выполнено, в журнале событий системы фиксируется ошибка 8194.

2.7.1.4 Объем кэш-памяти процессоров смешанной конфигурации

Если установленные процессоры имеют смешанную кэш-память, в журнале событий системы фиксируется ошибка 8192, а в модули управления сообщается ошибка 196. Объем кэш-памяти всех уровней должен совпадать для всех установленных процессоров. Процессоры со смешанной кэш-памятью не поддерживаются.

2.7.1.5 Микрокод

Процессоры IA32 имеют возможность устранения определенных ошибок посредством загрузки предоставленного корпорацией Intel блока данных (обновление микрокода). BIOS отвечает за хранение обновления в нестираемом участке памяти и его загрузку на все процессоры во время процедуры POST. BIOS проводит все рекомендуемые процедуры проверки подлинности обновления перед его сохранением во флэш-памяти.

2.7.1.6 Кэш-память процессора

BIOS включает все уровни кэш-памяти процессора на самых ранних возможных этапах процедуры POST. Пользователь не имеет возможность изменять конфигурацию кэш-памяти процессора, ее размер или политику ее использования. Все обнаруженные размеры кэш-памяти фиксируются в структурах SMBIOS типа 7. Кэш-память самого высокого уровня, имеющая самый большой размер, отображается утилитой BIOS Setup.

2.7.2 Инициализация нескольких процессоров

Процессоры IA32 используют арбитражный протокол BSP на базе микрокода. при перезагрузке, процессоры выбирают загрузочный процессор (BSP). Если во время встроенного автоматического тестирования обнаруживается серьезная ошибка, данный процессор не участвует в инициализации протокола. Если тест BIST пройден только одним процессором, этот процессор автоматически выбирается аппаратным обеспечением как загрузочный и начинает работу с вектора перезагрузки (F000:FFF0h). Процессор, не выступающий в качестве загрузочного, называется прикладным процессором (AP).

Загрузочный процессор BSP выполняет процедуру POST и готовит машину к загрузке операционной системы. При загрузке система находится в виртуальном проводном режиме, и только BSP может принимать локальные прерывания (INTR от программируемого контроллера прерываний (PIC) и немаскируемые прерывания (NMI)). при однопроцессорной конфигурации система работает в виртуальном проводном режиме, пользующемся локальными специализированными интегральными микросхемами APIC

Во время загрузки BSP активирует все AP. При активации AP программирует реестры своего диапазона типа памяти (MTRR), приводя их в соответствие с аналогичными реестрами BSP. Все AP выполняют команду остановки (halt) с отключенными локальными прерываниями. Обработчик режима управления системой рассчитывает, что все процессоры реагируют на сигнал SMI. Если загрузочный процессор обнаруживает прикладной процессор, т.е. процессор с более низкими характеристиками, или обладает более низким значением, возвращаемым функцией CPUID, выбирается наименее функциональный процессор в качестве загрузочного процессора.

2.7.3 VRD процессора

Серверная плата SE7520BB2 имеет два регулятора напряжения VRD (Voltage Regulator Down) обеспечивающие соответствующее напряжение для установленных процессоров. Каждый регулятор напряжения соответствует спецификации EmVRD 11.0 и предназначен для поддержки текущих конфигураций процессоров и двухъядерных процессоров Intel® Xeon™ LV следующего поколения, которые требуют максимума 36 А и поддержки пика в 45 А.

Системная плата поддерживает гибкую материнскую плату (FMB) всех двухъядерных процессоров Intel® Xeon™ LV относительно требований по силе тока и скорости процессора. Гибкая материнская плата оценивает максимальные параметры процессора в течение его эксплуатации. Данные значения – это лишь приближенная оценка, от которой могут отличаться реальные спецификации процессора. В настоящее время требуется, чтобы гибкая материнская плата поддерживала максимальное значение в 36 А и пиковое значение в 45 А.

2.7.4 Логика изменения конфигурации

BIOS определяет стейпинг процессора, объем кэш-памяти и т. п. через инструкцию CPUID.

Все процессоры системы должны работать при одной частоте, обладать одним объемом кэш-памяти, а также одинаковой идентификацией напряжения (VID). Смешивание продукции различных семейств не поддерживается. Процессоры работают на фиксированной скорости и не могут быть запрограммированы на работу на более высокой или низкой скорости.

2.7.5 Обнаружение присутствия модуля процессора

На основной плате имеется логическая система обнаружения присутствия и идентификации установленных процессоров. При двухпроцессорной конфигурации встроенный мини-контроллер управления основной платой mBMC должен считывать информацию VID (идентификатор напряжения) с каждого процессора перед включением регулятора напряжения VRD. VID двух процессоров не совпадают, то контроллер BMC не включит VRD.

Следующая цепочка предназначена для обеспечения трех необходимых критериев до включения интегрированного VRD:

- Убедитесь, что в конфигурации UP установлен агент процессора (P1)
- Отключите двухъядерные процессоры Intel® Xeon™ LV предыдущего поколения от системы, чтобы не допустить повреждения контроллера-концентратора памяти
- При двухпроцессорной конфигурации убедитесь, что оба процессора поддерживают одну и ту же частоту системной шины

2.7.6 GTL2006*

GTL2006* – это 13-разрядный транслятор, предназначенный для 3,3В преобразования GTL/GTL+ в системную шину. Транслятор использует переключение на всех уровнях и логические функции, необходимые для взаимодействия между подсистемами процессора и всей остальной системой.

2.7.7 Набор Common Enabling Kit для поддержки проектирования

Серверная плата была разработана для соответствия набору стандартных компонентов CEK для установки процессоров Intel и решению крепления теплоотвода процессора. На заводах Intel серверные платы укомплектовываются пружиной CEK, закрепленной на верхней стороне системной платы под каждым разъемом процессора. Пружина CEK является съемной для использования решений крепления теплоотвода процессора сторонних производителей и в однопроцессорной конфигурации.

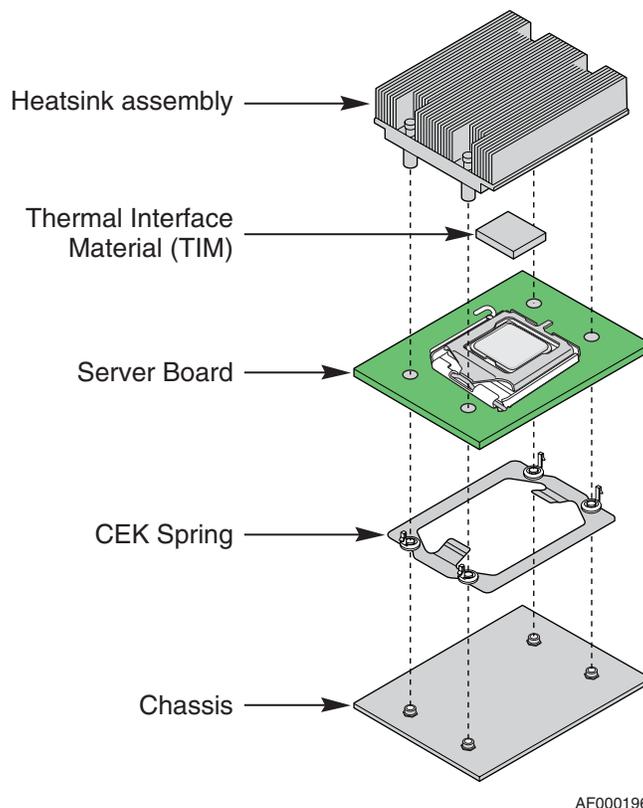


Рисунок 4. Монтаж процессоров с помощью CEK

Примечание: При использовании однопроцессорных конфигураций следует удалить прижимную пластину (CEK spring) с незанятого процессорного разъема на серверной плате для устранения давления на этот разъем. Это обеспечит конструктивную целостность незанятого разъема для использования в будущем.

2.8 Детальная информация о подсистеме памяти

2.8.1 Определение размера памяти

Контроллер-концентратор памяти E7520 MCH содержит интегрированный контроллер памяти для прямого соединения по двум каналам с буферизацией DDR2-400 (по отдельности или в комплекте). Пиковая пропускная способность теоретических данных памяти при использовании технологии DDR2 -400 МГц составляет 6,4 ГБ/с.

Контроллер памяти способен поддерживать до четырех физических банков на один канал DDR2-400. Технологии памяти разделяют на однобанковые («одноранковые», single rank) и двухбанковые («двухранковые», dual rank) в зависимости от количества физических банков микросхем DRAM, используемых на каждом модуле DIMM. Однобанковые модули DIMM – это устройства с одним физическим банком микросхем, т.е. Single Rank = 1 физическому банку на одном модуле. Двухбанковые модули DIMM – это устройства с двумя физическими банками микросхем, т.е. Dual Rank = 2 физическим банкам на одном модуле.

Максимальный размер поддерживаемой памяти серверной платой SE7520BB2 зависит от числа имеющихся разъемов DIMM и максимальной поддерживаемой нагрузки на набор микросхем:

- 16 ГБ – максимальная емкость для модулей памяти DDR2-400

Минимальный объем памяти, поддерживаемый системой в одноканальном режиме:

- 256 МБ для DDR2-400.

Поддерживаются модули DIMM следующей емкости:

- Модули памяти DIMM DDR2-400 бывают следующей емкости: 256 МБ, 512 МБ, 1 ГБ, 2 ГБ и 4 ГБ.

Таблица 2. Объемы модулей памяти DIMM

Использованные SDRAM компоненты / SDRAM технология	256 МБ	512 МБ	1 ГБ
X8, одинарный ряд	256 МБ	512 МБ	1 GB
X8, двойной ряд	512 МБ	1 GB	2 GB
X4, одинарный ряд	512 МБ	1 GB	2 GB
X4, помещённый в стек, двойной ряд	1 GB	2 GB	4 GB

Модули DIMM канала «А» спарены с модулями DIMM канала «В» для формирования 2-кратного чередования. Каждая пара модулей DIMM называется банком. Банк может делиться на два ряда при использовании двусторонних модулей DIMM. Если оба модуля DIMM в банке являются односторонними, это означает, что в системе присутствует только один ряд. При использовании двусторонних модулей DIMM говорится, что установлено два ряда.

Серверная плата Intel® SE7520BB2 имеет восемь разъемов DIMM, объединенных в четыре банка DIMM. Оба модуля DIMM в банке должны быть идентичными (т.е. быть изготовлены по одинаковой технологии, иметь одинаковую задержку CAS, одинаковое количество рядов, столбцов и компонентов DRAM, одинаковую рабочую частоту, и т.д.) Хотя модули DIMM в одном банке должны быть идентичными, BIOS поддерживает различные размеры и конфигурации модулей DIMM, поддерживающие различие банков памяти. Определение объема и конфигурирование памяти гарантируются только для протестированных модулей DIMM, утвержденных корпорацией Intel.

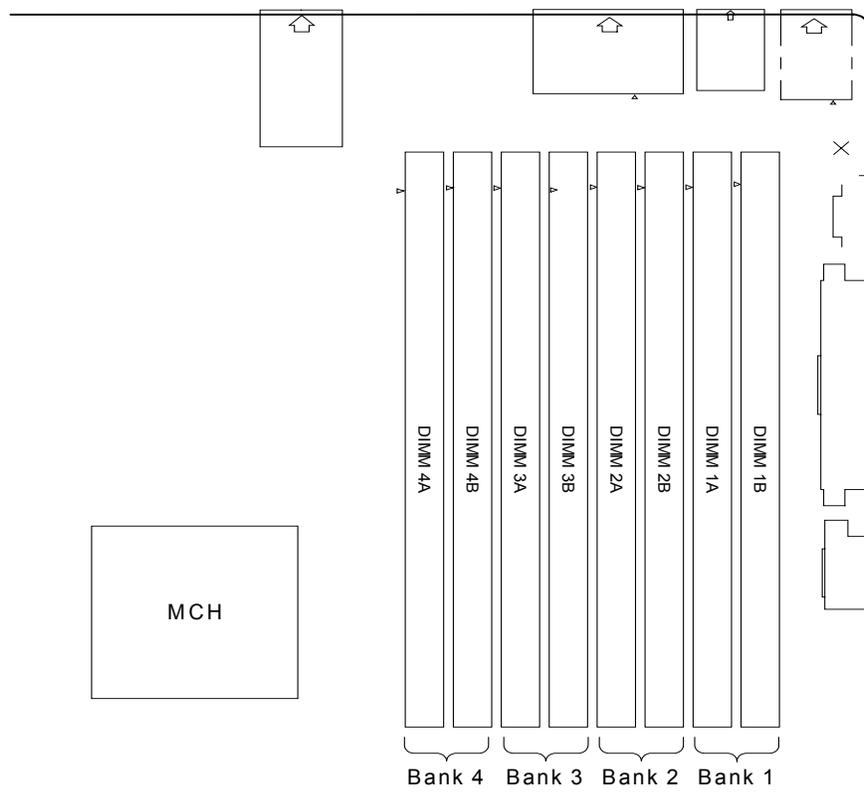


Рисунок 5. Идентификация банков памяти

BIOS считывает данные SPD в памяти EEPROM для каждого модуля памяти, чтобы определить емкость и скорость установленных модулей памяти. Алгоритм определения объема памяти определяет объем каждого банка модулей DIMM. BIOS программирует контроллер памяти набора микросхем соответствующим образом. Общий объем сконфигурированной памяти можно узнать в программе BIOS Setup.

2.8.2 Отключение модулей DIMM

Утилита BIOS Setup обеспечивает механизм, позволяющий отключать неисправные модули памяти. Неисправный модуль памяти, определенный как DIMM, обычно содержит одну неустранимую ошибку или несколько устранимых ошибок. Неисправный модуль(и) DIMM отключается во время тестирования памяти в ходе процедуры POST. Ошибки памяти регистрируются во время работы, одноразрядные ошибки, определяемые кодом коррекции ошибок, также регистрируются. Отключение модуля(ей) DIMM во время работы системы поддерживается только при установке модуля Intel® Management Module. Хотя модули DIMM помечаются, как отключенные, фактически они отключаются после перезагрузки системы.

При следующем включении системы код определения размера памяти считывает записанное состояние модулей памяти и пропускает определение размера всех модулей памяти, ранее помеченных, как отключенные (disabled). Если в системе были отключены все модули DIMM, BIOS снова включит их.

Ряды отключенных модулей памяти можно снова включить с помощью опций программы BIOS Setup. Разъем для модуля памяти перестает быть отключенным, если система загружается без памяти в этом разъеме.

2.8.3 Инициализация кода коррекции ошибок

Память с кодом коррекции ошибок должна инициализироваться BIOS, прежде чем ее можно будет использовать. Все адреса памяти должны быть инициализированы BIOS, прежде чем их можно будет использовать. Для инициализации кода коррекции ошибок BIOS использует функцию автоматической инициализации MCH. Инициализация кода коррекции ошибок не может быть отменена и может вызвать значительную задержку загрузки в зависимости от установленного в системе объема памяти.

2.8.4 Модули памяти

BIOS настраивает контроллер памяти контроллера-концентратора памяти MCH на работу в двух- или одноканальном режиме по следующему алгоритму:

1. При обнаружении хотя бы одного полностью заполненного банка модулей DIMM контроллер памяти устанавливается в двухканальный режим. Иначе переход к шагу 2.
2. Если присутствует модуль DIMM 1A, контроллер памяти устанавливается в одноканальный режим А. Иначе переход к шагу 3.
3. Если в канале 1В присутствует модуль DIMM, контроллер памяти устанавливается в одноканальный режим В. Иначе генерируется сообщение об ошибке конфигурации памяти.

Правила установки модулей DDR2 400 DIMM:

- Банки модулей DIMM должны заполняться, начиная с разъемов, самых дальних от контроллера-концентратора памяти MCH
- Сначала устанавливаются двухбанковые модули DIMM, затем однобанковые
- Можно устанавливать не более четырех модулей DIMM, если все они являются двухбанковыми модулями DDR2-400 DIMM

В представленных ниже таблицах приведены поддерживаемые конфигурации памяти.

- S/R = однобанковые (single rank)
- DR = двухбанковые (dual rank)
- E = пустой

Таблица 3. Поддерживаемые схемы размещения модулей DDR2-400 DIMM

Банк 4 – DIMM 4A, 4B	Банк 3 – DIMM 3A, 3B	Банк 2 – DIMM 2A, 2B	Банк 1 – DIMM 1A, 1B
E	E	E	S/R
E	E	E	D/R
E	E	S/R	S/R
E	E	S/R	D/R
E	E	D/R	D/R
E	S/R	S/R	S/R
E	S/R	S/R	D/R
S/R	S/R	S/R	S/R

Примечание: На серверную системную плату SE7520BB2 можно устанавливать не более четырех модулей, если используются только двухбанковые модули DDR2-400 DIMM. При попытке использовать конфигурацию более чем с четырьмя двухбанковыми модулями DDR2-400 DIMM BIOS выведет сообщение об ошибке конфигурации памяти.

Память между 4 ГБ и 4 ГБ минус 512 МБ (мегабайт) не будет доступна для операционной системы. Эта область резервируется для BIOS, конфигурационной области APIC, интерфейса адаптеров PCI и виртуальной видеопамяти. Это означает, что если в системе установлено 4 ГБ памяти, использоваться может только 3,5 ГБ. Набор микросхем должен поддерживать распределение памяти выше 4 ГБ, однако эта память может быть недоступна для операционной системы с ограничением максимального объема памяти в 4 ГБ.

2.8.5 Обработка ошибок памяти

Набор микросхем исправляет все одноразрядные ошибки, а также обнаруживает все двухразрядные ошибки памяти. Набор микросхем поддерживает технологию 4-bit single device data correction (SDDC) при работе в двухканальном режиме.

Об одноразрядных и двухразрядных ошибках памяти BIOS сообщает контроллеру BMC после обработки событий SMI, сгенерированных узлом контроллеров MCH.

Обработку ошибок памяти можно включить или отключить в меню настроек BIOS.

2.8.5.1 Обработка ошибок памяти в режиме RAS

Контроллер-концентратор памяти поддерживает два вида режимов RAS обращения к памяти: Резервирование и зеркальное отображение. Режимы резервирования и зеркального отображения являются взаимоисключающими – в любой момент времени функционирует только один из них. Используйте процедуру настройки параметров BIOS, чтобы задать конфигурацию режима RAS.

В приведенной ниже таблице показаны методы обработки ошибок памяти мини-контроллером управления системной платой (mBMC) или стандартным/Sahalee BMC-контроллером.

Таблица 4. Обработка ошибок памяти в режиме RAS

Обработка ошибок памяти в режиме RAS	Сервер с мини-контроллером управления системной платой mBMC	Сервер со стандартным или Sahalee контроллером управления системной платой
Режим резервирования / режим зеркального отображения	<p>При использовании режима резервирования или зеркального отображения:</p> <ul style="list-style-type: none"> - BIOS не сообщит конфигурацию режима RAS мини-контроллеру управления системной платой mBMC. - BIOS включит светодиод отказавшего модуля DIMM. <p>Модули DIMM, отключенные во время работы операционной системы, будут снова подключены при следующей перезагрузке системы без вмешательства пользователя.</p> <p>Состояния резервирования и зеркального отображения памяти при сбросе настроек системы в исходное состояние не сохраняются.</p>	<p>При использовании режима резервирования или зеркального отображения:</p> <ul style="list-style-type: none"> - BIOS сообщит конфигурацию режима RAS контроллеру управления системной платой BMC. - BIOS включит светодиод отказавшего модуля DIMM. <p>Модули DIMM, отключенные во время работы операционной системы, при следующей перезагрузке системы не подключаются.</p> <p>Состояния резервирования и зеркального отображения памяти при сбросе настроек системы в исходное состояние сохраняются.</p> <p>Установка значения «Memory Retest» (Повторное тестирование памяти) в меню настройки параметров BIOS позволяет снова задействовать отключенные модули DIMM.</p>

2.8.5.2 Обработка ошибок памяти в режиме non-RAS

Если поддержка режима RAS при операциях с памятью не задействована в параметрах BIOS, будет применена настройка «10 SBE errors in one hour» (10 одноразрядных ошибок ECC в час) Эта настройка и функции RAS являются взаимоисключающими и автоматически управляются при помощи BIOS.

В режиме non-RAS BIOS использует счетчик одноразрядных ECC ошибок (SBE). Если в течение часа возникает более десяти SBE-ошибок, BIOS отключает функцию обнаружения этих ошибок набором микросхем во избежание переполнения журнала системных событий (SEL) и остановки операционной системы.

Таблица 5. Обработка ошибок памяти в режиме non-RAS

Режим non-RAS	Сервер без модуля Intel® Management	Сервер с модулем Intel® Management
Одно битные ошибки ECC (SBE)	<p>Возникшие SBE-ошибки не будут занесены в журнал.</p> <p>Действия BIOS после десятой SBE-ошибки:</p> <ul style="list-style-type: none"> - Отключит функцию обнаружения SBE-ошибок набором микросхем. - Включит светодиод отказавшего модуля DIMM (состояние светодиода модуля DIMM будет обнулено после сброса настроек системы в исходное состояние) 	<p>Возникшие SBE-ошибки будут занесены в журнал системных событий.</p> <p>Действия BIOS после десятой SBE-ошибки:</p> <ul style="list-style-type: none"> - Отключит функцию обнаружения SBE-ошибок набором микросхем. - Включит светодиод отказавшего модуля DIMM (состояние светодиода модуля DIMM сохранится при сбросе настроек системы в исходное состояние). - Прекращение регистрации SBE-ошибок заносится в журнал системных событий.
двух битные ошибки ECC (DBE)	<p>При возникновении двухразрядных (DBE) или многоразрядных (MBE) ошибок BIOS проверит значения переменных FERR_GLOBAL и NERR_GLOBAL контроллера-концентратора памяти MCH для индикации ошибок DRAM</p> <p>В случае некатастрофической ошибки BIOS очищает регистры статуса ошибки и выходит из процедуры SMM.</p> <p>Действия BIOS при возникновении катастрофической ошибки:</p> <ul style="list-style-type: none"> - Регистрирует событие «ошибка MBE» в журнале системных ошибок. - Включит светодиод отказавшего модуля DIMM (состояние светодиода модуля DIMM будет обнулено после сброса настроек системы в исходное состояние) - Генерирует немаскируемое прерывание 	<p>При возникновении двухразрядных (DBE) или многоразрядных (MBE) ошибок BIOS проверит значения переменных FERR_GLOBAL и NERR_GLOBAL контроллера-концентратора памяти MCH для индикации ошибок DRAM</p> <p>В случае некатастрофической ошибки BIOS очищает регистры статуса ошибки и выходит из процедуры SMM.</p> <p>Действия BIOS при возникновении катастрофической ошибки:</p> <ul style="list-style-type: none"> - Регистрирует событие «ошибка MBE» в журнале системных ошибок. - Включит светодиод отказавшего модуля DIMM (состояние светодиода модуля DIMM сохранится при сбросе настроек системы в исходное состояние). - Генерирует немаскируемое прерывание

2.8.5.3 Включение модулей DIMM

Установка значения «Enabled» (Включено) параметра «Memory Retest» (Повторное тестирование памяти) в меню настройки параметров BIOS приведет к повторному включению всех модулей DIMM, независимо от их текущего состояния.

После замены отказавшего модуля(ей) DIMM нужно установить значение «Enabled» для параметра «Memory Retest». Эта операция является обязательной, только если отказавший модуль(и) DIMM был отключен.

2.8.6 Тестирование памяти

Системная память классифицируется как базовая память и как расширенная память. Базовая память – это память, требующаяся для процедуры POST. Расширенная память – это остальная память системы. Расширенная память может быть непрерывной или может иметь один или несколько промежутков. При тестировании памяти BIOS осуществляется доступ ко всей памяти, кроме промежутков.

Тестирование памяти состоит из отдельных тестов базовой памяти и расширенной памяти. Тестирование базовой памяти производится перед инициализацией изображения для проверки памяти, требуемой для процедуры POST. BIOS включает изображение в самом начале процедуры POST (как только это становится возможным) для визуального указания на работоспособность системы. Через некоторое время после включения видеовыхода BIOS выполняет тестирование расширенной памяти. Статус тестирования расширенной памяти отображается на консоли. Результаты тестирования основной и расширенной памяти отображаются также на ЖК-панели, если она имеется.

Общий объем сконфигурированной памяти можно узнать в программе BIOS Setup. Покрытие теста может быть сконфигурировано одним из следующих образов:

- Тестирование всех участков (расширенное)
- Тестирование одной ширины чередования на килобайт памяти (неполное)
- Тестирование одной ширины чередования на мегабайт памяти (быстрое)

Ширина чередования подсистемы памяти зависит от конфигурации набора микросхем. По умолчанию тесты базовой и расширенной памяти отключены. Тестирование расширенной памяти можно отменить, нажав пробел во время тестирования.

2.8.7 Среди функций памяти - надежность, непрерывность работы, удобство в обслуживании, использовании и управлении (RASUM)

Intel® E7520 MCH поддерживает функции RASUM (надежность, непрерывность работы, удобство в обслуживании, использовании и управлении). В число этих характеристик входит поддержка технологии Intel® Single Device Data Correction (SDDC) x4, которая используется для обнаружения и исправления ошибок памяти, очистки памяти, повторной попытки доступа при обнаружении устранимых ошибок, интегрированной инициализации памяти, резервирования модулей DIMM и создания зеркальных наборов памяти. Ниже приведены описания поддержки каждого из режимов.

Примечание: Перечисленные ниже RASUM-характеристики памяти поддерживаются независимо от используемой модели управления платформой. Однако если модуль Intel® Management Module не установлен, возможности мониторинга памяти и регистрации системных событий ограничены. Возможна активация функции RASUM без уведомления о предпринятом действии.

2.8.7.1 DRAM ECC – Intel® x4 Single Device Data Correction (x4 SDDC)

Интерфейс DRAM использует два алгоритма коррекции ошибок. Первый – стандартный код коррекции ошибок с исправлением одноразрядных ошибок и обнаружением многоразрядных ошибок в 64-разрядной схеме. Второй метод коррекции ошибок представляет собой распределенный 144-разрядный механизм S4EC-D4ED, обеспечивающий защиту x4 SDDC для модулей DIMM, использующих устройства x4. Биты компонентов x4 представляются в виде чередования так, что каждый бит конкретного компонента представляется отдельным словом кода коррекции ошибок. Модули DRAM x8 используют тот же алгоритм, но не защищены от ошибок с помощью технологии Intel x4 Single Device Data Correction, поскольку данный код коррекции ошибок поддерживает исправление только четырех бит. Этот алгоритм обеспечивает расширенную защиту компонентов x8 по стандартной схеме коррекции одноразрядных ошибок и обнаружения многоразрядных ошибок. В двухканальных конфигурациях могут использоваться оба варианта коррекции ошибок, причем производительность памяти в обоих случаях будет одинаковой. В одноканальной конфигурации поддерживается только стандартная схема коррекции одноразрядных ошибок и обнаружения многоразрядных ошибок.

Если используется зеркальный набор памяти, код коррекции ошибок x4 SDDC поддерживается в одноканальном режиме, а второй канал отключается на время неисправности. Код коррекции ошибок x4 SDDC не поддерживается в одноканальном режиме, за исключением случаев использования зеркальных наборов DIMM, поскольку он оказывает значительное воздействие на производительность в этой среде.

2.8.7.2 Интегрированный механизм очистки памяти

Концентратор Intel® E7520 MCH содержит интегрированный механизм проверки области памяти для профилактического поиска не критических ошибок подсистемы памяти. При обнаружении одноразрядных ошибок этот механизм обнаруживает, регистрирует и корректирует данные, за исключением случаев записи в адрес памяти, в котором обнаружена ошибка. В случае отображения любой неустранимой ошибки неисправность регистрируется механизмом очистки. Отчеты об обоих типах ошибок могут быть получены с помощью различных альтернативных механизмов. Аппаратный блок очистки осуществляет записи очистки, когда при нормальной работе встречаются устранимые ошибки (считывание по требованию, а не считывание на базе очистки). Эта функция обеспечивает инкрементальную защиту против превращения программных ошибок памяти из устранимых в неустранимые.

С помощью этого метода полная очистка системной памяти объемом 16 ГБ может быть осуществлена менее чем за 1 день. При такой записи не произойдет никакого заметного снижения пропускной способности памяти, хотя задержка может быть больше при отсрочке чтения в связи с циклом записи очистки.

Неустранимая ошибка, обнаруженная механизмом очистки памяти, является спекулятивной ошибкой. Это название используется в связи с тем, что ни один системный агент не требует использования испорченных данных и в системе не возникает никаких реальных ошибок. Может получиться так, что ошибка будет находиться на немодифицированной странице памяти, которая будет просто опущена при обратной записи на диск. Если это произойдет, предполагаемая ошибка будет незаметно устранена системой без негативных последствий.

2.8.7.3 Повторная попытка при обнаружении неустранимых ошибок памяти

Концентратор Intel® E7520 MCH содержит специализированные аппаратные средства для повторной отправки запросов чтения памяти при обнаружении неустранимой ошибки. В случае, если для при требовании доставки (в противопоставление очистке) памяти встречается неустранимая ошибка, определяемая алгоритмом кода коррекции ошибок, аппаратное обеспечение для управления памятью выполняет полную повторную отставку всей строки кэш-памяти из памяти для подтверждения существования испорченных данных. Эта функция должна значительно уменьшить ложные и временные сообщения о неустранимых ошибках в памяти DRAM.

Для любого запроса механизм обнаружения ошибок производит только один повтор. В случае повтора неустранимой ошибки она регистрируется и обрабатывается в соответствии с конфигурацией. В зеркальном наборе памяти повторная попытка для неустранимой ошибки отправляется на зеркальное отражение данных, а не на устройства, отвечающие за первоначальное обнаружение ошибки. При этом возникает дополнительное преимущество превращения неустранимых ошибок DRAM в полностью устранимые при порче одного и того же блока в основном наборе и зеркальном отражении. Эта функция RASUM может быть включена или отключена.

2.8.7.4 Интегрированный механизм инициализации памяти

Концентратор контроллеров памяти Intel® E7520 MCH обеспечивает автоматическую инициализацию всего пространства DRAM, находящегося под программным управлением, с аппаратным контролем ошибок. После изменения внутренней конфигурации с учетом типов и размеров установленных устройств DIMM, концентратор контроллеров памяти MCH инициализирует все блоки адресного пространства с нормальным кодом коррекции ошибок. Это ускоряет этап обязательной инициализации памяти и освобождает процессор для других задач по инициализации компьютера и настройке конфигурации.

В механизм инициализации добавлены дополнительные функции, обеспечивающие поддержку установки высокоскоростной памяти и верификацию программируемой памяти с 1-4 известными пакетами данных (0/F, A/5, 3/C и 6/9). Эта функция позволяет очень быстро тестировать память и обнулять память, доступную BIOS, для использования операционной системой.

2.8.7.5 Функция резервирования модулей DIMM

Для повышения отказоустойчивости системы, контроллер-концентратор памяти Intel® E7320 MCH включает в себя аппаратные средства для поддержки отказоустойчивости резервных модулей DIMM в случае, когда используемый модуль DIMM превышает указанный порог ошибок, произошедших при выполнении программы. Один из модулей DIMM, установленных на каждом канале, емкость которого не меньше емкости остальных модулей, будет оставлен в запасе. Если в каком-либо модуле DIMM возникнет серьезная ошибка, данные, хранящиеся в этом модуле DIMM и парном ему модуле из другого канала (если он есть), спустя некоторое время будут скопированы на резервный модуль(и) DIMM. После копирования всех данных, резервные модули DIMM будут включены в работу вместо неисправных модулей. Поддерживается только один цикл резервирования. Если данная функция отсутствует, тогда все модули DIMM будут отображаться в обычном диапазоне адресов.

Примечание: Для этого необходимо, чтобы размер резервного модуля DIMM был, по крайней мере, не меньше размера самого большого основного модуля DIMM.

Для внедрения этой функции необходима установка дополнительных аппаратных устройств, как то: отслеживающего регистр на модуль DIMM для ведения истории появления ошибок, а также программируемый регистр для поддержания необходимого уровня порога ошибок. Модель работы достаточна проста: для запуска функции установите регистр порога отказоустойчивости на ненулевое значение, и если количество ошибок на любом модуле DIMM превысит это значение, запустится функция отказоустойчивости. Отслеживающие регистры устанавливаются в режиме «дырявое ведро», т.е. абсолютного подсчета накопленных ошибок с момента включения системы не происходит, а ведется учет всех ошибок, полученных за весь период эксплуатации. «Скорость капель» бакета выбирается алгоритмом программного обеспечения модулей DIMM, что позволяет установить значение порога ошибок, не характерное для «здоровой» подсистемой памяти, количество ошибок которой соответствует размеру и типу функционирующего устройства памяти.

Механизм отказоустойчивости несколько более сложен. После запуска функции отказоустойчивости, контроллер-концентратор памяти делает две записи – одну в первичный модуль DIMM, а другую в резервный модуль. Также контроллер-концентратор памяти начинает отслеживать ход процесса очистки встроенной памяти. После того, как устройство очистило все ячейки первичного модуля DIMM, функция двойной записи копирует все данные на резервный модуль. На этом этапе контроллер-концентратор памяти может менять резервный модуль на первичный и вывести неисправный модуль DIMM из эксплуатации.

До активации обнаружения порога для запроса копии данных этот механизм не требует программной поддержки после программирования и включения. Аппаратные средства обнаружат порог инициализации отказоустойчивости и запустят эскалацию данного события, в соответствии с описанием (подача сигнала SMI, вызов прерывания или ожидание обнаружения с помощью опроса системы). Программная процедура, вызываемая механизмом определения превышения ограничений должна выбрать модуль DIMM, для которого были превышены ограничения (в случае, если ограничения превышены несколькими модулями DIMM до включения резервного модуля) и начать копирование памяти. После окончания копирования аппаратные средства автоматически изолируют «неисправный» модуль DIMM. Поскольку копирование данных завершается присвоением дополнительных адресов в рамках управляющего интерфейса DDR, перепрограммирование реестров рядов DRAM, как и оповещение операционной системы о событиях, произошедших в памяти, не требуется.

Функция отображения памяти и резервирования модуля DIMM взаимоисключают друг друга. Во время инициализации может быть запущена лишь одна функция. Выбранная функция должна оставаться активной до следующего цикла включения. Аппаратные средства не могут переключить одну функцию на другую или восстановить предыдущую функцию без полной перезагрузки.

2.8.7.6 Зеркальное отображение памяти

В основном функция зеркального отображения памяти позволяет аппаратным средствам поддерживать создание двух копий всех данных в подсистеме памяти, для восстановления информации, утерянной при выходе из строя аппаратного оборудования или возникновении неустранимой ошибки. При появлении неустранимой ошибки во время нормальной работы, аппаратное обеспечение извлекает зеркальные копии испорченных данных. Сбой системы происходит только когда одновременно случается порча основных данных и зеркальных копий.

Функция отображения поддерживается двухканальными модулями DIMM, как в двух каналах симметрично, так и отдельно в каждом канале. Серверная системная плата SE7520BB2 поддерживает три конфигурации зеркального отображения памяти:

- Четыре модуля DIMM для идентичных устройств (два на канал). Ссылка на Рисунок 6, модули DIMM, установленные в разъемы 1A, 2A, 1B и 2B, должны быть идентичными.

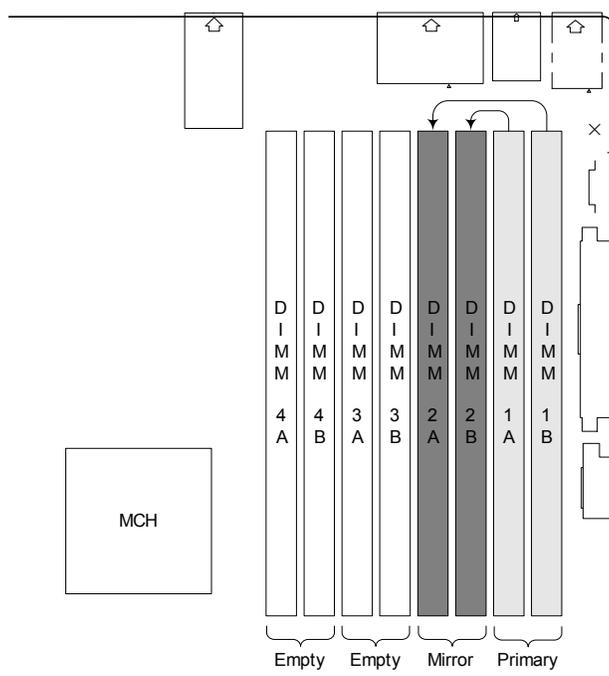


Рисунок 6. Конфигурация из четырех модулей DIMM

- Совокупность шести модулей DIMM с идентичными компонентами в разъемах 1 и 2/3 для каждого канала. Разъемы 1A и 1B должны заполняться идентичными двухбанковыми модулями DIMM, в то время как в остальные разъемы должны устанавливаться идентичные однобанковые модули DIMM. Модули DIMM в разных группах не обязательно должны быть идентичными.

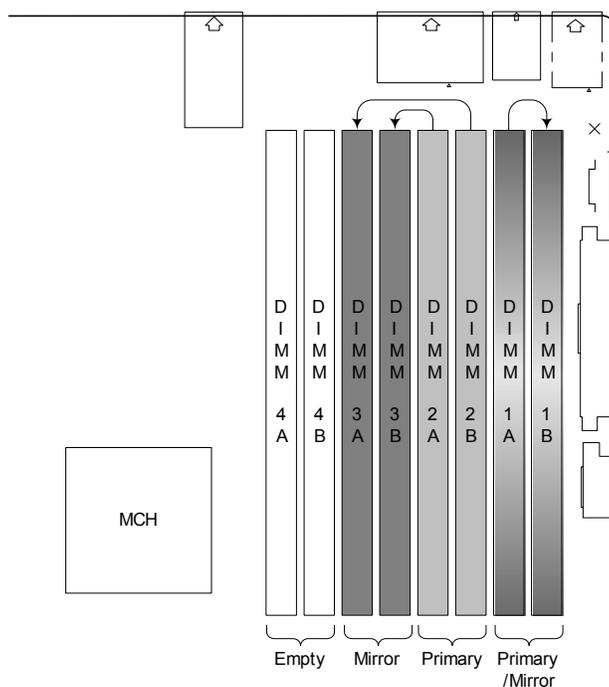


Рисунок 7. Зеркальная конфигурация памяти из шести модулей DIMM

- В конфигурации с восемью модулями DIMM используются идентичные устройства в разъемах DIMM 1 и 2, а также в DIMM 3 и 4. На Рисунок 8 идентичными должны быть модули DIMM 1A, 1B, 2A и 2B, а также модули 3A, 3B, 4A и 4B. Модули памяти первой группы не должны быть идентичными модулям памяти второй группы.

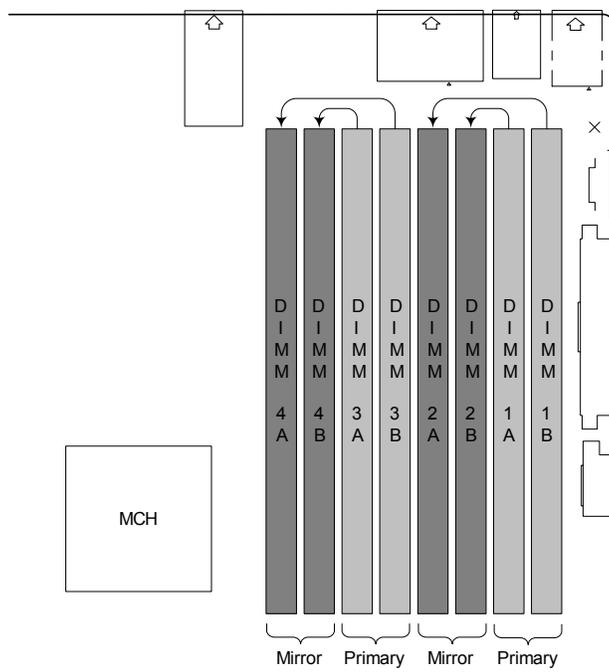


Рисунок 8. Зеркальная конфигурация памяти из восьми модулей DIMM

Требования симметричности являются побочным эффектом действия аппаратно реализуемого механизма для поддержки двух копий всех данных памяти, требующего сохранения полных копий всех данных на каждом канале в случае перехода к одноканальному режиму работы. Каждая запись сохраняется в памяти дважды: один раз в «первичное» хранилище, другой раз – в «зеркальное». Чередующиеся в каналах данные заменяются при повторной записи (1A – это копия 2B, 1B – это копия 2A, и т.д.). В получаемом отображении памяти находятся две полных копии всех данных, и еще одна копия находится на каждом канале.

Аппаратные средства контроллера-концентратора памяти отслеживают, какие разъемы модулей DIMM являются первичными, а какие – отображениями, чтобы иметь возможность внутренне перестроить данные для корректной повторной сборки линий кэш-памяти в не зависимости от восстановленной копии. Существуют четыре отдельных случая восстановления «четных» и «нечетных» блоков данных линий кэш-памяти:

- Два чередующихся канала, считывающих информацию с первичных модулей DIMM с «четными» данными, присутствующими на канале A
- Два чередующихся канала, считывающих информацию с зеркальных модулей DIMM с «четными» данными на канале B

- Не чередующаяся одноканальная пара канала А с «четными» данными на первичном модуле DIMM
- Не чередующаяся одноканальная пара, считывающая с канала В с «четными» данными на зеркальном модуле DIMM

Как уже было сказано выше, при отображении через конфигурацию контроллера-концентратора памяти подсистема памяти поддерживает две копии всех данных и восстанавливает запрашиваемые данные либо с первичных, либо с зеркальных модулей, в зависимости от состояния 15-разрядного системного адреса (SA[15]). Через соответствующие разряды конфигурационных регистров ПО может выбирать первичную или зеркальную полярность SA[15]. SA[15] был выбран благодаря тому, что это самый низкоразрядный системный адрес, использующийся при выборе рядов разрядов адресов памяти всех плотностей DRAM и технологий, поддерживаемых концентратором контроллеров памяти Intel® E7520. Переключение главной точки считывания на базе битов адресов распределяет трафик запросов по первичным и зеркальным модулям DIMMs, и, таким образом, распределяет нагрузку по охлаждению по всем поддерживаемым разъемам модулей DIMM, и снижает вероятность перегрева памяти.

При «отображающем» режиме работы, исправимые и неисправимые ECC ошибки обычно отслеживаются и фиксируются контроллером-концентратором памяти и преобразуются в прерывание системы, согласно конфигурационным настройкам регистра, связанным с ошибками подсистемы памяти. Счетчики, выполняющие функцию «дырявого бакета», описанные выше в связи с интерактивным резервированием модулей DIMM, определяют совокупные одноразрядные и многоразрядные ошибки на каждый модуль DIMM.

2.8.8 Регистрация информации об ошибках памяти при обработке сигналов RAS в журнале системных ошибок

BIOS отвечает за пересылку текущей конфигурации режима RAS контроллеру управления системной платой (BMC) в соответствии со спецификацией Sahalee BMC.

Примечание: Перечисленные ниже RASUM-характеристики памяти поддерживаются независимо от используемой модели управления платформой. Однако если модуль Intel® Management Module не установлен, возможности мониторинга памяти и регистрации системных событий ограничены. Возможна активация функции RASUM без уведомления о предпринятом действии.

Таблица 6. События, связанные с ошибками памяти при обработке сигналов RAS

Команда	Запрос/ответ данных	Описание
Установить состояние DIMM	<p>Запрос:</p> <p>Бит 1 Выбор группы DIMM</p> <p>[7:1] Идентификация группы</p> <p>[0] Присутствие (1 = присутствие группы)</p> <p>Бит 2 Битовая карта разъемов DIMM</p> <p>Бит 3 Битовая карта сбоя DIMM</p> <p>Бит 4 Битовая карта отключения DIMM</p> <p>Бит 5 Битовая карта чередования DIMM</p> <p>Бит 6 Битовая карта присутствия DIMM</p> <p>Ответ</p> <p>Бит 1 Завершающий код</p>	<p>Эта команда позволяет установить состояние набора модулей DIMM.</p> <p>Бит присутствия:</p> <p>1 = Плата памяти установлена</p> <p>0 = Плата памяти не установлена</p> <p>Идентификация группы:</p> <p>1 = Канал памяти А</p> <p>2 = Канал памяти В</p> <p>Битовый образ # разъемов DIMM, входящих в группу:</p> <p>1 = Разъем существует</p> <p>0 = Разъем не существует. Всегда необходимо согласовывать и оставлять доступными # разъемов)</p> <p>[0] = DIMM 1 разъем существует</p> <p>[1] = DIMM 2 разъем существует</p> <p>..</p> <p>[n] = DIMM n+1 разъем существует</p> <p>Битовая карта состояния DIMM:</p> <p>[0] = DIMM 1</p> <p>[1] = DIMM 2</p> <p>..</p> <p>[n] = DIMM n+1</p> <p>Где n – это общее число поддерживаемых модулей DIMM (начиная с 0) для каждого канала.</p> <p>Примечание: Переменная SetDIMMState при установке значения для группы «NOT Present» (Отсутствует) занимает не менее 1 байта, в противном случае – требуются все 6 байтов.</p>
Установка конфигурации режима RAS	<p>Запрос:</p> <p>Бит 1 Маска включения резервного домена</p> <p>[7:0] Набор битов, показывающий, что соответствующий домен задействован</p> <p>Бит 2 Маска включения зеркального домена</p> <p>[7:0] Набор битов, показывающий, что соответствующий домен задействован</p> <p>Бит 3 Маска включения RAID домена</p> <p>[7:0] Набор битов, показывающий, что соответствующий домен задействован</p> <p>Ответ</p> <p>Бит 1 Завершающий код</p>	<p>Эта команда используется для включения или выключения поддержки доменом избыточности памяти в режиме RAS.</p> <p>Маска включения резервного домен:</p> <p>[0] = В канале памяти А имеются модули DIMM, помеченные как резервные</p> <p>[1] = В канале памяти В имеются модули DIMM, помеченные как резервные</p> <p>Маска включения зеркального домена:</p> <p>Каналы памяти А и В являются зеркальными</p> <p>Маска включения RAID домена: Не поддерживается</p>

Команда	Запрос/ответ данных	Описание
Установка состояния избыточности для режима RAS	<p>Запрос:</p> <p>Бит 1 Выбор домена RAS</p> <p>[7:4] Тип домена</p> <p>0000b = чередование</p> <p>0001b = зеркальное отображение</p> <p>0010b = RAID</p> <p>0011b:1111b = зарезервировано</p> <p>[3:0] Копия домена</p> <p>Бит 2 Состояние домена RAS</p> <p>[7:2] Зарезервирован</p> <p>[1:0] Специальное состояние</p> <p>00b = резервирование</p> <p>01b = Избыточность отключена, ресурсов достаточно</p> <p>10b = Избыточность отключена, ресурсов недостаточно</p> <p>11b = Зарезервирован</p> <p>Ответ</p> <p>Бит 1 Завершающий код</p>	<p>Эта команда используется BIOS для информирования контроллера BMC о состоянии избыточности памяти в режиме RAS.</p> <p>Копия домена:</p> <p>Биты [0:1] задают резервирование, каждое значение отражает состояние канала памяти.</p> <p>Бит 0 задает зеркальное отображение каналов A и B</p> <p>Определение состояния домена RAS</p> <p>Избыточность включена = домен является избыточным и функционирует нормально.</p> <p>Избыточность отключена, ресурсов достаточно = сбой в работе домена, но его работоспособность сохраняется. Например, модуль DIMM отказал, и используются резервные модули DIMM.</p> <p>Избыточность отключена, ресурсов недостаточно = сбой в работе домена, его работоспособность утрачена. Примером этой ситуации может служить резервный домен, находившийся в состоянии «Избыточность отключена, ресурсов достаточно», после чего произошел сбой в работе резервного модуля DIMM. Это приведет к потере работоспособности системы.</p>

2.8.9 Перемещение верхней области памяти

BIOS создает специальную область в самом конце 4-ГБ промежутка памяти для размещения отображаемых в памяти областей ввода/вывода флэш-памяти BIOS, памяти контроллера APIC, а также 32-разрядных устройств PCI. Любая системная память из этой области перемещается в область с адресами старше 4 ГБ.

2.9 Детальная информация о подсистеме PCI

2.9.1 Интерфейс PCI ICH5-R

Интерфейс контроллера-концентратора ввода/вывода Intel® 82801ER (ICH5-R) PCI является многозадачным устройством, обеспечивающим интерфейс концентратора для доступа к нескольким встроенным функциям и системам ввода/вывода, включая:

- Спецификации локальной PCI-шины версии 2.3 с поддержкой частоты 33-МГц.
- Поддержка логики управления питанием ACPI
- Расширенные функции контроллера DMA, контроллера прерываний и таймера
- Интегрированный контроллер IDE с поддержкой Ultra ATA100/66/33
- 2 интегрированных контроллера SATA
- Интерфейс шины USB с поддержкой восьми портов USB; четырех контроллеров UHCI; одного высокоскоростного контроллера EHCI USB 2.0
- Интегрированный контроллер LAN

- Интегрированный контроллер ASF
- Спецификация шины системного управления (SMBus), редакция 2.0 с дополнительной поддержкой устройств I²C
- Интерфейс LPC
- Поддержка интерфейса концентратора встроенного микрокода

Каждая функция контроллера-концентратора ICH5-R имеет собственный набор реестров конфигурации. После настройки все реестры отображаются в системе, как независимые контроллеры аппаратного обеспечения, использующие один и тот же интерфейс шины PCI.

2.9.1.1 Интерфейс PCI

Интерфейс ICH5-R PCI имеет частоту 33 МГц и совместим с редакцией 2.3. Все сигналы PCI выдерживают напряжение 5 В, за исключением PME#. В контроллер ICH5-R интегрирован арбитр PCI, поддерживающий до шести внешних хозяев шины PCI помимо внутренних запросов ICH5.

На серверной системной плате SE7520BB2 интерфейс PCI используется для поддержки двух, устанавливаемых на плату PCI устройств, видеоконтроллера ATI Rage XL и сетевого контроллера Intel 82541PI Ethernet.

2.9.1.2 Интерфейс IDE (системная шина Bus Master и синхронный режим передачи данных DMA)

Быстрый интерфейс IDE поддерживает до двух устройств IDE с интерфейсами для жестких дисков IDE и устройств ATAPI. Каждое устройство IDE может иметь независимый скоростной режим. Интерфейс IDE поддерживает скорость передачи данных PIO IDE до 16 Мбит/с и скорость передачи данных Ultra ATA до 100 Мбит/с. Интерфейс не использует ресурсов ISA DMA. Интерфейс IDE соединяет в себе 16x32-разрядные буферы для оптимальной передачи данных. Система ICH5-R's IDE состоит из двух независимых канала связи IDE; при этом, системная плата SE7520BB2 поддерживает только один канал. Эти порты могут быть электрически изолированы независимо друг от друга.

Первичная шина серверной платы SE7520BB2 соединена со стандартным разъемом IDE

2.9.1.3 Контроллеры SATA

SATA контроллеры платы SE7520BB2 поддерживают до шести устройств SATA и предоставляют два интерфейса SATA для подключения жестких дисков и ATAPI устройств через два дискретных контроллера SATA. Интерфейс SATA ICH5-RR поддерживает скорость передачи данных IDE в режиме PIO до 16 Мбит/с и скорость передачи данных Serial ATA в режиме DMA до 1,5 Гбит/с (150 МБ/с). Система SATA контроллера-концентратора ICH5-R включает два сигнальных порта SATA. Эти порты могут быть электрически изолированы независимо друг от друга. Каждое устройство SATA может иметь независимый скоростной режим. Они могут быть сконфигурированы как стандартные первичные и вторичные каналы. Дополнительное ПЗУ SATA контроллера ICH5-R имеет два канала с поддержкой SATA RAID массивов. Здесь используется дополнительное ПЗУ LSI Logic SATA RAID, сходное с применяемыми в RAID адаптерах Intel. Дополнительное ПЗУ ICH5-RR обеспечивает поддержку RAID-массивов уровней 0 и 1.

Интерфейс SATA 2 Silicon Image поддерживает скорость передачи данных IDE в режиме PIO до 16 Мбит/с и скорость передачи данных Serial ATA в режиме DMA до 2,0 Гбит/с (200 МБ/с). Система хранения данных Silicon Image SATA содержит четыре независимых сигнальных порта SATA. Эти порты могут быть электрически изолированы независимо друг от друга. Каждое устройство SATA может иметь независимый скоростной режим. SATA контроллер Silicon Image поддерживает четыре канала SATA и RAID-массивы. Его дополнительное ПЗУ обеспечивает поддержку RAID-массивов уровней 0, 1 и 10.

2.9.1.4 Интерфейс LPC

ICH5-R выполняет интерфейс LPC в соответствии со Спецификацией Интерфейса Low Pin Count, версия 1.1. Функция моста LPC интерфейса ICH5-R содержится в устройстве PCI 31:Function 0. В добавлении к функциям интерфейса моста, D31:F0 содержит другие функциональные элементы, включая DMA, контроллеры прерывания, таймеры, управление питанием, управление системой, GPIO и работу часов реального времени.

В системной плате SE7520BB2 шина LPC соединяет ICH5-R к SIO3 (NSC* PC87427) и разъему FMM.

2.9.1.5 Модули совместимости (контроллер DMA, таймер/счетчики, контроллер прерываний)

Контроллер DMA содержит логику двух контроллеров DMA 82C37 с семью независимо программируемыми каналами. Аппаратные каналы 0-3 поддерживают 8-битную передачу данных с подсчетом по байтам, а аппаратные каналы 5-7 поддерживают 16-битную передачу данных с подсчетом по словам. Любые два из семи каналов DMA могут быть запрограммированы для поддержки высокоскоростной передачи данных Type-F.

Контроллер-концентратор ICH5-R поддерживает два типа DMA (LPC и PC/PCI). DMA по шине LPC совпадает с ISA DMA. LPC DMA и PC/PCI DMA используют контроллер DMA контроллера-концентратора ICH5-R. Протокол PC/PCI позволяет периферийным устройствам PCI запускать циклы DMA посредством кодирования запросов и ответов на запросы через две пары PC/PC REQ#/GNT#. LPC DMA обрабатывается посредством использования линий LDRQ# от периферийных устройств и специального кодирования на LAD[3:0] от сервера. Интерфейс LPC поддерживает режимы Single, Demand, Verify и Increment. Каналы 0-3 являются восьмибитными. Каналы 5-7 являются шестнадцатибитными. Канал 4 зарезервирован для запросов хозяина шины.

Блок таймера/счетчика содержит три счетчика, функции которых аналогичны функциям программируемого таймера интервалов 82C54. Эти три счетчика обеспечивают работу системного таймера и звучание динамика. Генератор с частотой 14,31818 МГц является источником синхронизирующих сигналов для этих трех счетчиков.

Контроллер-концентратор ICH5-R содержит ISA-совместимый программируемый контроллер прерываний (PIC), обладающий функциональностью двух контроллеров прерываний 82C59. Два контроллера прерываний соединены в виде каскада, делая возможными 14 внешних прерываний и два внутренних прерывания. Кроме того, контроллер-концентратор ICH5-R поддерживает последовательную схему прерываний. Все регистры этих модулей могут быть считаны и восстановлены. Это необходимо для сохранения и восстановления состояния системы после отключения питания платформы и возобновления подачи питания.

2.9.1.6 Расширенный программируемый контроллер прерываний (APIC)

Помимо стандартного ISA-совместимого программируемого контроллера прерываний (PIC), описанного в предыдущем разделе, контроллер-концентратор ICH5-R содержит расширенный программируемый контроллер прерываний (APIC).

2.9.1.7 Контроллер USB

Контроллер-концентратор ICH5-R содержит сервер-контроллер, поддерживающий высокоскоростную передачу сигналов по шине USB и соответствующий требованиям Расширенной спецификации хост-контроллера для шины USB, редакция 1.0. Высокоскоростная шина USB 2.0 поддерживает скорость передачи данных до 480 Мбит/с, что в 40 превышает скорость шины USB. Контроллер-концентратор ICH5-R также содержит четыре контроллера UHCI, поддерживающие передачу данных по шине USB на полной скорости и на пониженной скорости. В системной плате SE7520BB2 ICH5-R поддерживает 5 портов USB 2.0. Скорость всех пяти портов может быть высокой, полной и пониженной. Логика маршрутизации порта ICH5-R определяет, используются ли контроллер UHCI или контроллер EHCI для управления USB портом.

Серверная плата SE7520BB2 имеет 5 USB портов: три на задней панели и два – на передней.

2.9.1.8 RTC

ICH5-R содержит часы реального времени с ПЗУ 256 байт, совместимые с Motorola* MC146818A, и с резервным питанием от батареи. Часы реального времени выполняют две основные функции: показывают время суток и сохраняют системные данные даже при выключенном питании. Часы реального времени работают на кристалле в 32,768 КГц и отдельной 3-вольтовой литиевой батарее. Часы реального времени также поддерживают два блокируемых объема памяти. При настройке разрядов конфигурационной области, два 8-разрядных объема могут быть заблокированы для чтения и записи. Это предотвратит несанкционированное чтение паролей или другой конфиденциальной системной информации. Часы реального времени также поддерживают функцию звукового оповещения в конкретный день, так что Вы имеете возможность поставить будильник за 30 дней, а не за 24 часа.

2.9.1.9 GPIO

Различные входы и выходы общего назначения, предназначенные для систем индивидуальной конструкции. Количество входов и выходов зависит от конфигурации ввода/вывода ICH5-R.

Все неиспользуемые контакты GPI должны быть отжаты, чтобы они находились на установленном уровне и не вызывали побочных эффектов.

Примечания:

- Фиксируемые биты GPIO 0:15 на входе, активируемые в зависимости от уровня; время фиксации 61 мс
- Только GPI: 0:15, 40-47 (примечания 42-47 выполнению не подлежат)
- Только GPI: 16-23, 48-55 (примечания 49-55 выполнению не подлежат)
- GPI или GPO: 24-39 (примечания 35-39 выполнению не подлежат, GPIO[33] заменяется на S-ATA LED и данный GPIO отсутствует)

- GPIO восстанавливает источник энергии: 8-15, 24-25, 27-28
- питание ядра GPIO: 0-7, 16-23, 32-34, 40-41, 48

Таблица 7. GPIO серверной платы Intel® SE7520BB2

Сигнал ICH5-R	Тип	Контакт	PWR Well	Толерантный	Использование серверной платы Intel® SE7520BB2
INTRUDER DETECT	Исходные данные	Y12	Ядро	3,3 В	TP
GPIO/REQA	Исходные данные	A5	Ядро	5 В	Конфигурация платы 0
GPIO1/REQB/REQ5#	Исходные данные	E7	Ядро	5 В	Конфигурация платы 1
GPIO6/AGPBUSY#	Исходные данные	R5	Ядро	5 В	Восстановление Bios
GPIO7	Исходные данные	U3	Ядро	5 В	MCH PME
GPIO8	Исходные данные	Y2	Resume	3,3 В	WAKE#/PCI PME#
GPIO9/OC[4]#	Исходные данные	B14	Resume	3,3 В	Зарезервировано для USB OC4 (3 на задней, 2 на передней)
GPIO10/OC[5]#	Исходные данные	A14	Resume	3,3 В	PERR# для слота PCI 32bit/33Mhz
GPIO11/SMBALERT#	Исходные данные	AC3	Resume	3,3 В	ID платы 0
GPIO12	Исходные данные	W4	Resume	3,3 В	SIO SMI
GPIO13	Исходные данные	W5	Resume	3,3 В	BMC IRQ SMI
GPIO14/OC[6]#	Исходные данные	D13	Resume	3,3 В	SIO > ICH5-R PME
GPIO15/OC[7]#	Исходные данные	C13	Resume	3,3 В	Очистка пароля
GPO16/GNTA#	Вывод	E8	Ядро	3,3 В	TP
GPO17/GNTB#/ GNT[5]#	Вывод	B4	Ядро	3,3 В	TP
GPO18/STP_PCI#	Вывод	U21	Ядро	3,3 В	TP
GPO19/SLP_S1#	Вывод	T20	Ядро	3,3 В	PWRGD Toggle (для выбора PLL) TP
GPO20/STP_CPU#	Вывод	U22	Ядро	3,3 В	Отключение видео
GPO21/C3_STAT#	Вывод	R1	Ядро	3,3 В	Отключение SCSI
GPO22/CPUPERF#	Вывод	U20	Ядро	3,3 В	TP

Сигнал ICH5-R	Тип	Контакт	PWR Well	Толерантный	Использование серверной платы Intel® SE7520BB2
GPO23/SSMUXSEL#	Вывод	F22	Ядро	3,3 В	Обозначения разъема Индикатор выполнения процедуры POST
GPIO24/CLKRUN#	I/O	AC1	Resume	3,3 В	ID платы 1
GPIO25	I/O	W3	Resume	3,3 В	ID платы 2
GPIO27	I/O	V3	Resume	3,3 В	TP
GPIO28	I/O	W2	Resume	3,3 В	Присутствие модуля SM
GPIO32	I/O	T1	Ядро	3,3 В	Конфигурация платы 2
GPIO34	I/O	F21	Ядро	3,3 В	Датчик первичного кабеля IDE
GPI40/REQ4#	Исходные данные	C6	Ядро	3,3 В	Очистка CMOS
GPI41/LDRQ1#	Исходные данные	R2	Ядро	3,3 В	Выберите банк аварийных ситуаций
GPO48/GNT4#	Вывод	A4	Ядро	3,3 В	Остановка счетчика FRB

2.9.1.10 Расширенное управление питанием

Функции управления питанием контроллера-концентратора ICH5-R включают расширенное управление синхронизирующими сигналами, поддержка локального и глобального мониторинга 14 отдельных устройств и различные состояния низкого энергопотребления (например, Suspend-to-DRAM и Suspend-to-Disk). Аппаратная схема контроля температуры обеспечивает возможность входа в состояние низкого энергопотребления вне зависимости от настроек ПО. Контроллер-концентратор ICH5-R полностью поддерживает спецификацию ACPI, редакция 2.0b.

2.9.1.11 Шина системного управления (SMBus 2.0)

Контроллер-концентратор ICH5-R содержит интерфейс шины SMBus, обеспечивающий связь процессора с подчиненными устройствами SMBus. Этот интерфейс совместим с большинством устройств I²C. Также реализованы специальные команды I²C. Сервер-контроллер шины SMBus контроллера-концентратора ICH5-R позволяет процессору устанавливать связь с периферийными (подчиненными) устройствами шины SMBus. Также контроллер-концентратор ICH5-R поддерживает функциональность подчиненных устройств, в том числе протокола Host Notify. В связи с этим, сервер-контроллер поддерживает восемь командных протоколов интерфейса SMBus (см. Спецификацию шины системного управления (SMBus), версия 2.0): Quick Command, Send Byte, Receive Byte, Write Byte/Word, Read Byte/Word, Process Call, Block Read/Write и Host Notify.

2.9.2 PXH

PXH обеспечивает интерфейс данных между контроллером-концентратором памяти и сегментом PCI-X шины по высокоскоростному соединению PCI-Express x8. Сегмент PCI в PXH контролируется независимо и может работать в любом режиме PCI/PCI-X.

Конфигурация PXH поддерживает следующие интерфейсы:

- Шина PCI-X 2,0
 - Один разъем, поддерживающий горячую загрузку, взаимодействующий с PCI-X 133 МТ/с по шине с напряжением 3,3 В/1,5 В
 - PCI-X 2.0 использует 4 группы исходный синхронных сигналов, со стробирующей парой для каждого. Каждая группа маршрутизируется вместе на одном и том же слое без его изменения, а длина подбирается исходя из стробирования группы. Необходимо соблюдение минимальной длины дельты между сигналами исходных синхронных групп, соответствующих схеме сигналов в разъеме PCI-X. Дополнительная информация по исходным синхронным группам содержится в спецификации PCI-X 2.0.
- Соединения PCI Express X8 (2 ГБ/с в любом направлении, всего – 4 ГБ/с)
 - Используется для соединения PXH и контроллера-концентратора памяти.

Разъем PCI-X 6 был модифицирован для поддержки переходных плат других производителей. В этот разъем могут устанавливаться устройства трех типов:

- Стандартный 133-МГц PCI, совместимый с картой расширения
- Разъем 1U/1 переходной платы PCI-X 2.0
- Разъем 2U/2 переходной платы PCI-X 1.0 (PCI-X 100)

При использовании какой-либо переходной платы, ее контакты должны совпадать с контактами измененной карты PCI-X 2.0.

Таблица 8. Схема 6 контактов разъема PCI-X

Контакт	Разъем 6 карты PCI-X 2.0 стороннего производителя	
	Сторона В	Сторона А
1	-12V	TRST#
2	TCK	+12V
3	Земля	Синхронизирующие сигналы разъема 1 карты
4	TDO	Синхронизирующие сигналы разъема 2 карты
5	+5V	+5V
6	+5V	INTA#
7	INTB#	INTC#
8	INTD#	+5V
9	PRSNT1#	ECC[5]

Контакт	Разъем 6 карты PCI-X 2.0 стороннего производителя	
	Сторона В	Сторона А
10	ECC[4]	+VI/O (3.3V/1.5V)
11	PRSNT2#	ECC[3]
12	СИГНАЛЫ РАЗЪЕМА	
13		
14	ECC[2]	3.3Vaux
15	Земля	RST#
16	CLK	+VI/O (3.3V/1.5V)
17	Земля	GNT#
18	REQ#	Земля
19	+VI/O (3.3V/1.5V)	PME#
20	AD[31]	AD[30]
21	AD[29]	+3,3V
22	Земля	AD[28]
23	AD[27]	AD[26]
24	AD[25]	Земля
25	+3,3V	AD[24]
26	C/BE [3]#	IDSEL
27	AD[23]	+3,3V
28	Земля	AD[22]
29	AD[21]	AD[20]
30	AD[19]	Земля
31	+3,3V	AD[18]
32	AD[17]	AD[16]
33	C/BE[2]#	+3,3V
34	Земля	FRAME#
35	IRDY#	Земля
36	+3,3V	TRDY#
37	DEVSEL#	Земля
38	PCIXCAP	STOP#
39	LOCK#	+3,3V
40	PERR#	SMBCLK
41	+3,3V	SMBDAT
42	SERR#	Земля
43	+3,3V	PAR/ECC[0]
44	C/BE[1]#	AD[15]
45	AD[14]	+3,3V
46	Земля	AD[13]
47	AD[12]	AD[11]
48	AD[10]	Земля
49	M66EN	AD[09]
50	Опция 2	Земля
51	Земля	Земля
52	AD[08]	C/BE[0]#
53	AD[07]	+3,3V

Контакт	Разъем 6 карты PCI-X 2.0 стороннего производителя	
	Сторона В	Сторона А
54	+3,3V	AD[06]
55	AD[05]	AD[04]
56	AD[03]	Земля
57	Земля	AD[02]
58	AD[01]	AD[00]
59	+VI/O (3.3V/1.5V)	+VI/O (3.3V/1.5V)
60	ACK64#/ECC[1]	REQ64#/ECC[6]
61	+5V	
62		
KEYWAY	KEYWAY	
63	Зарезервирован	Земля
64	Земля	C/BE[7]#
65	C/BE[6]#	CBE[5]#/AD[48]
66	CBE[4]#/AD[49]	+VI/O (3.3V/1.5V)
67	Земля	PAR64/ECC[7]
68	AD[63]	AD[62]
69	AD[61]	Земля
70	+VI/O (3.3V/1.5V)	AD[60]
71	AD[59]	AD[58]
72	AD[57]	Земля
73	Земля	AD[56]
74	AD[55]	AD[54]
75	AD[53]	+VI/O (3.3V/1.5V)
76	Земля	AD[52]
77	AD[51]	AD[50]
78	AD[49]/CBE[4]#	Земля
79	+VI/O (3.3V/1.5V)	AD[48]/CBE[5]#
80	AD[47]	AD[46]
81	AD[45]	Земля
82	Земля	AD[44]
83	AD[43]	AD[42]
84	AD[41]	+VI/O (3.3V/1.5V)
85	Земля	AD[40]
86	AD[39]	AD[38]
87	AD[37]	Земля
88	+VI/O (3.3V/1.5V)	AD[36]
89	AD[35]	AD[34]
90	AD[33]	Земля
91	Земля	AD[32]
92	Riser Presence 1	Riser Presence 0
93	Slot2 REQ	Земля
94	Земля	Slot2 GNT

Примечание: Красные сигналы представляют собой модификацию стандартных контактов PCI-X 2.0, которые, однако, соответствуют картам PCI-X 2.0.

2.10 Детальная информация о подсистеме ввода/вывода

2.10.1 Сервер ввода – вывода

Сервер ввода – вывода является контроллером National Semiconductor* PC87427. Он расположен на шине ICH5-R LPC. Для доступа LPC и SMBus, PC87427 использует быструю шину X-Bus, которая поддерживает флэш-загрузку и устройства ввода-вывода. PC87427 поддерживает линию адреса шины X-Bus (0 или 1) путем принудительного доступа к двум кодам BIOS и наборам данных. Шина SMBus также контролирует серийный плавающий порт, доступ к RTC, и соединение с серийным портом (в режимах обнаружения и перехвата). Поддержка состояния системы PC87427 происходит с помощью последовательного интерфейса сенсоров состояния LMPC0, мониторинга и контроля работы вентилятора, а также датчика вскрытия корпуса. PC87427 также включает в себя контроллер гибкого диска (FDC), два последовательных порта (UART), контроллер клавиатуры и мыши (KBC), универсальные устройства ввода-вывода (GPIO), расширение GPIO для поддержки дополнительных внешних GPIO портов, и устройство последовательности внешних прерываний для параллельных IRQ.

SIO3 имеет следующие функции:

- Работа при 3,3V, с работой в режиме ожидания
- стандартные модули: Контроллер FDC, два последовательных порта (UARTs) контроллер клавиатуры и мыши (KBC)
- Интерфейс LPC
- Расширение шины X-Bus с 8/16-разрядной скоростью флэш-загрузки, памяти и устройств ввода-вывода
- Два набора кодов BIOS поддержки передачи данных основного и резервного BIOS
- Поддержка нормального функционирования системы любой конфигурации (т.е. с BMC или mBMC или без них)
- Последовательный интерфейс управляемости (Serial Interface M). Двухзначное мультиплексирование последовательных портов 1 и 2.
 1. Один внешний последовательный порт
 2. Один внутренний последовательный порт В том случае, если карта системы управления поддерживает эту функцию, данный порт может стать портом аварийного управления (EMP)
- 52 GPIO портов с разнообразными опциями «пробуждения по событию» плюс расширение GPIO для дополнительных внешних GPIO портов
- Контрольный таймер Watchdog для автономного восстановления системы при процессах перезагрузки BIOS и использования операционной системы
- Широтно-импульсный модулятор контроля работы вентиляторов и мониторинг работы вентиляторов с одного тахометра

2.10.2 Память Intel® Advanced+ Boot Block Flash Memory с напряжением питания 3 В

В серверной системной плате используется компонент флэш-памяти Intel® 3-Volt Advanced+ Boot Block 28F320C3BD70. Устройство флэш-памяти взаимодействует с подсистемой ввода-вывода сервера через 16-разрядную шину XBUS, а также содержит следующие компоненты:

- 32 МБ в виде 2048 килослов по 16 бит каждое
- Нулевая задержка, гибкое блокирование устройства
- 128-разрядный регистр защиты
- Работа на сверхнизкой мощности при 2,7В
- По крайней мере 100.000 циклов стирания блока
- 48-контактный корпус VF-BGA

2.10.3 Видеоконтроллер

Видеоконтроллер ATI* Rage XL расположен на 32-разрядной/33МГц шине PCI ICH5-R и поддерживает следующие функции:

- Работа 32-разрядного/33-МГц PCI совпадает с версией PCI 2.3
- Функция захвата шины PCI версии 2.1 с поддержкой разбивки/сборки
- 32-разрядные регистры памяти
- 64-МБ SDRAM (512 КБ * 32 * 4 банка) при 143 МГц

Вместо 29,4-МГц кристалла, оговоренного в Спецификации ATI Rage XL, синхронизирующий сигнал 14-МГц тактового генератор СК409В используется для синхронизации контроллера ATI Rage XL. Marvell* «Yukon» 88E8050 – контроллер ЛС PCI-Express

2.10.3.1 Гигабитный контроллер Marvell 88E8050 Ethernet

Контроллер The Marvell* «Yukon» 88E8050 Gigabit Ethernet состоит из единственного небольшого компонента с интегрированным управлением доступом к среде уровнем MAC и физическим уровнем (PHY). Данное устройство основано на архитектуре PCI Express (версия 1.0a). Контроллер Marvell «Yukon» 88E8050 использует стандартный интерфейс IEEE 802.3 Ethernet для запуска приложений 1000BASE-T, 100BASE-TX, и 10BASE-T (802.3, 802.3u, и 802.3ab). Помимо функций управления MAC и физическим уровнем PHY Ethernet, контроллер поддерживает трафик PCI Express packet по каналу передачи транзакций и физическому/ логическому уровню соединения x1 PCI-Express0. Контроллер Marvell «Yukon» 88E8050 содержится в 64-контактном QFN корпусе размером 9x9мм.

2.10.3.2 Гигабитный сетевой контроллер Intel® 82541PI

Контроллер Intel® 82541PI Gigabit Ethernet состоит из единственного небольшого компонента с интегрированным управлением доступом к среде уровнем MAC и физическим уровнем (PHY). Контроллер позволяет устанавливать Gigabit Ethernet на очень небольшом пространстве. Он совмещает в себе компонент четвертого поколения MAC с полностью интегрированной цепью физического уровня и поддерживает стандартный интерфейс IEEE 802.3 Ethernet для выполнения приложений 1000BASE-T, 100BASE-TX, и 10BASE-T (802.3, 802.3u, и 802.3ab). Контроллер осуществляет передачу и прием данных со скоростью 1000 МБ/с, 100 МБ/с, или 10 МБ/с. Устройство взаимодействует с ICH5-R шины, совместимой с 32-разрядным PCI 2.3, работающим при 33 МГц.

2.11 Генерация и распределение синхронизирующих импульсов

2.11.1 Генератор тактовых сигналов СК409

Генератор тактовых сигналов СК409 использует четыре пары пара последовательных синхронизирующих импульсов с дифференцированным выходом: одна 100-МГц пара последовательных синхронизирующих импульсов с дифференцированным выходом (serial reference clock) используется для всех устройств, функционирующих через дополнительный дифференциальный буфер DB800, а три 66-МГц генератора управляют шинами ввода-вывода – 66-МГц генераторы, 48-МГц генераторы, 33-МГц генераторы и 14-МГц генераторы.

Конфигурация генератора тактовых сигналов позволяет поддерживать следующие типы генераторов:

- Три основные пары тактовых генераторов для P1, P2, концентратора-контроллера памяти
- 66-МГц генераторы с поддержкой ICH5-R и концентратора-контроллера памяти
- 33-МГц генераторы с поддержкой ICH5-R, SIO3, видеоконтроллера ATI* Rage XL, разъема FMM, контроллера 82541PI LAN, 32-разрядного/33-МГц разъема PCI
- 48-МГц генераторы с поддержкой ICH5-R и SIO3
- 14-МГц генераторы с поддержкой ICH5-R и видеоконтроллеров ATI* Rage XL
- Один 100-МГц генератор опорных импульсов DB800 (для генерирования 100-МГц периодических опорных сигналов).

2.11.2 Дифференциальный буфер DB800

Дифференциальный буфер DB800 использует 100-МГц генераторы опорных сигналов reference с поддержкой устройств/ разъемов PCI-Express и компонентов Serial ATA. DB800 поддерживает разовый ввод генератора тактовых сигналов от синтезатора генератора СК409 и производит 8 дифференциальных выводов с буферизацией.

На серверной плате SE7520BB2 SRC подключается к ICH5-R, контроллером-концентратором памяти, PXH, одним разъемом PCI-Express и Marvell* «Yukon» 88E8050 ЛС.

3. Архитектура BIOS

BIOS реализуется в виде встроенного микрокода, записанного во флэш-памяти. BIOS обеспечивает работу алгоритмов инициализации аппаратных устройств и стандартных PC-совместимых базовых служб ввода/вывода, а также стандартных возможностей серверных плат Intel®. Flash-память также содержит встроенный микрокод для ряда встроенных устройств. Изображения этих устройств не приводятся в этом документе, поскольку они должны поставляться изготовителем.

3.1 Функциональность BIOS

BIOS для серверной платы Intel® SE7520BB2 состоит из следующих компонентов:

- BIOS IA-32 – Данный компонент включает в себя большинство стандартных услуг и компонентов, поддерживаемых системой IA-32, к примеру, менеджер ресурсов PCI, поддержка ACPI, процедура POST и функция RUNTIME.
- Интерфейс EFI – уровень абстагирования между ОС и аппаратными средствами системы.
- Расширения сервера BIOS – обеспечивает поддержку для мини-контроллера mBMC и интерфейсом IPMI.
- Обновления микрокода процессора – BIOS также содержит последние обновления микрокода процессора.

3.1.1 Поддержка функций BIOS

ID	Название функции	Комментарий
	Поддержка не меньше 128KB пространства для дополнительных ПЗУ (C0000h ~ E0000h)	Поддерживается область доступных адресов дополнительного ПЗУ от C0000h до E8000h (в зависимости от конфигурации)
	Поддержка спецификации Wired for Management, необходимой для получения сертификата соответствия WHQL в соответствии с документом «Требования к системам и устройствам программы логотипа Microsoft Windows 2.0»	система должна передать WHQL
	PXE 2.1 – PXE 2.1 (или выше) для встроенных сетевых контроллеров	(a) PXE2.1 поддрежка (b) Поддержка дополнительного ПЗУ без экрана настройки (c) для сетевых адаптеров Intel® 82541PI и Marvell* «Yukon» 88E8050 Гб
	Поддержка служб BIS. Идентификация при связи для PXE	
	Поддержка UUID (открытый стандарт в среде PXE)	(a) Стандарт UUID записывается при производстве

ID	Название функции	Комментарий
	Пробуждение	(a) RTC (часы реального времени): S1/S4 (b) PME: S1/S4 (c) ring: S1/S4 (d) PS2 KB/MS: S1 (e) USB: S1 (f) кнопка питания S1/S4/S5
	USB «Boot»	Поддержка загрузки с устройств USB для USB 1.1/2.0-совместимых жестких дисков, дисководов CD-ROM, флоппи-дисководов и миниатюрных дисков
	Поддержка восстановления BIOS	LS120/LS240 Загрузочные устройства, такие как: Миниатюрные диски (USB 1.1/2.0) (c) USB CD-ROM(1.1/2.0) Привод ATAPI CD-ROM ATAPI DVD Без поддержки унаследованных/USB флоппи дисководов изза размера образа BIOS (2 МБ)
	Поддержка стандартных устройств с интерфейсом USB	(a) Стандартные устройства с интерфейсом USB KB/MS (b) Внедрено SMI
	Post-код/ Захват порта 80 – Поддержка функции хода процедуры POST в порядке очередности Необходима возможность захвата всех POST-кодов и кодов порта 80 для отладки с помощью карты PCI POST или встроенных светоиндикаторов	Поддерживается посредством встроенных светоиндикаторов (b) Контрольные пункты процедуры POST записываются в BMC
	Поддержка утопленного выключателя NMI Запись события NMI	(a) Кнопка NMI на передней панели (b) Операционная система сохранит содержимое оперативной памяти при нажатии кнопки NMI
	Восстановление питания от сети переменного тока: При восстановлении питания после сбоя ОС включается если она была включена в момент отключения питания и выключается, если она была отключена в момент отключения питания	Поддержка восстановления последнего состояния питания и выключенного состояния
	Отключение кнопки питания – Кнопку питания можно отключить	С помощью программы BIOS setup кнопка питания может быть отключена
	Сбой CPU/памяти – Непрерывная работа при сбое в CPU/памяти (Поддерживается только при перезагрузке)	BIOS запоминает каждую перезагрузку и запуск программы BIOS setup для восстановления данных

ID	Название функции	Комментарий
	Загрузочный блок BIOS – в BIOS должен иметься отдельный загрузочный блок, позволяющий восстанавливать BIOS в случае повреждения. На плате должна быть перемычка восстановления BIOS	Форсированное восстановление BIOS при установке перемычки или при обнаружении порчи BIOS Загрузочный блок защищается с помощью функции блокировки блока, встроенной в устройство флэш-памяти (28F320C3) с «нижней загрузкой»
	Обновление BIOS – Позволяет производить обновление флэш-памяти BIOS, в том числе обновление с сетевых дисков DOS и через PXE	Поддержка CD-ROM, устройств хранения данных USB и сетевых дисков. Флоппи-дисковод не поддерживается
	Обнаружение вскрытия корпуса	ISM определяет состояние корпуса и по сети оповещает администратора о вскрытии корпуса
	Аппаратная поддержка мониторинга: Напряжения, температуры, вентиляторы	Поддержка устройств BMC.
	BIOS Setup содержит опции отключения интегрированных периферийных устройств ввода-вывода (компоненты ЛС, сетевых адаптеров ATA, SCSI, и т.д.) При отключении этих компонентов они полностью удаляются из адресного пространства PCI, становясь невидимыми для операционной системы	Должна иметься возможность отключения интегрированного видеоадаптера (ATI* RAGE XL), SCSI (LSI* 53C1030), контроллера SATA ICH5-R и сетевых контроллеров (Intel® 82541PI и Marvell* «Yukon» 88E8050)
	BIOS Setup содержит опции включения/отключения дополнительных ПЗУ периферийных устройств и разъемов PCI	Включение/отключение дополнительных ПЗУ утилитой BIOS Setup.
	Возможность хранения сообщений об ошибках в блоке памяти долговременного хранения	Система сохраняет события с помощью контроллера BMC
	Развертывание BIOS – сохраняет две версии BIOS на системной плате для поддержки отказоустойчивости в случае повреждения BIOS	
	Поддержка разделения дополнительных ПЗУ, основанная на Спецификации встроенного микрокода PCI PCI-SIG, версия 3.0	
	Поддержка обновления BIOS во время работы: Возможность обновлять BIOS (или FW) во время работы ОС. Обновление происходит при следующей перезагрузке	

ID	Название функции	Комментарий
	<p>Утилита SUP Utility</p> <p>Поддержка утилит должна осуществляться начиная с БЕТА-версии в течение всего производства для простой поддержки обновлений BMC/HSC FW, FRU/SDR и BIOS 1)</p> <p>1) Возможность обновления всех SW/FW при однократном пакетном процессе, с единственной перезагрузкой в конце процесса.</p> <p>2) Возможность выполнения пункта # 1 после перезагрузки с сервера PXE, где хранятся обновляемые файлы BMC+HSC+FRU/SDR+BIOS.</p> <p>3) Возможность выполнения пункта # 1 после локальной загрузки с гибкого диска и отображения на общий серверный сетевой адаптер, где хранятся обновляемые файлы BMC+HSC+FRU/SDR+BIOS.</p> <p>4) Текущая возможность выполнения пункта # 1 с накопителей на жестком диске при поддержке дисковода CD-ROM.</p>	
	Активный контроль температуры, обеспечивающий минимальный уровень шума. Должен соответствовать акустическому разделу спецификации Blue Angel.	Поддерживает через BMC
	Требуется поддержка автоматизированных средств обновления встроенного микрокода в производственных условиях. Возможность удаленного обновления встроенного микрокода, BIOS, настроек CMOS, заставки OEM-компании, FRU/SDR и кода HSC (через локальную сеть) с помощью автоматизированных средств в производственных условиях.	
	<p>Определение NMI</p> <p>Возможность обнаруживать ошибку четности или системную ошибку на всех шинах PCI</p> <p>Возможность обнаруживать одно-/многозарядные ошибки</p>	
	Поддержка кнопки режима сна	
	Поддержка очистки пароля с помощью перемычки	
	Поддержка очистки CMOS с помощью перемычки	
	Поддержка IPMI 2,0/1,5	Контролер mini BMC (соответствует версии 1,5) или карта серверного модуля (Intel Sahalee(соответствует версии 2,0))
	Поддержка диагностических светоиндикаторов Intel	
	Поддержка подключения консоли через последовательный порт	COMA/COMB
	Поддержка последовательного подключения через локальную сеть (SOL)	Поддержка Sahalee BMC
	Поддержка индикаторов FRU	
	Поддержка FRB-1/2/3	
	Поддержка EFI -32	EFI Rev. 1.1

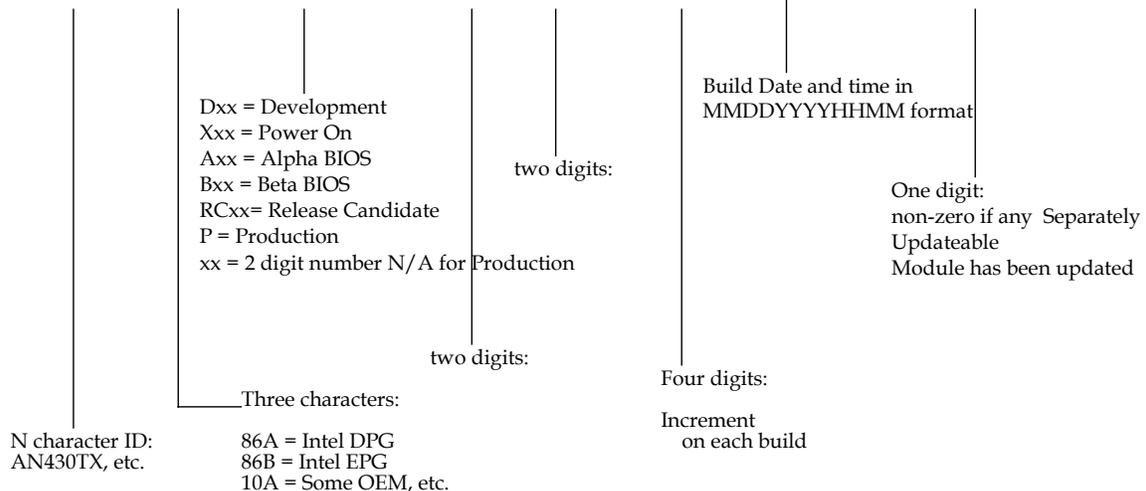
ID	Название функции	Комментарий
	Поддержка памяти	DDR2-400 перераспределение памяти память Intel single device data correction (SDDC). Только для двухканального режима памяти Максимальный объем памяти: 16 Гб для DDR2-400. зеркальное отображение памяти: Только двухканальный режим резервирование памяти: Двух и одноканальный режимы DDR2-400
	Поддержка процессора	Обновление встроенного микрокода процессора во время процедуры POST Обновление встроенного микрокода процессора во время работы: Процедура POST & период выполнения (Int 15ч, AX= 0D042ч) Поддержка установки обновлений встроенного микрокода с другим размером (максимальный размер встроенного микрокода составляет 16Кб)
	Поддержка BBS	BBS 1.02
	Поддержка PCI	PCI-X PCI-X DDR PCI-E
	Поддержка MPS(режим APIC)	MPS 1.4 (таблица MPS)
	Поддержка режима PIC	Таблица маршрутизации запросов прерываний PCI
	Поддержка ACPI	(a) ACPI 2.0 (b) S0/S1/S4/S5 (c) Таблица ACPI SPCR (подключение консоли через последовательный порт)
	Поддержка SMBIOS	SMBIOS 2.3.1 Ниже области памяти 1 Мб
	Поддержка свопинга клавиатуры и мыши	Встроенный микрокод AMI
	Параллельные порты не поддерживаются	Не поддерживается NS* PC87427
	Сообщения об ошибках BIOS на английском языке, при условии, что на экране есть изображение, вместо звуковых сигналов	
	Многоязычная версия	Английский/французский/испанский/итальянский/немецкий
	Поддержка безопасности	Блокировка клавиатуры и мыши PS/2 Защита записи на дискету Запирание электронно-лучевой трубки Блокировка передней панели Защита паролем

ID	Название функции	Комментарий
	Поддержка загрузки	Быстрая загрузка во время POST Быстрая загрузка во время POST Перезагрузка без консоли меню boot
	Утилита обновления BIOS для Windows	
	Управление сервером	
	Управление питанием в любом состоянии (операционная система загружена, не загружена, зависла)	Необходима ISM.
	Мониторинг датчиков и оповещения о сбоях после загрузки операционной системы	Необходима ISM.
	Оповещения о сбоях через локальную сеть после загрузки операционной системы.	Необходима ISM.
	Удаленное обновление BIOS / встроенного ПО	Поддержка BIOS отсутствует
	Совместимость с IPMI / DMI / CIM	(a) IPMI 1,5/2,0 и CIM. (b) Полная версия IPMI 2,0 для серверного модуля (Sahalee) (c) Подсистема IPMI 1,5 с поддержкой встроенного контроллера NS PC87431 mBMC
	Интеграция с программным обеспечением ISM	
	Поддержка ОС	Microsoft* Windows* 2003, RHEL 4,0
	Функции безопасности, обеспечивающие защиту от изменения конфигурации сервера	ISM обеспечивает датчик вскрытия корпуса и сообщения об изменениях программного и аппаратного обеспечения

3.1.2 Строка идентификации BIOS

Строка идентификации BIOS используется в качестве уникального идентификатора версии BIOS, используемой в системе. Строка имеет следующий формат:

BoardId.OEMID.BuildType.Major.Minor.BuildID.BuildDateTime.Mod



Система BIOS содержит следующие уникальные идентификаторы: SE7520BB2.

Нижеприведенная информация представляет собой образец строки производственных данных, показываемой при запуске процедуры POST:

```
SE7520BB20.86B.A06.01.00.0002.081320031156
```

3.1.3 Аппаратные средства, требующие поддержки BIOS

В серверной системной плате SE7520BB2 имеются следующие специализированные интегральные схемы (ASIC), для которых требуется поддержка BIOS:

- Контроллер-концентратор памяти Intel® E7520 с поддержкой PCI-E и поддержкой зеркального отображения/резервирования.
- Intel® ICH5-R использует контроллер USB 2.0, Serial ATA100, контроллер IDE, контроллер SMBUS, мост LPC Bridge и RTC.
- Мост Intel® PXH PCI с поддержкой PCI-X /PCI-X DDR
- 4-МБ флэш-память для хранения программного кода BIOS.
- Суперконтроллер ввода/вывода National Semiconductor* PC87417 использует последовательные порты/PS/2 клавиатуры/мышь/флоппи-диск и мониторинг аппаратных средств.
- ATI* RAGE XL с поддержкой 8-МБ памяти SDRAM
- Контроллер LSI* 53C1030 SCSI с поддержкой двухканального устройства Ultra-320
- Сетевые адаптеры Intel® 82541PI с поддержкой одного канала 10/100/1000
- Сетевые адаптеры Marvell* «Yukon» 88E8050 с поддержкой одного канала 10/100/1000

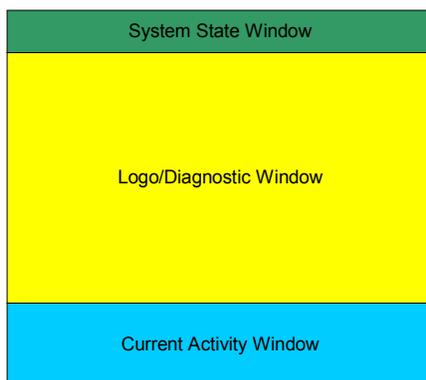
3.1.4 Процедура POST

BIOS поддерживает использование одной заставки пользователя. При загрузке системы BIOS отображает на экране заставку вместо сообщений BIOS. Пользователь может просматривать сообщения BIOS, нажав клавишу «ESC» при выполнении процедуры POST. После открытия экрана с сообщениями процедуры POST, заставку во время текущей загрузочной последовательности восстановить нельзя. Заставку можно настроить с помощью утилиты «Изменение логотипа». Подробная информация приведена в *Руководстве по изменению логотипа в AMIBIOS* (версия 2.22).

3.1.5 Пользовательский интерфейс

Для вывода пользовательского интерфейса используется два типа консолей: графические и текстовые. Графическая консоль отображается в режиме 640x480. Текстовые консоли отображаются в режиме 80x25.

Экран консоли делится на три окна: Окно состояния системы, окно логотипа/диагностики, и окно текущей активности. Окно состояния системы представляет информацию о текущем состоянии системы (т.е., является ли состояние системы активным, «повисшим», или требует вмешательства пользователя). В окне логотипа/диагностики отображает заставка OEM-компании или окно загрузки с диагностической информацией. В окне текущей активности отображается информация о выполняемом этапе процедуры POST, а также сообщения о состоянии системы, вопросы и предупреждения.



В случае порчи CMOS BIOS выводит следующее сообщение:

Нажмите клавишу F1 для настройки и F2 для продолжения работы

При появлении этого сообщения BIOS приостанавливает работу на 5 секунд. Если ответ не был получен, BIOS продолжает процесс перезагрузки, используя настройки установки по умолчанию.

Во время процедуры POST BIOS отображает следующую информацию:

- Сообщение об авторских правах
- Идентификатор BIOS
- Текущая конфигурация процессора
- Объем установленной памяти
- Информация о выполняемой процедуре и необходимости вмешательства пользователя

3.2 Утилита BIOS Setup

Утилита BIOS Setup служит для изменения конфигурации системы и просмотра текущих настроек и состояния рабочей среды.

Утилита BIOS Setup хранит настройки конфигурации в области памяти долговременного хранения. Изменения, внесенные в утилите BIOS Setup, не вступают в силу до перезагрузки системы. Вход в утилиту BIOS Setup может осуществляться посредством нажатия клавиши F2 в начале процедуры POST.

Примечание: Описанные в данном разделе опции BIOS могут присутствовать или отсутствовать в опытных версиях BIOS. В данном разделе описывается планируемая промышленная версия утилиты BIOS Setup. Расположение пунктов любого меню утилиты BIOS Setup может отличаться от описанного в настоящем документе и от используемого в опытных версиях BIOS. Обновление данного раздела будет произведено в версии 1.0 настоящего документа.

3.2.1 Вход в утилиту BIOS Setup

Вход в программу BIOS Setup осуществляется посредством нажатия клавиши F2 во время процедуры POST.

3.3 Команды с клавиатуры

При работе программы BIOS Setup линейка команд клавиатуры поддерживает клавиши, перечисленные в следующей таблице.

Таблица 9. Опции панели команд с клавиатуры программы BIOS Setup

Ключ	Опция	Описание
Enter	Выполнение команды	Клавиша <Enter> используется для активизации подменю, списков выбора, или для выбора подполя. Если на экран выводится список выбора, при нажатии клавиши <Enter> выбирается подсвеченный элемент списка, и передается в родительское меню.
ESC	Выход	Клавиша <Esc> используется для выхода из любого поля. Эта клавиша отменяет нажатие клавиши <Enter>. При нажатии клавиши <Esc> во время редактирования любого поля или выбора позиции из списка, происходит возврат в меню. При нажатии клавиши <Esc> в любом подменю происходит возврат в родительское меню. При нажатии клавиши <Esc> в любом основном меню появляется окно подтверждения выхода и пользователю будет предложено сохранить изменения. При выборе «No» и нажатии <Enter> или при нажатии клавиши <Esc> пользователь возвращается в меню, открытое до нажатия клавиши <Esc> без изменений настроек. При выборе «Yes» и нажатии клавиши <Enter>, программа BIOS Setup закрывается, и BIOS продолжает тестирование системы при включении.
↑	Выбрать пункт	Стрелка вверх используется для выбора предыдущего значения списка значений или предыдущей опции списка опций меню. После этого выбранная позиция должна быть активирована нажатием клавиши <Enter>.
↓	Выбрать пункт	Стрелка вниз используется для выбора следующего значения в списке опций меню или списке значений. После этого выбранная позиция должна быть активирована нажатием клавиши <Enter>.
←→	Выбрать меню	Стрелки влево и вправо используются для перемещения между пунктами главного меню. Нажатие этих клавиш не влияет на подменю или список выбора.

Ключ	Опция	Описание
Tab	Выбрать область	Клавиша <Tab> используется для перемещения между полями. Например, клавиша <Tab> может использоваться для перемещения с поля часов в поле минут в главном меню.
-	Изменить значение	Клавиша минус на цифровой клавиатуре используются для изменения значений текущей позиции на предыдущее значение. Эта клавиша позволяет менять значения списка без открытия всего списка.
+	Изменить значение	Клавиша плюс на цифровой клавиатуре используются для изменения значений текущей позиции на следующее значение. Эта клавиша позволяет менять значения списка без открытия всего списка. На 106-клавишных клавиатурах с японской раскладкой клавиша плюс имеет код сканирования, отличный от клавиши плюс на других клавиатурах, но ее нажатие производит то же воздействие.
F9	Установки по умолчанию	<p>При нажатии клавиши <F9> на экран выводится следующее сообщение:</p> <p style="text-align: center;">Load Setup Defaults? [OK] [Cancel]</p> <p>При выборе значения «OK» и нажатии клавиши <Enter> всем настройкам системы будут возвращены значения по умолчанию. При выборе значения «Cancel» и нажатии клавиши <Enter> или при нажатии клавиши <Esc> пользователь возвращается на тот этап, на котором он находился до нажатия клавиши F9. Настройки системы при этом не меняются.</p>
F7	Отменить изменения	<p>При нажатии клавиши <F7> на экран выводится следующее сообщение:</p> <p style="text-align: center;">Discard Changes? [OK] [Cancel]</p> <p>При выборе опции «OK» и нажатии клавиши <Enter> все изменения не сохраняются и программа BIOS Setup закрывается. При выборе опции «Cancel» и нажатии клавиши <Enter> или при нажатии клавиши <Esc> пользователь возвращается на тот этап, на котором он находился до нажатия клавиши <F7>. Настройки системы при этом не меняются.</p>
F10	Сохранить изменения и выйти	<p>При нажатии клавиши <F10> на экран выводится следующее сообщение:</p> <p style="text-align: center;">Save configuration changes and exit setup? [OK] [Cancel]</p> <p>При выборе опции «OK» и нажатии клавиши <Enter> все изменения сохраняются и программа BIOS Setup закрывается. При выборе опции «Cancel» и нажатии клавиши <Enter> или при нажатии клавиши <Esc> пользователь возвращается на тот этап, на котором он находился до нажатия клавиши <F10>. Настройки системы при этом не меняются.</p>

3.4 Вход в утилиту BIOS Setup

Вход в программу BIOS Setup осуществляется посредством нажатия клавиши <F2> во время процедуры POST.

3.4.1 Главное меню

После входа в программу BIOS Setup на экране выводится Меню Main. В нем отображаются различные пункты меню, которые может выбрать пользователь. В таблицах ниже описываются опции меню и подменю. Значения по умолчанию представлены **жирным** шрифтом.

Таблица 10. Опции меню Main программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Описание системы			
AMI BIOS			
Версия	Нет	Нет	Идентификатор BIOS (не включает время и дату выпуска)
Дата выпуска	Нет	Нет	Дата выпуска BIOS
Процессор			
Тип	Нет	Нет	Идентификатор марки процессора
Частота	Нет	Нет	Измеренная частота процессора
Счет	Нет	Нет	Обнаруженное количество виртуальных процессоров
Системная память			
Размер	Нет	Нет	Обнаруженный объем памяти
Степпинг MCH серверной платы			
Степпинг	Нет	Нет	Выводятся степпинги контроллера памяти
Системное время	HH:MM:SS	Для выбора поля используйте [ENTER], [TAB] или [SHIFT-TAB]. Для конфигурации времени системы используйте клавиши [+] или [-].	Конфигурирует время системы. По умолчанию 00:00:00
Системная дата	DAY MM/DD/YYYY	Для выбора поля используйте [ENTER], [TAB] или [SHIFT-TAB]. Для конфигурации даты системы используйте клавиши [+] или [-].	Производит конфигурацию даты системы. По умолчанию: [дата изготовления] День недели устанавливается автоматически.
Язык	Английский Французский Немецкий Итальянский Испанский	Выбор языка BIOS по умолчанию	Выбор языка BIOS по умолчанию.

3.4.2 Меню «Advanced»

Таблица 11. Опции меню Advanced программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Установки меню Advanced			
ОСТОРОЖНО! Установка неправильных значений параметров в разделах, описанных ниже, может привести нарушению работоспособности системы.			
Конфигурация процессора	Нет	Конфигурировать процессоры.	Выбор подменю.
IDE Configuration	Нет	Настройка устройств IDE.	Выбор подменю.
Floppy Configuration	Нет	Настройка флоппи-дисководов.	Выбор подменю.
Конфигурация суперконтроллера ввода/вывода	Нет	Настройка набора микросхем суперконтроллера ввода/вывода.	Выбор подменю.
USB Configuration	Нет	Настройка поддержки USB.	Выбор подменю.
PCI Configuration	Нет	Конфигурировать устройства PCI.	Выбор подменю.
Конфигурация модулей памяти	Нет	Конфигурировать устройства памяти.	Выбор подменю.
Отладка перед производством	Нет	Данная опция обеспечивает доступ к внутренним настройкам. Данная опция не имеется в рабочих версиях.	Выбор подменю.

3.4.2.1 Подменю Processor Configuration

Таблица 12. Опции подменю Processor Configuration программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Конфигурирование расширенных настроек процессора (Advanced Processor Settings)			
Производитель	Процессор Intel	Нет	Отображает строку информации о производителе процессора.
Brand String	Нет	Нет	Отображает идентификатор марки процессора.
Тактовая частота	Нет	Нет	Отображает измеренную частоту процессора.
Частота системной шины	Нет	Нет	Отображает частоту системной шины процессора.
CPU 1			
Идентификационный номер процессора	Нет	Нет	Отображает идентификационный номер процессора.
Cache L1	Нет	Нет	Объем кэш-памяти первого уровня.
Cache L2	Нет	Нет	Отображение объема кэш-памяти второго уровня
CPU 2			
Идентификационный номер процессора	Нет	Нет	Отображает идентификационный номер процессора.

Характеристика	Опции	Текст справки	Описание
Cache L1	Нет	Нет	Объем кэш-памяти первого уровня.
Cache L2	Нет	Нет	Отображение объема кэш-памяти второго уровня.
Processor Retest	Отключено Включено	При включении данной опции все процессоры будут активированы и протестированы при следующей загрузке. При следующей загрузке данная опция будет автоматически отключена.	Заново активирует датчики процессора. Отображается при наличии модуля Intel Management Module.
Max CPUID Value Limit	Отключено Включено	Эта опция должна быть включена для загрузки устаревших операционных систем, не поддерживающих процессоры с расширенными функциями CPUID.	Эта опция предназначена для поддержки унаследованных ОС, таких как Windows* NT4.0.
Технология Intel SpeedStep®	Автоматическое Отключено	Выбрать «disabled» для максимальной частоты процессора. Выбрать Auto для снижения энергопотребления операционной системой.	Эта опция установки будет скрыта, если процессоры не поддерживают эту функцию.
Технология Execute Disable Bit	Включено Отключено	Функция Intel Execute Disable Bit позволяет предотвратить определенные типы вирусных атак.	Эта опция установки будет скрыта, если процессоры не поддерживают эту функцию.
Многоядерная обработка	Включено Отключено	Если отключено, отключается одно из вычислительных ядер.	

3.4.2.2 Подменю IDE Configuration

Таблица 13. Опции меню IDE Configuration программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
IDE Configuration			
Каналы встроенного контроллера P-ATA	Отключено Primary	Отключено: отключает интегрированный контроллер P-ATA. Primary: включает только главный контроллер P-ATA.	Управляет состоянием интегрированного контроллера P-ATA.
Два встроенных 2-портовых канала S-ATA	Отключено Включено	Отключено: Отключение встроенного 2-портового контроллера S-ATA Intel(R) 82801ER. Включено: Подключение встроенного 2-портового контроллера S-ATA Intel(R) 82801ER.	Управляет состоянием встроенного 2-портового контроллера S-ATA Intel(R) 82801ER.

Характеристика	Опции	Текст справки	Описание
Конфигурировать контроллер S-ATA как RAID-контроллер	Отключено Включено	При включении каналы встроенного 2-портового контроллера S-ATA Intel(R) 82801ER резервируются для использования в режиме RAID.	
Режим S-ATA	Улучшение функций Стандартные	Улучшение функций: Непосредственная поддержка S-ATA без эмуляции архитектуры P-ATA. Необходимы драйверы с поддержкой S-ATA Стандартные: Устанавливается соответствие между портами S-ATA и функциями P-ATA, эмулируется один канал P-ATA. Унаследованные драйверы определяют порты S-ATA как ведущий и ведомый порты P-ATA.	Будет затенено, если встроенные каналы S-ATA отключены, или позволяет сконфигурировать S-ATA, если включен режим RAID. Режим Legacy Mode необходим только для унаследованных ОС, не имеющих непосредственной поддержки S-ATA. Скорость передачи в режиме Legacy Mode будет ограничена скоростями передачи PIO. Enhanced mode (расширенный режим) следует использовать с большинством современных ОС, чтобы достичь наилучшей производительности.
S-ATA Ports Definition	A0-Master/A1-Slave A0-Slave/A1-Master	Определяет приоритетность между каналами S-ATA.	Эта опция установки будет затенена, если для S-ATA включен режим RAID.
Объединение P-ATA / S-ATA	Нет	Позволяет удалять P-ATA и заменять его S-ATA в данном канале. Только один канал может быть использован как канал S-ATA.	Выбирает подменю для конфигурирования объединенных P-ATA и S-ATA. Эта опция установки будет скрыта, если для S-ATA включен режим RAID.
Primary IDE Master	Нет	При входе в утилиту BIOS Setup, BIOS автоматически определяет наличие устройств IDE. Отображает состояние автоматического определения устройств IDE.	Выбирает подменю с дополнительной информацией по устройствам.
Primary IDE Slave	Нет	При входе в утилиту BIOS Setup, BIOS автоматически определяет наличие устройств IDE. Отображает состояние автоматического определения устройств IDE.	Выбирает подменю с дополнительной информацией по устройствам.
Secondary IDE Master	Нет	При входе в утилиту BIOS Setup, BIOS автоматически определяет наличие устройств IDE. Отображает состояние автоматического определения устройств IDE.	Выбирает подменю с дополнительной информацией по устройствам.
Secondary IDE Slave	Нет	При входе в утилиту BIOS Setup, BIOS автоматически определяет наличие устройств IDE. Отображает состояние автоматического определения устройств IDE.	Выбирает подменю с дополнительной информацией по устройствам.

Характеристика	Опции	Текст справки	Описание
Hard Disk Write Protect	Отключено Включено	Отключает/включает защиту устройства от записи. Использование данной опции возможно только в том случае, если имеется доступ к устройствам посредством BIOS.	Изначально использовался для предотвращения неавторизованных попыток произвести запись на жесткие диски.
IDE Detect Time Out (Sec)	0 5 10 15 20 25 30 35	Выбирает значение «time out» (время истекло) для обнаружения устройства (устройств) ATA/ATAPI.	Изначально использовался со старыми устройствами IDE с более длительным временем разогрева
ATA (PI) 80Pin Cable Detection	Сервер и устройство Сервер Устройство	Выбрать механизм определения 80-контактного шлейфа ATA(PI).	80-контактный шлейф необходим для UDMA-66 и вышеперечисленных устройств. BIOS определяет шлейф, отправляя запрос на сервер и/или устройство.

Таблица 14. Смешанная конфигурация P-ATA-S-ATA с одним лишь первичным портом P-ATA

Характеристика	Опции	Текст справки	Описание
Объединение P-ATA / S-ATA			
Первый канал ATA	P-ATA M-S S-ATA M-S	Производит конфигурирование первого канала ATA для использования устройствами P-ATA или ATAPI в режимах «master» и «slave» или устройством S-ATA в текущей комбинации главного и подчиненного устройства.	Определяет устройство S-ATA для данного канала.
Второй канал ATA	S-ATA M-S Нет	Показать конфигурацию вторичного канала ATA. Если порты S-ATA_M-S уже были присвоены первому каналу, то канал будет показан как «None».	Только отображение. Если первый канал выбирает P-ATA, он переключается в режим S-ATA M-S.

Таблица 15. Подменю IDE Device Priority программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Primary/Secondary/Third/Fourth IDE Master/Slave			
Устройство	Нет	Нет	Вывод информации об обнаруженных устройствах
Производитель	Нет	Нет	Информация о производителе устройства IDE
Размер	Нет	Нет	Объем диска IDE
Функции LBA	Нет	Нет	Режим LBA
Block Mode	Нет	Нет	Режим блоков
PIO Mode	Нет	Нет	Режим PIO
Async DMA	Нет	Нет	Режим Async DMA
Ultra DMA	Нет	Нет	Режим Ultra DMA.
S.M.A.R.T.	Нет	Нет	Поддержка S.M.A.R.T.
Тип	Не установлен Автоматически CDROM ARMD	Выбор типа устройства, подключенного к системе.	В большинстве случаев правильнее использовать автоматическую настройку.
LBA/Large Mode	Отключено Автоматически	Отключено: Отключение режима LBA Автоматически: Включен режим LBA, если он поддерживается устройством, не отформатированным при отключенном режиме LBA.	В большинстве случаев правильнее использовать автоматическую настройку.
Режим (многосекторная передача) блоков	Отключено Автоматически	Отключено: <i>Перенос данных с/на устройство осуществляется по одному сектору за 1 раз.</i> Автоматически: Передача данных с устройства и на устройство происходит одновременно в нескольких секторах, если устройство поддерживает данную функцию.	В большинстве случаев правильнее использовать автоматическую настройку.
PIO Mode	Автоматически 0 1 2 3 4	Выбор режима PIO.	В большинстве случаев правильнее использовать автоматическую настройку.

Характеристика	Опции	Текст справки	Описание
DMA Mode	Автоматически SWDMA0 SWDMA1 SWDMA2 MWDMA0 MWDMA1 MWDMA2 UWDMA0 UWDMA1 UWDMA2 UWDMA3 UWDMA4 UWDMA5	Выбор режима DMA. Auto : Автоматическое определение SWDMA : SinglewordDMA MWDMA : MultiwordDMA UWDMA : UltraDMA	В большинстве случаев правильнее использовать автоматическую настройку.
S.M.A.R.T.	Автоматически Отключено Включено	Технология автоматического мониторинга, анализа и создания отчетов.	В большинстве случаев правильнее использовать автоматическую настройку.
32Bit Data Transfer	Отключено Включено	Включение/отключение 32-битной передачи данных	

3.4.2.3 Подменю Floppy Configuration

Таблица 16. Подменю Floppy Configuration программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Floppy Configuration			
Floppy A	Отключено 720 КБ 3 1/2" 1,44 МБ 3 1/2" 2,88 МБ 3 1/2"	Выбрать тип дисководов, подключенного к системе.	Примечание: Корпорация Intel больше не поддерживает дисководы для дискет 720 КБ и 2,88 МБ.
Onboard Floppy Controller	Отключено Включено	Включение или отключение контроллера флоппи-дисководов.	

3.4.2.4 Подменю Super I/O Configuration

Таблица 17. Подменю Super I/O Configuration программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Конфигурирование набора микросхем Nat42x Super IO			
Serial Port A Address	Отключено 3F8/IRQ4 2F8/IRQ3 3E8/IRQ4 2E8/IRQ3	Позволяет BIOS указывать базовый адрес последовательного порта A.	Опция, используемая другим последовательным портом, является скрытой в целях предотвращения конфликта настроек.
Serial Port B Address	Отключено 3F8/IRQ4 2F8/IRQ3 3E8/IRQ4 2E8/IRQ3	Позволяет BIOS указывать базовый адрес последовательного порта B.	Опция, используемая другим последовательным портом, является скрытой в целях предотвращения конфликта настроек.

3.4.2.5 Подменю USB Configuration

Таблица 18. Подменю USB Configuration программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
USB Configuration			
USB Devices Enabled	Нет	Нет	Список устройств USB, обнаруженных BIOS.
USB Function	Отключено Включено	Включить USB HOST.	При присвоении данному списку значения «disabled» другие опции USB становятся неактивными.
Поддержка стандартных устройств с интерфейсом USB	Отключено Только клавиатура Автоматически Клавиатура и мышь	Включает поддержку стандартных устройств с интерфейсом USB. Опция AUTO отключает поддержку стандартных устройств с интерфейсом USB, если такие устройства не подключены. Если данная опция отключена, поддержка стандартных устройств USB не отключается до загрузки ОС.	
Port 60/64 Emulation	Отключено Включено	Включает поддержку эмуляции порта 60/64h. Данная опция должна быть включена для полной клавиатурной поддержки стандартных устройств с интерфейсом USB для ОС, не поддерживающих USB.	
USB 2.0 Controller	Отключено Включено	Нет	
USB 2.0 Controller Mode	FullSpeed HiSpeed	Производит конфигурацию контроллера USB 2.0: HiSpeed (480 Мбит/с) или FullSpeed (12 Мбит/с).	
Конфигурация устройств хранения данных USB	Нет	Конфигурировать устройства класса хранения данных USB.	Выбор подменю.

3.4.2.5.1 Подменю USB Mass Storage Device Configuration

Таблица 19. Подменю USB Mass Storage Device Configuration программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Конфигурация устройств хранения данных USB			
USB Mass Storage Reset Delay	10 секунд 20 секунд 30 секунд 40 секунд	Сколько секунд процедура POST ожидает ответа от устройств хранения данных USB после отправки первой команды	
Устройство #1	Нет	Нет	Отображается только если устройство обнаружено, включает строку DeviceID, возвращаемую устройством с интерфейсом USB.
Тип эмуляции	Автоматически Флоппи Forced FDD Жесткий диск CDROM	При выборе опции Auto, устройства USB размером менее 530 МБ будут эмулироваться как флоппи-диски, а остальные – как жесткие диски. Опция Forced FDD может использоваться, чтобы диск, отформатированный как жесткий диск, мог использоваться для загрузки в качестве дискеты (например, дисковод ZIP).	
Устройство #n	Нет	Нет	Отображается только если устройство обнаружено, включает строку DeviceID, возвращаемую устройством с интерфейсом USB.
Тип эмуляции	Автоматически Флоппи Forced FDD Жесткий диск CDROM	При выборе опции Auto, устройства USB размером менее 530 МБ будут эмулироваться как флоппи-диски, а остальные – как жесткие диски. Опция Forced FDD может использоваться, чтобы диск, отформатированный как жесткий диск, мог использоваться для загрузки в качестве дискеты (например, дисковод ZIP).	

3.4.2.6 Подменю PCI Configuration

Это подменю обеспечивает управление устройствами PCI и их опциональными ПЗУ. Если BIOS сообщает об ошибке процедуры POST №146, используйте это меню для отключения опциональных ПЗУ, которые не требуются для загрузки системы.

Таблица 20. Подменю PCI Configuration программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
PCI Configuration			
Onboard Video	Отключено Включено	Включение/отключение интегрированного контроллера VGA	
Поддержка двух мониторов	Отключено Включено	Выбрать графический контроллер, используемый в качестве основного устройства для загрузки. Во включенном состоянии выбирает встроенное устройство.	Затенено / недоступно, если отключена опция Onboard Video (встроенный видеоадаптер).
Встроенный сетевой адаптер 1 (снизу)	Отключено Включено	Включение/отключение встроенного сетевого адаптера 1.	
ПЗУ встроенного сетевого адаптера 1	Отключено Включено	Включение/отключение ПЗУ встроенного сетевого адаптера 1.	Является неактивной, если устройство отключено.
Встроенный сетевой адаптер 2 (сверху)	Отключено Включено	Включение/отключение встроенного сетевого адаптера 2.	
ПЗУ встроенного сетевого адаптера 2	Отключено Включено	Включение/отключение ПЗУ встроенного сетевого адаптера 2.	Является неактивной, если устройство отключено.
Встроенный 4-портовый контроллер S-ATA	Отключено Включено	Включение встроенного 4-портового контроллера S-ATA (Sil3124).	
ПЗУ встроенного 4-портового контроллера S-ATA	Отключено Включено	Включение опционального ПЗУ встроенного 4-портового контроллера S-ATA (Sil3124).	Является неактивной, если устройство отключено.
Режим работы встроенного 4-портового контроллера S-ATA	Непосредственная поддержка S-ATA RAID	При включении режима RAID каналы S-ATA контроллера Sil3124 резервируются для использования в режиме RAID.	Затенено, если устройство или ПЗУ отключено.

Характеристика	Опции	Текст справки	Описание
Разрешение конфликтов устройств PCI на основе приоритетов	Отключено Включено	Отключено: Циклическая схема обслуживания устройств на шине PCI. Включено: Приоритетная схема обслуживания устройств на шине PCI.	Отличия циклической схемы обслуживания от приоритетной: Циклическая схема обслуживания (установлена по умолчанию) предусматривает, что устройство, имеющее самые низкие значения пары req/gnt, первым получает возможность доступа к шине. Преимущества имеют устройства на системной плате (req/gnt 0), за ними следуют устройства, установленные в нижних разъемах (req/gnt 1), средних разъемах (req/gnt 2), и, наконец, в верхних разъемах (req/gnt 3). Альтернативная приоритетная схема обслуживания предусматривает для всех устройств равные возможности стать первым по окончании таймслота PХН (PХН имеет высший приоритет, а все остальные устройства – более низкий приоритет).
Отображение в памяти выше 4 ГБ	Отключено Включено	Включение/отключение отображения в памяти 64-разрядных устройств ввода/вывода PCI в адресном пространстве 4 ГБ или выше.	
Slot 5 Option ROM	Отключено Включено	PCI-Express x8	
Slot 6 Option ROM	Отключено Включено	разъем PCI-X 64/133 2U	

3.4.2.7 Подменю Memory Configuration

Данное подменю предоставляет информацию о модулях памяти DIMM, обнаруженных BIOS. Количество модулей памяти DIMM напечатано на основной плате рядом с каждым устройством.

Таблица 21. Подменю Memory Configuration программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Установки системной памяти			
DIMM 1A	Установлен Не установлен Отключено Зеркальный набор Запасные части		Информационный дисплей.
DIMM 1B	Установлен Не установлен Отключено Зеркальный набор Запасные части		Информационный дисплей.
DIMM 2A	Установлен Не установлен Отключено Зеркальный набор Запасные части		Информационный дисплей.
DIMM 2B	Установлен Не установлен Отключено Зеркальный набор Запасные части		Информационный дисплей.
DIMM 3A	Установлен Не установлен Отключено Зеркальный набор Запасные части		Информационный дисплей.
DIMM 3B	Установлен Не установлен Отключено Зеркальный набор Запасные части		Информационный дисплей.

Характеристика	Опции	Текст справки	Описание
DIMM 4A	Установлен Не установлен Отключено Зеркальный набор Запасные части		Информационный дисплей.
DIMM 4B	Установлен Не установлен Отключено Зеркальный набор Запасные части		Информационный дисплей.
Extended Memory Test	1 МБ 1 КБ Каждое положение Отключено	Настройки тестирования расширенной памяти.	
Memory Retest	Отключено Включено	Если данная опция имеет значение «Enabled», при следующей загрузке BIOS активирует и проведет повторное тестирование всех модулей памяти DIMM. При следующей загрузке данная опция будет автоматически отключена.	
Функция изменения схемы памяти	Отключено Включено	Включено: Разрешить перенос схемы памяти PCI в область выше общего объема физической памяти. Отключено: Не разрешить перенос схемы памяти.	
Функции резервирования памяти (зеркальный набор/резервный банк)	Отключено Запасные части Зеркальный набор	Если данная опция отключена, область памяти является максимальной. При наличии резервного банка производится резервирование области памяти для использования вместо неисправных областей памяти. При зеркальном наборе сохраняется вторая копия содержимого памяти.	Если опции «Sparing» или «Mirroring» не поддерживаются конфигурацией установленного модуля DIMM, то они являются неактивными.

3.4.3 Меню «Boot»

Таблица 22. Меню Boot программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Установки загрузки			
Boot Settings Configuration	Нет	Настройка конфигурации при загрузке.	Выбор подменю.
Boot Device Priority	Нет	Уточняет приоритет загрузочных устройств.	Выбор подменю.
Жесткие диски	Нет	Уточняет приоритет загрузочных устройств из доступных жестких дисков.	Выбор подменю.
Removable Drives	Нет	Приоритет загрузки со съемных устройств.	Выбор подменю.
Диски CD/DVD	Нет	Приоритет загрузки с устройств CD/DVD.	Выбор подменю.

3.4.3.1 Подменю Boot Settings Configuration

Таблица 23. Подменю Boot Settings Configuration программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Boot Settings Configuration			
Quick Boot	Отключено Включено	Позволяет BIOS пропустить несколько тестов при загрузке. Это сократит время, требующееся для загрузки системы.	
Quiet Boot	Отключено Включено	Отключено: Вывод стандартных сообщений POST. Включено: Вместо сообщений POST отображается логотип OEM-компании	
Bootup Num-Lock	Не горит Включен	Выбор состояния Numlock при включении.	
PS/2 Mouse Support	Отключено Включено Автоматически	Выбор поддержки мыши PS/2.	
POST Error Pause	Отключено Включено	При выборе значения «enabled» система ожидает действий пользователя при обнаружении критических ошибок POST. При выборе значения «disabled» система производит загрузку автоматически, если это возможно.	
Hit <F2> Message Display	Отключено Включено	Включить или отключить сообщение «Press <F2> to run Setup» во время процедуры POST.	
Scan User Flash Area	Отключено Включено	Позволяет BIOS искать двоичные файлы пользователя во флэш-памяти.	

3.4.3.2 Подменю Boot Device Priority

Таблица 24. Подменю Boot Device Priority программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Boot Device Priority			
1st Boot Device	Меняются	Определяет загрузочную последовательность доступных устройств. Устройство, заключенное в скобки, было отключено в соответствующем меню.	Количество опций зависит от конфигурации системы.
nth Boot Device	Меняются	Определяет загрузочную последовательность доступных устройств. Устройство, заключенное в скобки, было отключено в соответствующем меню.	

3.4.3.2.1 Подменю Hard Disk Drive

Таблица 25. Подменю Hard Disk Drive программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Жесткие диски			
1st Drive	Меняются	Определяет загрузочную последовательность доступных устройств.	Опции зависят от конфигурации системы.
nth Drive	Меняются	Определяет загрузочную последовательность доступных устройств.	Опции зависят от конфигурации системы.

3.4.3.2.2 Подменю Removable Drive

Таблица 26. Подменю Removable Drives программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Removable Drives			
1st Drive	Меняются	Определяет загрузочную последовательность доступных устройств.	Опции зависят от конфигурации системы.
nth Drive	Меняются	Определяет загрузочную последовательность доступных устройств.	Опции зависят от конфигурации системы.

3.4.3.2.3 Подменю ATAPI CDROM drives

Таблица 27. Подменю CD/DVD Drives программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Диски CD/DVD			
1st Drive	Меняются	Определяет загрузочную последовательность доступных устройств.	Опции зависят от конфигурации системы.
nth Drive	Меняются	Определяет загрузочную последовательность доступных устройств.	Опции зависят от конфигурации системы.

3.4.4 Меню «Security»

Таблица 28. Опции меню Security программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Установки безопасности			
Administrator Password is	Нет	Установлено / Не установлено	Информационный дисплей.
User Password	Нет	Установлено / Не установлено	Информационный дисплей.
Set Admin Password	Нет	Установка или удаление пароля администратора	Дважды нажмите клавишу <Enter> для очистки пароля. Сначала будет очищен пароль администратора, затем – пароль пользователя.
Set User Password	Нет	Установка или удаление пароля пользователя	Дважды нажмите клавишу <Enter> для очистки пароля. Данный узел является скрытым, если пароль администратора не установлен.
User Access Level	Нет доступа Только просмотр Ограниченный Полный доступ	Нет доступа: Запрещает доступ к утилите Setup. Только просмотр: Разрешает доступ к утилите Setup, но запрещает изменять любые параметры. Ограниченный: Позволяет изменять только несколько полей, например, дату и время. Полный доступ: Допускает изменение любого поля.	Данный узел является неактивным, если пароль администратора не установлен.
Clear User Password	Нет	Очистка пароля пользователя.	Данная опция используется администратором для очистки пароля пользователя (пароль администратора используется для входа в утилиту BIOS Setup). Данный узел является скрытым, если пароль администратора не установлен.

Характеристика	Опции	Текст справки	Описание
Защита загрузочного сектора фиксированного диска	Отключено Включено	Включить/отключить защиту загрузочного сектора от вирусов.	
Password On Boot	Отключено Включено	При выборе значения enabled требуется ввод пароля при каждой загрузке системы.	Данный узел является неактивным, если пароль пользователя не установлен.
Secure Mode Timer	1 минута 2 минут 5 минут 10 минут 20 минут 60 минут 120 минут 240 минут	Указывает период, в течение которого клавиатура и мышь PS/2 не проявляют никакой активности, после чего система активирует защищенный режим. Для использования защищенного режима требуется пароль пользователя. Не выполняет никаких действий, если не включен пароль пользователя.	Данный узел является неактивным, если пароль пользователя не установлен.
Secure Mode Hot Key (Ctrl-Alt-)	[L] [Z]	Клавиша включения защищенного режима. Недоступно, если не включен пароль пользователя.	Данный узел является неактивным, если пароль пользователя не установлен.
Secure Mode Boot	Отключено Включено	Если эта опция включена, сервер-система может завершить загрузку без ввода пароля. Клавиатура будет заблокирована до тех пор, пока не будет введен пароль пользователя. Для загрузки с дискетки требуется пароль пользователя.	Данный узел является неактивным, если пароль пользователя не установлен.
Diskette Write Protect	Отключено Включено	Отключите защиту дискет от записи при активации защищенного режима. Для разблокировки системы пользователь должен ввести пароль.	Данный узел является неактивным, если пароль пользователя не установлен. Данный узел скрыт, если отсутствует модуль Intel Management Module.
Запирание электронно-лучевой трубки	Отключено Включено	Запирает электронно-лучевую трубку в защищенном режиме. Для разблокировки системы пользователь должен ввести пароль. Данная опция контролирует только встроенный видеоконтроллер.	Данный узел является неактивным, если пароль пользователя не установлен. Данный узел скрыт, если отсутствует модуль Intel Management Module.
Блокировка кнопок включения питания и перезапуска	Отключено Включено	Отключить выключатель питания и перезагрузки на передней панели при активации защищенного режима. Для разблокировки системы пользователь должен ввести пароль.	Данный узел является неактивным, если пароль пользователя не установлен. Этот узел доступен только с mBMC.
Power Switch Inhibit	Отключено Включено	Отключить выключатель питания на передней панели при активации защищенного режима. Для разблокировки системы пользователь должен ввести пароль.	Данный узел является неактивным, если пароль пользователя не установлен. Данный узел скрыт, если отсутствует модуль Intel Management Module.

Характеристика	Опции	Текст справки	Описание
Кнопка перезагрузки	Отключено Включено	Отключить выключатель перезагрузки на передней панели при активации защищенного режима. Для разблокировки системы пользователь должен ввести пароль.	Данный узел является неактивным, если пароль пользователя не установлен. Данный узел скрыт, если отсутствует модуль Intel Management Module.
NMI Control	Отключено Включено	Включить / отключить управление NMI для кнопки NMI на передней панели.	Установки по умолчанию: Для mBMC: «Отключено» Для IMM: «Включено»

3.4.5 Меню «Server»

Таблица 29. Меню Server программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
System management	Нет	Нет	Выбор подменю.
Serial Console Features	Нет	Нет	Выбор подменю.
Event Log configuration	Нет	Конфигурирование журнала событий.	Выбор подменю.
Assert NMI on SERR	Отключено Включено	Если данная опция включена, при ошибках SERR генерируется NMI и вносится запись в журнал событий системы.	
Assert NMI on PERR	Отключено Включено	Если данная опция включена, генерируется NMI. Для того, чтобы включить эту опцию, должна быть включена опция SERR.	Неактивна, если опция «NMI on SERR» отключена.
Возобновление работы после отключения питания	Stay Off (Не включаться) Питание включено Last State (Последнее состояние)	Определяет режим работы в случае сбоя электросети. Stays Off, система остается выключенной после восстановления электропитания. Power On, система включается после восстановления питания.	Опция «Last State» (восстанавливается последнее состояние) отображается только при наличии модуля Intel Management Module. Если данная опция отображается, она является опцией по умолчанию. При значении «Stays Off» (оставить выключенным) опция «Power Switch Inhibit» (блокировка выключателя питания) отключена.

Характеристика	Опции	Текст справки	Описание
FRB-2 Policy	Отключение BSP Не отключайте загрузочный процессор Retry on Next Boot Отключение таймера FRB2	Таким образом осуществляется управление работой, независимо от того, включен или отключен загрузочный процессор.	Опции «Disable BSP» (отключить загрузочный процессор) и «Do not disable BSP» (не отключать загрузочный процессор) отображаются только при наличии модуля Intel Management Module.
Late POST Timeout	Отключено 5 минут 10 минут 15 минут 20 минут	Позволяет контролировать временной лимит, выделенный на определение карт расширения. По истечении временного лимита система перезагружается.	
Hard Disk OS Boot Timeout	Отключено 5 минут 10 минут 15 минут 20 минут	Указывает лимит времени, отведенный на загрузку ОС с жесткого диска. Действия по истечении лимита времени определяются политикой контрольного таймера ОС.	
PXE OS Boot Timeout	Отключено 5 минут 10 минут 15 минут 20 минут	Указывает лимит времени, отведенный на загрузку ОС через среду PXE. Действия по истечении лимита времени определяются политикой контрольного таймера ОС.	
Политика контрольного таймера ОС	Остается включенным Очистить Питание выключено	Контролирует политику по истечении установленного времени. При выборе опции Stay on никаких действий предпринято не будет. При выборе опции Reset будет проведена перезагрузка системы. При выборе опции Power off питание системы будет отключено.	
Фильтрация событий платформы (Platform Event Filtering)	Отключено Включено	Отключает триггеры для событий датчиков системы.	

3.4.5.1 Подменю System Management

Таблица 30. Подменю System Management программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Системное управление			
Номер детали серверной платы	Нет	Нет	Содержимое полей различается
Серийный номер серверной платы	Нет	Нет	Содержимое полей различается
NIC 1 MAC адрес	Нет	Нет	Содержимое полей различается
NIC 2 MAC адрес	Нет	Нет	Содержимое полей различается
System Part Number	Нет	Нет	Содержимое полей различается
System Serial Number	Нет	Нет	Содержимое полей различается
Chassis Part Number	Нет	Нет	Содержимое полей различается
Chassis Serial Number	Нет	Нет	Содержимое полей различается
Версия BIOS	Нет	Нет	Идентификационная строка BIOS (не включая время и дату выпуска)
BMC Device ID	Нет	Нет	Содержимое полей различается
Версия встроенного микрокода BMC	Нет	Нет	Содержимое полей различается
BMC Device Revision	Нет	Нет	Содержимое полей различается
PIA Revision	Нет	Нет	Содержимое полей различается Этот узел присутствует только в том случае, если установлен модуль Intel® Management
Версия пакета FRUSDR	Нет	Нет	Содержимое полей различается
Primary HSBP Revision	Нет	Нет	Версии встроенного ПО контроллера горячей замены. Этот узел присутствует только в том случае, если установлен модуль Intel® Management
Secondary HSBP Revision	Нет	Нет	Версии встроенного ПО контроллера горячей замены. Этот узел присутствует только в том случае, если установлен модуль Intel® Management

3.4.5.2 Подменю Serial Console Features

Таблица 31. Подменю Serial Console Features программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Serial Console Features			
BIOS Redirection Port	Отключено Последовательный порт А Последовательный порт В	Если данная опция не отключена, BIOS использует указанный последовательный порт для вывода консоли на удаленный терминал ANSI. Если эта опция включена, опция Quiet Boot автоматически отключается. Если данная опция не отключена, BIOS использует указанный последовательный порт для вывода консоли на удаленный терминал ANSI. Если эта опция включена, опция Quiet Boot автоматически отключается. Для режима «Serial Over LAN» выберите последовательный порт Serial B.	При наличии в системе модуля управления Intel® Management Module, текст справки предлагает пользователю выбрать последовательный порт В для функции Serial Over LAN.
Baud Rate	9600 19,2K 38,4K 57,6K 115,2K	Нет	
Flow Control	Отсутствие контроля потока CTS/RTS XON/XOFF CTS/RTS + CD	При наличии будет использован выбранный тип контроля потока. CTS/RTS = Hardware XON/XOFF = Software CTS/RTS + CD = Hardware + Carrier Detect for modem use.	
Terminal Type	PC-ANSI VT100+ VT-UTF8	Опция VT100+ работает, только если выбран английский язык. Опция VT-UTF8 использует Unicode. PC-ANSI – стандартный PC-совместимый терминал.	
Перенаправление ACPI	Отключено Включено	Включить/отключить автоматическое подключение консоли в ОС с поддержкой ACPI.	
Разъемы последовательных портов	Последовательный порт А Последовательный порт В	Выбор последовательного порта, который будет использоваться для перенаправления ACPI.	

3.4.5.3 Подменю Event Log Configuration

Таблица 32. Подменю Event Log Configuration программы BIOS Setup

Характеристика	Опции	Текст справки	Описание
Event Log Configuration			
Clear All Event Logs	Отключено Включено	При выборе для данной опции значения «Enabled» во время следующей загрузки журнал событий системы будет очищен.	
Очистка журнала регистрации событий при его заполнении	Отключено Включено	Если эта опция включена, BIOS очистит журнал регистрации событий при его заполнении в процессе загрузки системы.	При автоматической очистке журнала регистрации событий при его заполнении в процессе загрузки системы сохраняются только 92 самых последних событий mBMC.
BIOS Event Logging	Отключено Включено	Включает запись событий BIOS.	Включить BIOS для регистрации событий в журнале событий системы. Данная опция управляет только событиями BIOS.
Critical Event Logging	Отключено Включено	Если данная опция включена, BIOS определяет и записывает критические ошибки системы в журнал событий системы. Критические ошибки нарушают работу системы. В их число входят ошибки PERR, SERR и ECC.	Включить обработчики SMM для обнаружения и регистрации событий в журнале событий системы.
ECC Event Logging	Отключено Включено	Включает/отключает запись событий системы ECC.	Данная опция неактивна, если опция «Critical Event Logging» отключена.
PCI Error Logging	Отключено Включено	Включает/отключает запись ошибок PCI.	Данная опция неактивна, если опция «Critical Event Logging» отключена.
FSB Error Logging	Отключено Включено	Включает / отключает регистрацию ошибок внешней системной шины.	Данная опция неактивна, если опция «Critical Event Logging» отключена.
Hublink Error Logging	Отключено Включено	Включает/отключает запись ошибок Hublink.	Данная опция неактивна, если опция «Critical Event Logging» отключена.

3.4.6 Меню «Exit»

Таблица 33. Меню Exit программы BIOS Setup

Характеристика	Опции	Текст справки
Опции выхода		
Save Changes and Exit	Нет	Выход из настроек системы после сохранения изменений. Для этой операции можно использовать клавишу F10.
Discard Changes and Exit	Нет	Выход из настроек системы, изменения не сохраняются. Для этой операции можно использовать клавишу ESC.
Discard Changes	Нет	Отменяет все изменения, внесенные в любой из вопросов программы настройки. Для этой операции можно использовать клавишу F7.
Load Optimal Defaults	Нет	Восстанавливает все значения по умолчанию в отношении изменений, внесенных в любой из вопросов программы настройки. Для этой операции можно использовать клавишу F9.
Загружает сохраненные пользователем настройки	Нет	Load Custom Default.
Сохраняет настройки пользователя	Нет	Сохраняет настройки пользователя.

3.5 Утилита настройки конфигурации BIOS

3.5.1 Утилита обновления флэш-памяти

Выполнение обновления BIOS с помощью дискеты:

1. Включите сервер и нажмите <F2> для входа в программу настройки BIOS Setup. Запишите все специальные настройки BIOS для ссылок в будущем.
2. Загрузите последнюю версию BIOS для серверной платы Intel® SE7520BB2 со следующей страницы:
<http://www.intel.com/support/motherboards/server/se7520bb2/index.htm>
3. Распакуйте загруженный на шаге №2 архив с BIOS и скопируйте файлы на загрузочный носитель DOS, например, на устройство флэш-памяти USB.
4. Подключите загрузочное устройство хранения данных, например, миниатюрное устройство USB, на котором записана обновленная версия BIOS, к порту USB системы и загрузите компьютер в режиме DOS. (без менеджера памяти Himem).
5. Запустите fbb.bat для обновления флэш-памяти.
6. По завершении обновления флэш-памяти BIOS появляется сообщение о завершении операции.
7. Включите питание системы.
8. Если в процессе обновления флэш-памяти BIOS происходит сбой, следуйте инструкциям по восстановлению BIOS.

9. Нажмите <F2> и войдите в утилиту BIOS Setup и снова введите сделанные Вами изменения настроек, записанные на дискету в начале процесса обновления.
10. Нажмите <F10>, сохраните измененные значения и выйдите из утилиты BIOS Setup.

Для выполнения обновления флэш-памяти BIOS с загрузочных устройств хранения данных другого типа (объем более 5MB), сделайте следующее:

1. Скопируйте файлы afudos.exe, f.bat, fbb.bat и SBD2AC04.ROM на загрузочное устройство хранения данных, например, миниатюрное устройство USB.
2. Включите сервер и нажмите <F2> для входа в программу настройки BIOS Setup.
3. Запишите все сделанные Вами изменения настроек в программе BIOS Setup. Эти настройки понадобятся Вам для изменения конфигурации Вашей системы в конце процедуры обновления, так как значения CMOS будут автоматически удалены во время обновления BIOS.
4. Нажмите <ESC> и выйдите из утилиты BIOS Setup.
5. Подключите загрузочное устройство хранения данных, например, миниатюрное устройство USB, на котором записана обновленная версия BIOS, к порту USB системы и загрузите компьютер в режиме DOS. (без менеджера памяти Himem).
6. Запустите файл f.bat или fbb.bat (в зависимости от того, нужно ли обновить загрузочный блок).
7. f.bat : Производится только обновление системного ПЗУ; обновление загрузочного блока не производится.
8. fbb.bat: Производится только обновление системного ПЗУ и загрузочного блока.

Примечание: При запуске файла fbb.bat или f.bat, для выбора правильного раздела BIOS переключку J1B1 (выбор раздела BIOS) следует установить на контакты 1-2.

9. По завершении обновления флэш-памяти BIOS на экране появляется сообщение о завершении процесса обновления.
10. Включите питание системы.
11. Если в процессе обновления флэш-памяти BIOS происходит сбой, следуйте инструкциям по восстановлению BIOS.
12. Нажмите <F2> и войдите в утилиту BIOS Setup и снова введите сделанные Вами изменения настроек, записанные на дискету в начале процесса обновления. Нажмите <F10>, сохраните измененные значения и выйдите из утилиты BIOS Setup.

Примечание: После обновления BIOS должна проводиться очистка CMOS. После перезагрузки может произойти ошибка контрольной суммы CMOS или какая-либо иная проблема. В этом случае выключите питание сервера и включите его снова. В случае ошибки контрольной суммы CMOS необходимо войти в настройку Setup, проверить Ваши настройки, сохранить настройки и выйти из Setup.

3.6 Детальная информация по локализации

BIOS поддерживает английский, испанский, французский, немецкий и итальянский языки. Корпорация Intel обеспечивает перевод строк консоли на поддерживаемые языки. Изменить язык можно с помощью пользовательского интерфейса BIOS.

3.7 Архитектура и утилита обновления флэш-памяти

Флэш-память содержит процедуры инициализации системы, утилиту BIOS Setup и процедуры поддержки выполнения команд. Точная схема может быть изменена по усмотрению корпорации Intel. Отдельный блок размером 64 КБ выделен для хранения пользовательского кода или индивидуальных заставок. Флэш-память также содержит сжатый код инициализации встроенных периферийных устройств, в том числе контроллера SCSI, сетевых адаптеров и видеоконтроллера. Имеется также поддержка функции циклического обновления BIOS с единой загрузкой.

Вся область флэш-памяти является видимой, начиная с физического адреса 4 ГБ минус размер устройства флэш-памяти. Утилита обновления флэш-памяти загружает во флэш-память образ BIOS без блока восстановления и сообщает BIOS о том, что этот образ будет использован при следующей перезагрузке. Из-за использования теневой памяти блоки флэш-памяти с адресами ниже 1 МБ не видны.

Блок параметров во флэш-памяти размером 16 КБ предназначен для хранения конфигурационных данных, служащих для управления конфигурацией системы (ESCD). Прикладные программы должны использовать стандартные API для доступа к этим участкам памяти; прямой доступ к этим участкам памяти для прикладных программ закрыт.

3.7.1 Развертывание BIOS и интерактивные обновления

Под обновлением без выключения системы подразумевается возможность обновления BIOS без выключения сервера. Обозначение «циклическое обновление BIOS» означает возможность хранения двух копий BIOS: Используется текущая версия, а в это время может записываться вторая обновленная копия BIOS. После записи обновленной версии система переключается на новую версию BIOS. В случае ошибки новой версии система поддерживает откат к предыдущей версии.

Для оперативного циклического обновления BIOS необходимо специализированное аппаратное обеспечение и дополнительный объем флэш-памяти. Для этого флэш-память делится на два раздела, первичный и вторичный. Активный раздел, с которого загружается система, считается основным разделом. Пакет обновлений AMI FLASH и интерактивные обновления Intel обеспечивают сохранение существующего образа BIOS на основном разделе. Обновления BIOS переносятся на второстепенный раздел. После завершения обновления устанавливается флаг уведомления. Во время загрузки после обновления BIOS система продолжает попытки загрузки с первичного раздела BIOS. В процессе проверки факта обновления BIOS со времени предыдущей загрузки система затем пытается загрузиться с использованием новой версии BIOS. Если загрузка новой версии BIOS закончилась неудачей, специализированное аппаратное обеспечение системы снова переключается на первичный раздел BIOS. Это называется «откатом назад».

Функция циклического обновления BIOS с единой загрузкой действует для всех алгоритмов обновления, описанных в следующих разделах.

3.7.2 Утилита обновления флэш-памяти

Серверные платформы поддерживают программу обновления встроенного ПО на базе DOS. Данная программа загружает свежую копию BIOS во флэш-память.

При обновлении BIOS возможно обновление следующих объектов:

- BIOS системы, включая код восстановления, утилиту BIOS setup и строки
- BIOS встроенного видеоадаптера, BIOS контроллера SCSI, дополнительные ПЗУ других встроенных в системную плату устройств
- Двоичная область пользователя
- Обновления микрокода

3.7.2.1 Флэш-память BIOS

Утилита обновления флэш-памяти BIOS совместима с операционными системами DOS, Microsoft* Windows* NT 4.0/2000/XP и LINUX.

Для обновления BIOS необходима утилита обновления встроенного ПО afuXXX AMI (такая как afudos, AFUWIN, afulnx или AFUEFI).

Формат запуска утилиты afuXXX следующий:

```
afuXXX /i<имя файла образа> [/n] [/p[b][n][c]] [/r<registry_path>]
[/s] [/k] [/q] [/h]
```

/n - не проверять идентификацию ПЗУ

/pbnc -

b - загрузочный блок программы

n - Program NVRAM (не поддерживается)

c - уничтожить системную CMOS

/r - сохранение результатов процедуры через реестр (только для версий Windows)

/k - только некритический блок программы (не поддерживается)

/s - оставить подпись в BIOS

/q - бесшумное выполнение процедуры

/h - печать справки

3.7.2.2 Обновление BIOS из DOS

- Убедитесь в том, что на загрузочном флэш-диске имеется образ ПЗУ и утилита обновления afudos.
- Загрузите DOS
- Запустите утилиту afudos, как описано ниже:

```
AFUDOS /i<имя файла образа> [/n] [/p[b][n][c]].
```

3.7.2.3 Обновление BIOS из среды Microsoft* Windows* Server 2003

- Убедитесь в том, что на флэш-диске имеется образ ПЗУ и файлы AMIFLDRV.SYS и AFUWIN.EXE.
- Загрузка из Microsoft Windows Server 2003.
- Запустите утилиту AFUWIN, как описано ниже:

```
AFUWIN /i<имя файла образа> [/n] [/p[b][n][c]]
```

3.7.2.4 Обновление BIOS из Linux

- Убедитесь в том, что на флэш-диске имеется образ ПЗУ и утилита AFULNX.
- Загрузитесь из Linux и настройте загрузочное устройство.
- Запустите утилиту AFULNX, как описано ниже:

```
./afulnx /i<имя файла ПЗУ> [/n] [/p[b][n][c]]
```

3.7.2.5 Обновление BIOS из оболочки EFI

- Убедитесь в том, что на флэш-диске имеется образ ПЗУ и утилита AFUEFI.
- Загрузите оболочку EFI с дискеты
- Выполните команду `map -r` для создания файловой системы на диске.
- Переключитесь на флэш-диск, например, если флэш-диск называется `fs0`, наберите `fs0:` в командной строке.
- Запустите утилиту `afuefi`, как описано ниже:

```
afuefi [/n] [/p[b][n][c]] <имя файла с образом ROM>
```

3.7.3 Двоичная область пользователя

Во флэш-памяти основной платы имеется область для добавления специальных надстроек OEM-компания. Обновление двоичной области пользователя OEM-компания может быть проведено совместно или независимо от обновления BIOS.

Командная строка используется программой UbinD следующим образом:

```
UBinD </R> или </I> или </D> [/M<ModID>] /F<RomFileName>  
/B<NewUserBinaryFileName> [/N<NewRomFileName>] [/O<NCB>]
```

</R> – заменить пользовательский двоичный модуль

</I> – включить пользовательский двоичный модуль

</D> – удалить пользовательский двоичный модуль из файла ROM.

</?> – отобразить справочную информацию.

/M<ModID> – является шестнадцатеричным идентификатором двоичного модуля пользователя; Default ModID = 0xF0.

/O<NCB> – нулевой индекс числа некритического блока, вычисляемый с начала запуска файла ПЗУ. Default NCB = 1, используется только совместно с опцией вставки. Для справки обращайтесь к ROMInfo.

</N<NewRomFileName> – если данная опция не предусмотрена, ПЗУ сохраняется под тем же именем.

3.7.4 Режим восстановления

Система может входить в режим восстановления при следующих трех условиях:

- Нажатие «горячей» клавиши: (<Ctrl+Home>)
- Установка переключки восстановления (J4H1, помеченной RCVR BOOT) на контакты 1-2
- При повреждении образа ПЗУ необходимо запустить восстановление системы и обновить системное ПЗУ, включая загрузочный блок

3.7.4.1 Восстановление BIOS

Размер образа флэш-памяти BIOS составляет 2 МБ. Файл с образом ПЗУ не помещается на диске объемом 1,44 МБ из-за большого размера. Чтобы обойти это ограничение, используйте много дисковый метод восстановления BIOS (дополнительные подробности см. в разделе 3.7.4.2).

BIOS включает первичный и вторичный разделы, и поддерживает циклические обновления BIOS. Во время процедуры восстановления вторичный раздел обновляется таким же образом, как и во время обновления флэш-памяти. После завершения восстановления и подключения питания, разделы BIOS меняются местами, а для процедуры POST используется код, который только что был записан во флэш-память из носителя для восстановления. BIOS состоит из раздела восстановления загрузочного блока, основного раздела BIOS, раздела логотипа/ двоичной области пользователя OEM-компании и раздела NVRAM. Во время восстановления раздел NVRAM будет защищен. Все остальные разделы вторичного BIOS могут быть обновлены во время процедуры восстановления. Если OEM-компания желает сохранить раздел OEM при обновлении системы, перед восстановлением рекомендуется изменить предоставленный файл AMIBOOT.ROM с помощью инструментов двоичной области пользователя или логотипа OEM-компании.

Восстановление BIOS может быть выполнено с одного из следующих устройств: Стандартный флоппи-диск 1,44 или 2,88 МБ, устройство флэш-памяти USB, CD-ROM/DVD ATAPI, устройство ATAPI ZIP или сменное устройство LS-120/LS-240.

Диск восстановления должен содержать файл образа BIOS AMIBOOT.ROM.

Процесс восстановления происходит следующим образом:

1. Вставьте или подсоедините носитель для восстановления с файлом AMIBOOT.ROM.
2. Включите питание системы. После того, как в порту 80h отобразится код хода выполнения E9, система определит носитель для восстановления (если не имеется файла с обновлениями, система будет последовательно отображать коды с F1 по EF).
3. Поле отображения F3 на порт 80h система прочитает файл изображения BIOS.
4. После завершения восстановления система прекращает работу, и питание можно отключать.

Примечание: Можно использовать сочетание «горячих» клавиш:

- <Ctrl+Home> – Восстановление с уничтожением CMOS и сохранением NVRAM

3.7.4.2 Многодисковый метод восстановления

Многодисковый метод восстановления применяется для восстановления образов ПЗУ, имеющих размер больше 1 МБ. При этом BIOS восстанавливается с нескольких дискет.

Для восстановления BIOS с нескольких дискет необходимо выполнить следующие действия:

- Используйте SPLIT.EXE для разделения изображения ROM.
- Выполните следующую команду из командной строки:

Разделите <File Name To Be Split> <New File Name> <File Size in KB>

Например: C:\split AMIBOOT.ROM AMIBOOT 1024

- Команда, приведенная выше, создает файлы, каждый из которых имеет объем 1 МБ (1024 КБ), с именами AMIBOOT.000, AMIBOOT.001 и т.д. Количество файлов (и дискет) зависит от размера файлов AMIBOOT.ROM.
- Загрузите систему с диска с файлом AMIBOOT.000.
- После считывания файла система увеличит номер расширения файла и начнет поиск второго файла, AMIBOOT.001, на той же дискете.
- Если система не может найти этот файл на дискете, прозвучит звуковой сигнал (длительностью 1 секунду), и поиск начнется снова. В это время необходимо вставить вторую дискету.

- Система продолжит чтение и поиск файлов. После завершения считывания очередного файла система увеличит номер расширения файла и начнет поиск следующего файла. Если система не может найти файл AMIBOOT.002 на диске, прозвучат два звуковых сигнала (длительностью 1 секунду с промежутком между ними 0,5 секунды). При поиске файла AMIBOOT.003 прозвучат три звуковых сигнала (длительностью 1 секунду с промежутком между ними 0,5 секунды).
- Этот процесс будет продолжаться до тех пор, пока общий размер файлов не будет равен размеру образа ПЗУ.

Ограничения:

Максимальное количество файлов, поддерживаемое многодисковым методом восстановления, равно 1000 (с AMIBOOT.000 до AMIBOOT.999).

3.7.5 Обновление логотипа OEM-компании

Можно изменять логотип OEM-компании для DOS и Microsoft* Windows* Server 2003.

Для изменения логотипа OEM-компании в ПЗУ используется специальная утилита. Логотип OEM-компании можно изменить при обновлении ПЗУ.

Примечание: Файл *Rombuild.exe*, упоминаемый в инструкциях, приведенных ниже, **РАЗЛИЧАЕТСЯ** для DOS и Microsoft Windows Server 2003. Необходимо использовать правильный файл *Rombuild.exe* при обновлении логотипа OEM-компании в DOS или в Microsoft Windows Server 2003.

3.7.5.1 Изменение логотипа OEM-компании в DOS

- Загрузите DOS
- Загрузите файлы OEMLOGOD.exe, Rombuild.exe, RomFile и NewOEMlogoImage на жесткий диск.
- Запустите следующую команду:
«OEMLogoD <RomFileName> <NewOEMImageFileName> [/F или /FN или /N]»

3.7.5.2 Изменение логотипа OEM-компании в Microsoft* Windows* Server 2003

- Загрузка из Microsoft Windows Server 2003.
- Загрузите файлы OEMLOGO.exe, Rombuild.exe, RomFile и NewOEMlogoImage на жесткий диск.
- Запустите следующую команду:
OEMLogo <RomFileName> <NewOEMImageFileName> [/F или /FN или /N]

Использование:

```
OEMLogo <RomFileName> <NewOEMImageFileName> [/F или /FN или /N]
```

или

```
OEMLogo <RomFileName> [/D]
```

Где,

[/F] – используется для замены логотипа OEM-компании даже если форматы логотипа не совпадают.

[/N] – используется для вставки файла в формате BMP с палитрой из 16 цветов без преобразования в формат AMI по умолчанию.

[/FN] – используется для замены логотипа OEM-компании без преобразования файла BMP с палитрой из 16 цветов в формат AMI по умолчанию.

[/D] – используется для удаления модуля логотипа из файла ПЗУ.

Система поддерживает следующие битовые форматы:

- 256 цветов BMP, 640x480

3.8 Двоичный код OEM-компании

Клиенты системы могут записать 16 КБ кода или данных для использования во время процедуры POST и во время выполнения. Отдельные платформы могут поддерживать большой объем двоичного кода пользователя. Двоичный код пользователя запускается в нескольких определенных контрольных точках во время процедуры POST.

Двоичный код пользователя хранится в системной флэш-памяти. Если исполняемый код не добавляется, BIOS временно размещает буфер кода в соответствии с [PMM]. Если исполняемый код присутствует, BIOS записывает весь блок в теньную память, как если бы тот представлял собой дополнительное ПЗУ. BIOS оставляет эту область доступной для записи, чтобы двоичная область пользователя могла при необходимости обновлять любые структуры данных. Системное ПО может обнаружить исполняемую двоичную область пользователя, рассматривая ее при поиске, как дополнительное ПЗУ, проверяя каждые 2 КБ границы от C0000h до DFFFFh. Производитель системы может поместить подпись в двоичной области пользователя, чтобы отличить ее от других дополнительных ПЗУ.

Корпорация Intel предоставляет OEM-компаниям инструменты и образцы кода для создания двоичного кода пользователя. Двоичная область пользователя должна соответствовать следующим требованиям:

- Для поддержки обнаружения BIOS и обеспечения защиты от менеджеров памяти реального времени двоичная область пользователя должна иметь заголовок дополнительного ПЗУ (например, 55AA, размер).
- BIOS производит сканирование указанных точек двоичной области пользователя во время тестирования системы при включении. Биты маски должны устанавливаться в двоичной области пользователя для информирования BIOS о наличии входных точек в течение заданного периода времени во время процедуры POST.
- Двоичный код пользователя должен сохранять состояние системы.

- Двоичный код пользователя должен иметь возможность перемещения. Двоичный код пользователя располагается в первом мегабайте. Двоичный код пользователя не должен делать никаких предположений относительно значения сегментов кода.
- Двоичный код пользователя всегда будет исполняться из ОЗУ и никогда из флэш-памяти.
- Двоичный код пользователя не может задействовать ключевые прерывания, перепрограммировать набор микросхем или нарушать работу BIOS иным образом.

BIOS копирует двоичную область пользователя в системную память перед первой точкой сканирования. Если двоичная область пользователя сообщает, что в ней не содержится исполняемый код, она размещается в обычной памяти (0 – 640 КБ).

Сообщение о том, что двоичный код пользователя записан, означает, что он не находится в ограниченном объеме опционального ПЗУ, и для обслуживания других устройств доступен больший объем опционального ПЗУ. Если код двоичной области пользователя требуется при инициализации системы, он копируется в область для дополнительных ПЗУ. В каждой точке сканирования во время тестирования системы при включении BIOS определяет, имеется ли в этой точке указание на необходимость передачи управления двоичному коду пользователя.

Для определения этого битовый массив байта 4 заголовка проверяется на наличие текущего идентификационного бита, определяемого точкой сканирования. Если в битовом массиве установлен соответствующий бит, маска помещается в AL и исполнение передается адресу, вычисляемому с помощью формулы (ADR(Байт 5)+5*номер последовательности).

Во время исполнения двоичного кода пользователя он может использовать 11 байт области EBDA (Extended BIOS Data Area RAM). Сегмент EBDA расположен по адресу 40:0e. Двоичная область пользователя может использовать смещения от 18 до 21h. BIOS также резервирует восемь бит CMOS для двоичной области пользователя. Эти биты расположены в области CMOS, для которой отсутствует контрольная сумма. По умолчанию им присвоено нулевое значение. Эти биты всегда будут расположены в первом банке CMOS. Они примыкают друг к другу, но их положение не фиксировано. После ввода в двоичную область пользователя DX содержит «жетон», указывающий на зарезервированные биты.

Этот жетон имеет следующий формат:

MSB															LSB
15				12	11										0
Количество доступных бит -1					Точка отсчета бит, начиная с CMOS первого бита										

Наиболее значимые 4 бита равны количеству доступных битов CMOS минус 1. Данное поле равняется 7, поскольку доступны 8 битов CMOS. 12 наименее значимых бит определяют положения бита CMOS в часах реального времени. Это битовый, а не байтовый адрес. Расположение байта CMOS составляет 1/8 12-разрядного номера, а оставшаяся часть является начальным положением бита в рамках этого байта. К примеру, если 12-разрядный номер составляет 0109h, двоичная область пользователя может использовать 1 бит байта CMOS 0108h/8 или 021h.

В следующем фрагменте кода приведены заголовок и формат двоичной области пользователя:

```

    db    55h, 0AAh, 20h          ; 20h = 8KB USER Area. 40h=16KB.

MyCode    PROC FAR              ; MUST be a FAR procedure
    db    CBh                    ; Far return instruction
    db    04h                    ; Bit map to define call points, a 1
in any bit

                                ; specifies that the BIOS is called at
                                that scan
                                ; point in POST

    db    CBh                    ; First transfer address used to point
                                ; to user binary extension structure

    dw    ?                      ; Word Pointer to extension structure
    dw    0                      ; Reserved

    ; This is a list of 7 transfer addresses, one for each bit in the
    ; bitmap.
    ; 5 Bytes must be used for each.
    JMP    ErrRet
    JMP    ErrRet
    JMP    Start                ; JMP to maintain proper offset for
each entry.

                                ; Unused entry JMP's should be filled
                                with 5 byte
                                ; filler or JMP to a RETF

    JMP    ErrRet
    JMP    ErrRet
    JMP    ErrRet
    JMP    ErrRet

Start:

```

3.9 Нумерация PCI

Разъем PCI 6 (PCI-X 133) расположен рядом с центром платы, разъемы 5 и 6 – разъемы PCI-Express, разъем 4 – разъем PVIC 32/33, а разъемы 1 и 2 – разъемы PCI-X64/100. Разъемы 1 и 2 максимально близко расположены к краю платы.

3.10 Контрольные точки выполнения интерфейса ACPI

Контрольные точки ACPI отображаются, когда ОС с поддержкой ACPI входит в состояние сна или выходит из него. В таблице ниже описываются типы контрольных точек, возможные во время событий сна или пробуждения ACPI.

Таблица 34. Контрольные точки выполнения интерфейса ACPI

Контрольная точка	Описание
AC	Первая контрольная точка ASL. Указывает, что система работает в режиме ACPI.
AA	Система работает в режиме APIC.
01, 02, 03, 04, 05	Ввод состояния сна S1, S2, S3, S4 или S5.
10, 20, 30, 40, 50	Пробуждение из состояния сна S1, S2, S3, S4 или S5.

4. Архитектура управления платформой

4.1 Обзор архитектуры управления

4.1.1 Многоуровневая модель управления сервером

В целях предоставления различных функций управления основная плата поддерживает трехуровневую модель управления сервером. Функции второго уровня основаны на функциях первого уровня, а функции третьего уровня основаны на функциях второго уровня.

Уровень 1 – Основные функции (по умолчанию)

Основные функции управления сервером установлены по умолчанию и встроены в основную плату. Этот уровень является в минимальной степени IPMI 1.5-совместимым, хотя некоторые функции могут использоваться не так, как в стандартной и расширенной модели управления. Основные функции обеспечиваются комбинацией BIOS и контроллера управления основной платой National Semiconductor* PC87431x (mBMC).

Уровень 2 – стандартный (дополнительный)

В стандартной модели управления используется набор функций контроллера BMC Sahalee, полностью IPMI 2.0-совместимого. На серверной плате SE7520BB2 контроллер BMC Sahalee расположен на дополнительном установленном модуле FMM, подключенном к выделенному для управления сервером разъему на основной плате. Если установлен FMM, контроллер mBMC автоматически преобразуется из автономного контроллера в устройство ввода/вывода на базе I²C; таким образом контроллер BMC Sahalee может полностью управлять системой.

Уровень 3 – Расширенный (дополнительный)

Как и в стандартной модели управления, в расширенной модели управления используется дополнительно установленный модуль FMM, в котором имеется встроенный контроллер BMC Sahalee. Помимо функций, поддерживаемых стандартным модулем управления, расширенный модуль поддерживает ряд возможностей управления выключенной системой через сеть, включая возможность специального управления NIC для ускоренного сетевого доступа и поддержку полного набора встроенного ПО TCP/IP.

В таблицах ниже представлен обзор функций, поддерживаемых на каждом из трех уровней управления.

Таблица 35. Обзор многоуровневой системы управления платформой

Элемент	Основные функции	Стандарт	Advanced
Команды, абстракции и сообщения IPMI	Да	Да	Да
Контроллер BMC	Да	Да	Да
Датчики	Ограниченный	Да	Да
Хранилище записей показаний датчиков (SDR) и репозиторий SDR	Ограниченный	Да	Да
Информация FRU	Ограниченный	Да	Да
Автономная регистрация событий	Да	Да	Да
Журнал событий системы (SEL)	92 записи	3276 записи	3276 записи
Контрольный таймер контроллера рBMC, включающий BIOS и исполняемое ПО.	Ограниченный	Да	Да
Сессии и каналы IPMI	Ограниченный	Да	Да
Порт EMP – отправка сообщений IPMI через последовательный порт/модем. Данная функция также называется DPC (Прямое управление платформой) через последовательный порт/модем.	Нет	Да	Да
Отправка оповещений на пейджер через последовательный порт / модем	Нет	Да	Да
Оповещение посредством последовательного порта / модема через PPP с использованием формата PET	Нет	Да	Да
Прямое управление платформой (DPC) – отправка сообщений IPMI по локальной сети (доступно посредством встроенных сетевых контроллеров)	Да	Да	Да
Оповещение по локальной сети с использованием формата PET	Да	Да	Да
Фильтрация событий платформы (PEF)	Да	Да	Да
Шина ICMB (интеллектуальная шина управления корпусом) – обмен сообщениями IPMI с корпусом	Нет	Да	Да
Поддержка PCI SMBus	Нет	Да	Да
Отказоустойчивая загрузка	Ограниченный	Да	Да
Пробуждение/Включение системы по сигналу сети и поддержка пакетов Magic Packet	Да	Да	Да
Регистрация в BIOS процедуры POST и ошибок POST	Только ошибки	Да	Да
Интеграция с переключением консоли BIOS через совместное использование последовательного порта IPMI v2.0	Нет	Да	Да
Поддержка включения системы по звонку (WOR)	Нет	Да	Да
Доступ через web-браузер	Нет	Нет	Да
Доступ SNMP	Нет	Нет	Да
Доступ по телефонной сети	Нет	Нет	Да
Оповещение по электронной почте	Нет	Нет	Да
Переключение клавиатуры/изображения/мыши (KVM) по локальной сети	Нет	Нет	Да
Высокоскоростной доступ к выделенному сетевому адаптеру	Нет	Нет	Да

Таблица 36. Power Good/Reset

Источник	Выключение/ включение питания		Power Up		Выключение питания		Аппаратная перезагрузка	
	Ess	Std / Adv	Ess	Std / Adv	Ess	Std / Adv	Ess	Std / Adv
DPC (последовательный)	Нет	Да	Нет	Да	Нет	Да	Нет	Да
DPC (LAN)	Да	Да	Да	Да	Да	Да	Да	Да
Восстановление питания (переменный ток)	Нет	Нет	Да	Да	Да	Да	Нет	Нет
IPMB	Нет	Да	Нет	Да	Нет	Да	Нет	Да
ICMB	Нет	Да	Нет	Да	Нет	Да	Нет	Да
PCI SMBus	Нет	Да	Нет	Да	Нет	Да	Нет	Да
Системный интерфейс	Да	Да	Да	Да	Да	Да	Да	Да
Истечение времени контрольного таймера	Да	Да	Нет	Нет	Да	Да	Да	Да
Событие PEF	Да	Да	Нет	Нет	Да	Да	Да	Да
Кнопки передней панели	Нет	Нет	Да	Да	Да	Да	Да	Да
Включение системы по сигналу сети ¹	Нет	Нет	Да	Да	Нет	Нет	Нет	Нет
Индикатор модемного вызова ¹	Нет	Нет	Да	Да	Нет	Нет	Нет	Нет
Запрос «Time of Day» (время дня) от системы RTC ¹	Нет	Нет	Да	Да	Нет	Нет	Нет	Нет
Выключение питания ОС / ACPI	Нет	Нет	Нет	Нет	Да	Да	Нет	Нет
Истечение времени FRB-3	Нет	Нет	Нет	Нет	Нет	Нет	Да	Да

Примечание:

1. Посредством подачи сигнала на набор микросхем (при отключении питания) или отключении сигнала (при включении питания) SLEEP_S5

Таблица 37. Действия кнопки защищенного режима

	Состояния ACPI	Кнопка питания	Переключатель Sleep	Кнопка перезагрузки	NMI Switch	Кнопка ID
Стандартная и расширенная	S0 On	Защищено – нет действий	Защищено – нет действий	Защищено – нет действий	Не защищено	Не защищено
	S1 Sleep	Не защищено – производится пробуждение сервера	Не защищено	Защищено – нет действий	Не защищено	Не защищено
	S4/S5 Off	Не защищено – включение питания	Не защищено	Не защищено	Не защищено	Не защищено
Основные функции	S0 On	Защищено – нет действий	Не защищено	Защищено – нет действий	Не защищено	Не защищено
	S1 Sleep	Защищено – нет действий	Не защищено	Защищено – нет действий	Не защищено	Не защищено
	S4/S5 Off	Защищено – нет действий	Не защищено	Защищено – нет действий	Не защищено	Не защищено

Таблица 38. Поддержка функций памяти RAS многоуровневой системой управления сервером

Функция памяти RAS (надежность, непрерывность работы и удобство в обслуживании)	Основные функции	Стандарт	Advanced
Содержимое системы	Нет	Да	Да
Отчет об устранимых ошибках	Нет	Да	Да
Отчет о неустранимых ошибках	Да	Да	Да
Резервный банк модуля DIMM	Раздел ¹	Да	Да
Зеркальный набор модуля DIMM	Раздел ¹	Да	Да

Примечание:

1. Регистрация в журнале событий системы отсутствует.

На схеме ниже показана логическая блок-схема архитектуры управления платформой, используемой на серверной плате SE7520BB2.

Примечание: Представленные внутренние соединения и блоки иллюстрируют функциональные взаимоотношения между элементами управления системой, но не являются точной схемой используемой архитектуры.

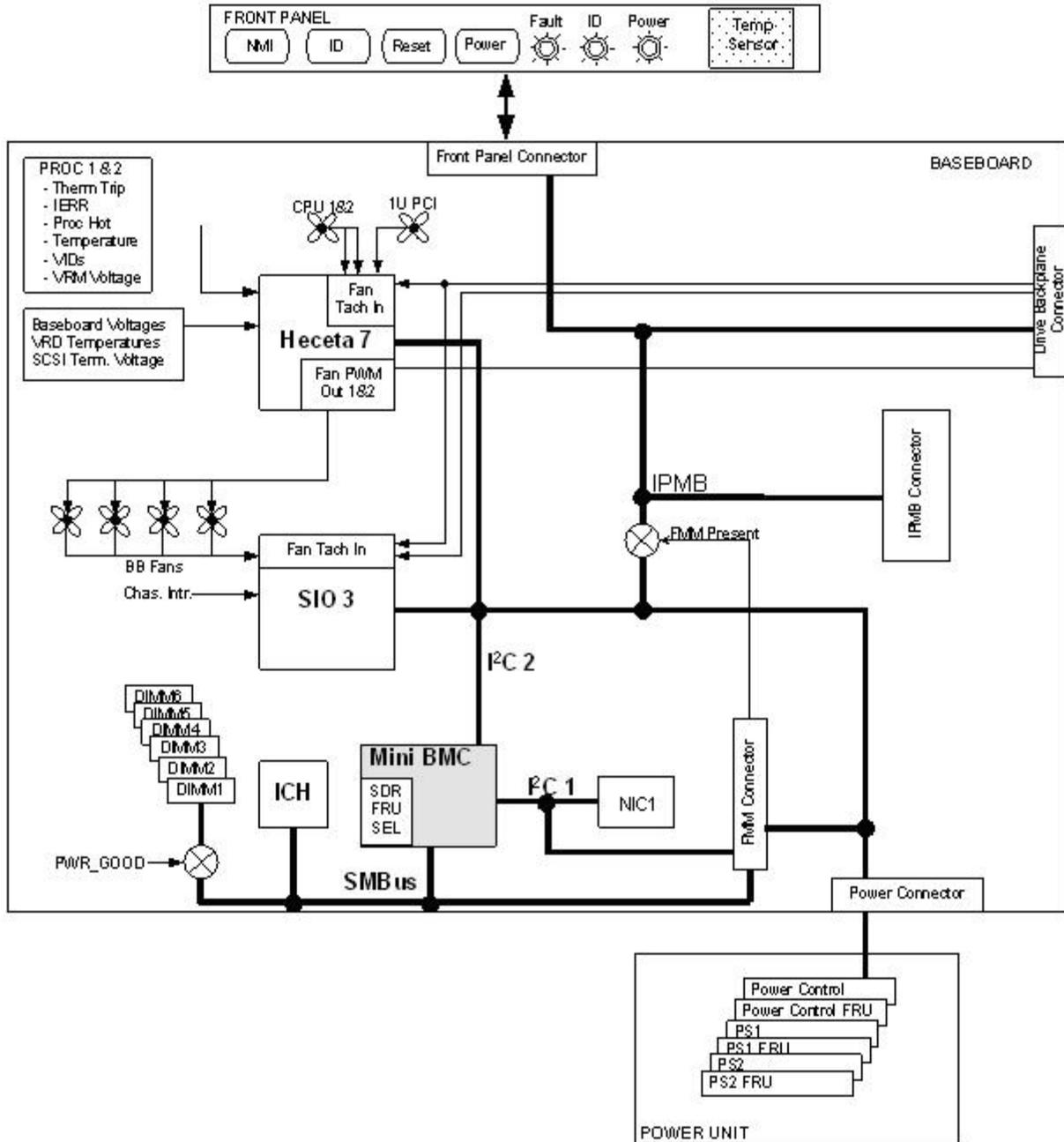


Рисунок 9. Блок-схема архитектуры управления платформой

4.1.2 5V режима ожидания

Источник питания должен обеспечивать напряжение режима ожидания 5В для обеспечения любых функциональных возможностей управления платформой. Напряжение режима ожидания 5В представляет собой подачу напряжения низкой мощности (5В), которая происходит при подключении системы к источнику питания переменного тока. Напряжение режима ожидания (5В) используется следующими встроенными устройствами управления:

- Контроллер управления (BMC и/или mBMC) и соответствующие оперативная память, флэш-память и EEPROM, используемые для мониторинга различных источников управления питанием системы, включая кнопку питания на передней панели, сигнал оповещения основной платы RTC и сообщения – запросы «power on» от дополнительного разъема IPMB и PCI SMBus
- Встроенные сетевые адаптеры, поддерживающие операции оповещения по локальной сети и оповещения IPMI по локальной сети, включения системы по сигналу сети, поддержки пакетов Magic Packet*
- Порт аварийного управления
- IPMB
- SMBus PCI (кроме определенной логики и частных шин, используемых для управления питанием)
- Приемопередатчик ICMB (при наличии)
- Цепь изоляции IPMB
- Индикатор состояния системы на передней панели
- Индикатор идентификации системы

4.1.3 Команды, абстракции и сообщения IPMI

Спецификация IPMI определяет стандартизированный, абстрагированный интерфейс на базе сообщений между программным обеспечением и подсистемой управления платформой и общий набор сообщений (команд) для выполнения операций, например, доступ к температуре, напряжению и датчикам вентиляторов, настройка порогов, регистрация событий, управление контрольным таймером и т.д.

IPMI также включает ряд записей, называемых «записи данных датчиков» (SDR), обеспечивающие самоописываемые характеристики подсистемы управления платформой по отношению к программному обеспечению управления системой. Записи SDR включают информацию по программному обеспечению, например, сколько датчиков имеется, какого они типа и какие события они генерируют. Записи SDR также включают информацию о минимальных и максимальных диапазонах, типе датчика, точности и допустимом отклонении и т.д., которая управляет программным обеспечением при интерпретации и представлении данных датчиков.

В совокупности сообщения IPMI и записи SDR обеспечивают самоописательный, абстрагированный интерфейс платформы, обеспечивающий самостоятельное автоматическое конфигурирование управляющего программного обеспечения в соответствии с количеством и типами функций управления платформой данной системы. Это, в свою очередь, обеспечивает использование одного программного обеспечения в нескольких системах. Так как одни и те же сообщения IPMI используются при передаче через последовательный порт/модем и по локальной сети, программное обеспечение, предназначенное для доступа к внутреннему (локальному) управлению, может использоваться как программное обеспечение внешнего удаленного управления. Для этого необходимо изменить базовый уровень связи для сообщений IPMI.

4.1.4 IPMI «Sensor Model»

IPMI-совместимая «модель датчика» используется в целях унификации способа представления и обеспечения доступа к температуре, напряжению и другим параметрам контроля и состояния управления платформой. Использование данной модели осуществляется в соответствии с форматами команд и данных, определенными в *Спецификации интеллектуального интерфейса управления платформами*.

В рамках данной модели доступ к большинству элементов платформы, мониторинг которых выполняется, осуществляется как доступ к логическим «датчикам». Данный доступ осуществляется с использованием абстрагированного интерфейса на базе сообщений (сообщений IPMI). Вместо доступа программного обеспечения системы аппаратное обеспечение по мониторингу и управлению платформой производит непосредственную регистрацию данных, направляя датчикам команды, например, команду «Get Sensor Reading». Интерфейс на базе сообщений отделяет программное обеспечение от применения определенного аппаратного обеспечения.

Программное обеспечение по управлению системой получает информацию о возможностях датчиков платформы, считывая записи SDR из репозитория SDR, который управляется контроллером управления. Записи SDR предоставляют список датчиков, их характеристики, расположение, тип и соответствующий номер датчика в отношении датчиков, расположенных в определенной системе. В записях SDR также содержатся установленные по умолчанию пороговые значения (если датчик фиксирует события, которым присущи пороговые значения), коэффициенты преобразования информации датчиков в соответствующие единицы измерения (мВ, об/мин, градусы Цельсия, и т.п.), а также информация по типам события, которую генерирует датчик.

Записи SDR также предоставляют информацию о местонахождении информации FRU и информации по связи датчиков с объектом и/или FRU, с которым они связаны.

Информация в записях SDR также используется для конфигурирования и восстановления пороговых значений датчиков и генерирования событий при включении питания системы или перезагрузке. Данные действия выполняются с помощью процесса, называемого «агентом инициализации». Контроллер BMC считывает записи SDR и на основании соответствующих бит записывает пороговые величины. Далее он включает генерирование событий датчиков, мониторинг которых он осуществляет, и в контроллерах управления на шине IPMB на базе стандартных или расширенных моделях управления.

Программное обеспечение по управлению системой использует содержащиеся в записях SDR данные для определения местонахождения датчиков с целью проведения опросов, интерпретации и представления данных датчиков, регулирования пороговых величин, интерпретации записей в SEL и изменения настроек генерирования событий.

В стандартной и расширенной моделях управления записи SDR также обеспечивают механизм расширения возможностей управления основной платы посредством дополнительных корпусов или дополнительных функции мониторинга и события, добавляемых OEM-компаниями. Возможности мониторинга основной платы можно расширить с помощью IPMI-совместимого контроллера управления; для этого его необходимо подключить к IPMB и добавить в репозиторий SDR новые записи SDR, описывающие данный контроллер и его датчики. Далее программное обеспечение по управлению системой считывает записи SDR и использует их, автоматически учитывая данные дополнительных датчиков.

4.1.5 Шина частного управления (Private Management Bus)

Частная шина управления представляет собой шину I²C с одним главным устройством, управляемую контроллером управления. Доступ к любому устройству на частной шине управления осуществляется косвенно через команды, направляемые контроллеру управления через IPMB или интерфейсы системы. Частные шины управления являются часто используемым механизмом, используемым как средство доступа к датчикам температуры, информации по системным процессорам и другим устройствам мониторинга основной платы, расположенным в системе.

Устройства на частной шине управления изолируются от трафика на шине IPMB. Так как устройства (например, датчики температуры) опрашиваются контроллером управления, трафик опроса удаляется с общей шины IPMB. Таким образом также увеличивается надежность доступа к информации, так как устраняются проблемы, возникающие с арбитражем шины IPMB и повторными сообщениями.

Далее, размещение управляемых устройств I²C на частной шине управления освобождает адреса I²C, которые бы использовались данными устройствами на шине IPMB.

4.1.6 Контроллеры управления

В сердце платформы лежит контроллер управления. Для поддержки многоуровневой модели управления серверная плата SE7520BB2 поддерживает два различных контроллера управления. В основную плату интегрирован контроллер National Semiconductor* Mini-BMC (mBMC), обеспечивающий функциональные возможности базового уровня управления. В стандартной и расширенной моделях вместо контроллера Mini-BMC используется микроконтроллер «Sahalee», имеющий большее количество функций. Sahalee является микроконтроллером на базе ARM7-TDMI, предназначенным для приложений управления серверными основными платами Intel.

Контроллер управления это микроконтроллер, обеспечивающий интеллектуальные решения в центре архитектуры интеллектуального управления платформой. Основным назначением контроллера управления является автоматический мониторинг «датчиков» системы в отношении событий управления платформой системы, например, перегрева, превышения допустимого диапазона напряжения и т.п., и регистрация данных событий в журнал событий системы (SEL) для длительного хранения. В их число входят такие события, как превышение предельной температуры или напряжения, неисправность вентиляторов и т.п. Контроллер управления также обеспечивает связь с датчиком и журналом регистрации событий, благодаря чему ПО управления системой может запрашивать и получать информацию о текущем состоянии платформы. Содержимое журнала может быть впоследствии извлечено в целях проведения анализа информации по сбоям специалистами по техническому обслуживанию. К нему также имеет доступ ПО управления системой, например, программное обеспечение Intel Server Management (ISM), работающее под управлением ОС.

Контроллер управления может генерировать определенные действия, например, отключение питания системы или перезагрузку, при наступлении условия, соответствующего событию из ряда конфигурируемых событий. Эта функция называется «фильтрация событий платформы» (PEF).

Контроллер управления оснащен функциями «управления восстановлением»; посредством этих функций локальное или удаленное ПО может направлять запрос на выполнение различных действий, например, включение/отключение питания, цикла питания, аппаратная перезагрузка системы, а также контрольный таймер IPMI, который может использоваться BIOS и исполняемым ПО управления. Данные действия используются для обнаружения зависания ПО.

Контроллер управления поддерживает интерфейсы внешнего удаленного управления, обеспечивая доступ к управлению состоянием платформы, журналу событий и функциям управления восстановлением через локальную сеть (на всех уровнях). Стандартная и расширенная системы также обеспечивают доступ через последовательный порт / модем, а также интерфейсы IPMB, PCI SMBus и ICMB. Данные интерфейсы остаются активными при питании в режиме ожидания, обеспечивая механизм доступа к журналу событий системы, записям SDR и функциям управления восстановлением в случае отключения питания системы.

Поскольку контроллер управления работает автономно от основного процессора (процессоров), функции мониторинга и регистрации событий контроллера управления, а также внешние интерфейсы остаются в рабочем состоянии даже при сбоях, вызывающих остановку основных процессоров, ОС или локального ПО.

Контроллер управления также обеспечивает связь с хранилищем записей SDR во флэш-памяти. Записи SDR содержат информацию, которая используется системой управления сервером для автоматической настройки количества и типа датчиков IPMI, установленных в системе (например, датчики температуры, датчики напряжения, и т.п.). Эта информация обеспечивает автоматическую настройку ПО управления к определенной системе. Таким образом управляющее ПО может работать на нескольких платформах; изменение ПО при этом не требуется.

Ниже приведен список основных функций, управляемых контроллерами mBMC или BMC.

- Опрос датчика (датчиков)
- Доступ к информации FRU. Информация FRU (заменяемое устройство) это долгосрочно хранимые данные серийного номера, номера детали, ярлыка продукта и другой инвентаризационной информации по основным платам и корпусам. Использование FRU на серверной плате SE7520BB2 включает поддержку записи для специальных записей OEM-производителей
- Автономная регистрация событий Контроллер управления автоматически производит опрос датчиков основной платы и при обнаружении условия события генерирует события платформы IPMI (также называемые сообщениями о событиях). События автоматически регистрируются в журнал регистрации событий (SEL)
- Журнал событий системы (SEL). Долгосрочное хранение событий состояния платформы. События могут автоматически регистрироваться контроллером BMC, или посредством отправки сообщений о событиях через системный интерфейс или шину IPMB на контроллер BMC. Таким образом BIOS, ПО и карты расширения также могут регистрировать события
- Хранилище записей показаний датчиков (SDR). При долгосрочном хранении сохраняются записи, описывающие количество и тип датчиков управления на основной плате и в корпусе. Включает поддержку записи для специальных записей и датчиков OEM-производителей
- Контрольные часы SDR/SEL. Для фиксации времени события и записи времени изменения содержимого SDR и SEL используются внутренние часы контроллера управления
- Интеллектуальные шины управления платформой (IPMB). Шина IPMB является двухпроводной последовательной шиной, обеспечивающей возможности управления основной платой, включая функции управления корпусом, а также обеспечивающей доступ карт расширения к подсистеме управления основной платой. (Только стандартная и расширенная системы.)
- Контрольный таймер, поддерживающий соответствующие действия на базе истечения времени (отключение питания, включение компьютера, перезагрузка или NMI) и автоматическая регистрация событий на базе истечения времени
- Прямое управление платформой (DPC) Соединение по локальной сети для осуществления удаленного управления
- Оповещение по локальной сети в форме ловушек SNMP в формате PEG (ловушка события платформы)
- Соединение через последовательный порт / модем для осуществления удаленного управления (только стандартная и расширенная системы)
- Оповещение о событии через последовательный порт / модем (только стандартная и расширенная системы)
- Фильтрация событий платформы (PEF)
- Интерфейс контроллера клавиатуры (KCS) системы IPMI (только стандартная и расширенная системы)
- Интерфейс системы IPMI SMBus (только системы базового уровня)
- Поддержка шины ICMB (только стандартная и расширенная системы)
- Удаленное управление загрузкой

- Локальное и удаленное управление включением / выключением питания
- Локальное и удаленное управление диагностическим прерыванием (NMI)
- Отказоустойчивая загрузка.
- Управление с передней панели.
- Маршрутизация прерываний управления платформой (только стандартная и расширенная системы)
- Мониторинг распределительной платы питания (PDB) (только стандартная и расширенная системы)
- Обновляемое ПО контроллера BMC
- Контроль питания управления системой (включая интерфейсы режимов сна/пробуждения и кнопки включения питания)
- Фильтрация событий платформы (PEF)
- Управление основной платой скоростью вентилятора и мониторинг сбоев
- Функция звуковых сигналов (используется для указания на определенные условия, например, сбой FRB) (только стандартная и расширенная системы)
- Интерфейс информации FRU по основной плате
- Обработка диагностического прерывания (Кнопка NMI на передней панели)
- Мониторинг состояния SMI/NMI (только стандартная и расширенная системы)
- Интерфейс системы с шиной IPMB (через порты интерфейса системы) (только стандартная и расширенная системы)
- Интерфейс системы с шиной SMBus PCI (через порты интерфейса системы) (только стандартная и расширенная системы)
- Управление защищенным режимом – инициализация блокировки / разблокировки передней панели.
- Функция агента инициализации контроллера управления IPMI v2.0 (только стандартная и расширенная системы)
- Интерфейс управления платформой EMP через последовательный порт / модем (только стандартная и расширенная системы)
- ПО специального сетевого адаптера и протокола TCP/IP (только расширенная система)

Таблица 39. Встроенные датчики контроллера mBMC

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Данные события
Физическое нарушение безопасности	01	Физический Security 05h	Датчик Конкретная 6Fh	Потеряна связь с локальной сетью	As	Потеряна связь с локальной сетью	Активация смещения
Нарушение безопасности платформы	02	Платформа Попытка нарушения безопасности 06h	Датчик Конкретная 6Fh	Внешний доступ с неверным паролем	As	–	Активация смещения
Статус источника питания	03	Источник питания 09h	Датчик Конкретная 6Fh	включение/выключение питания Выключение/включение питания Кнопка отключения	As	–	Активация смещения
Кнопка	04h	Питания 14h	Датчик Конкретная 6Fh	Кнопка питания Кнопка Reset	As	–	Активация смещения
Контрольный	05h	Контрольный таймер2 23h	Датчик Конкретная 6Fh	Timer Expired Аппаратная перезагрузка Выключение питания Выключение/включение питания Прерывание таймера	As	–	Активация смещения
Загрузка системы	06h	Инициирована загрузка системы 1Dh	Датчик Конкретная 6Fh	Иницируется при включении Иницируется при аппаратной перезагрузке Иницируется при программной перезагрузке	As	–	Активация смещения
Системное событие PEF	07h	Системное событие 12h	Датчик Конкретная 6Fh	Действие PEF	As	–	Активация смещения
Оповещение платформы	08h	Оповещение платформы 24h	Датчик Конкретная 6Fh	Генерирована ловушка события платформы	As	–	Активация смещения

Таблица 40. Встроенные инструментальные средства платформы, использующие контроллер mBMC

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Event Data	PEF Действие	Тип записи SDR
Физическое нарушение безопасности	0Ah	Физическое нарушение безопасности 05h	Специально для датчика 6Fh	Вскрытие корпуса	As	Вскрытие корпуса	Активация смещения	X	02
CPU1 12v	0Bh	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
CPU2 12v	0Ch	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
BB +1,5 V	0Dh	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
BB +3,3V	0Eh	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
BB +5V	0Fh	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
BB +12V	10h	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
BB -12V	11h	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Aux +3.3V	12h	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
STBY +5V	13h	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
STBY +3,3V	14h	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
FSB Vtt	15h	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
MEM_Core Volt	16h	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
SCSI Core(1.8v)	17h	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Proc1 VCCP	19h	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Proc2 VCCP	1Ah	Напряжение 02h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 1	1Bh	Вентилятор 04h	Порог 01h	[u][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 2	1Ch	Вентилятор 04h	Порог 01h	[u][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 3	1Dh	Вентилятор 04h	Порог 01h	[u][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 4	1Eh	Вентилятор 04h	Порог 01h	[u][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 5	1Fh	Вентилятор 04h	Порог 01h	[u][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 6	20h	Вентилятор 04h	Порог 01h	[u][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Event Data	PEF Действие	Тип записи SDR
Proc1 IERR	21h	Процессор 07h	Специально для датчика 6Fh	IERR	As	–	Активация смещения	–	02
Proc2 IERR	22h	Процессор 07h	Специально для датчика 6Fh	IERR	As	–	Активация смещения	–	02
Proc1 Thermal trip	23h	Процессор 07h	Специально для датчика 6Fh	Температурное нарушение	As	–	Активация смещения	Fault LED Action	02
Proc2 Thermal trip	24h	Процессор 07h	Специально для датчика 6Fh	Температурное нарушение	As	–	Активация смещения	Fault LED Action	02
Proc1 Температурный контроль	25h	Температура 01h	Порог 01h	[u] [c,nc]	As & De	Аналоговый	Активация смещения	Fault LED Action	01
Proc2 Температурный контроль	26h	Температура 01h	Порог 01h	[u] [c,nc]	As & De	Аналоговый	Активация смещения	Fault LED Action	01
Diagnostic Interrupt Button	27h	Критическое прерывание 13h	Специально для датчика 6Fh	Кнопка NMI на передней панели	As	–	Активация смещения	NMI Pulse	02
Chassis Identify Button	28h	Питания 14h	Generic 03h	Состояние включено	As	–	Активация смещения	Идентификационный индикатор Действие	02
Proc1 Fan	29h	Вентилятор 04h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Proc2 Fan	2Ah	Вентилятор 04h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Proc1 Core temp	2Bh	Температура 01h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Proc2 Core temp	2Ch	Температура 01h	Порог 01h	[u,l][c,nc]	As & De	Аналоговый	R, T	Fault LED Action	01
CPU Configuration Error	2Dh	Процессор 07h	Характерный 03h	Состояние включено	As & De	Дискретный	R, T	Fault LED Action	02
OEM Type 53h	-	OEM Type 53h	Нет	Нет	Нет	Нет	Нет	Нет	Нет

Таблица 41. Датчики инструментальных средств платформы, использующие модуль управления Intel® Management Module

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Данные события	Перенаправление	Резервный
Статус источника питания	01h	Источник питания 09h	Специально для датчика 6Fh	Питание выключено Выключение/включение питания Потеря питания сети переменного тока Сбой программного управления питанием Power Unit Failure Прогнозируемый сбой	As	–	Активация смещения	A	Xfddd dddd dddd dddd
Резервирование источника питания	02h	Источник питания 09h	Характерный 0Bh	Избыточность восстановлена Потеря резервирования Избыточность отсутствует Без избыточности: Достаточно ресурсов из избыточности Без избыточности: Достаточно ресурсов из недостаточных ресурсов Без избыточности: Недостаточно ресурсов Деградация избыточности из полной избыточности Деградация избыточности из конфигурации без избыточности	As	–	Активация смещения	A	X

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Данные события	Переадресация	Резервный
Контрольный	03h	Контрольный таймер 2 23h	Специально для датчика 6Fh	Timer Expired Аппаратная перезагрузка Выключение питания Выключение/включение питания Прерывание таймера	As & De	–	Активация смещения	A	X
Нарушение безопасности платформы	04h	Нарушение безопасности платформы Попытка 06h	Специально для датчика 6Fh	Попытка нарушения защищенного режима Внешний доступ с неверным паролем	As	–	Активация смещения	A	X
Физическое нарушение безопасности	05h	Физическое нарушение безопасности 05h	Специально для датчика 6Fh	Вскрытие корпуса Потеряна связь с локальной сетью	As & De	Вскрытие корпуса Потеряна связь с локальной сетью	Активация смещения	A	X
Ошибка POST	06h	Ошибка POST 0Fh	Специально для датчика 6Fh	Ошибка POST	As	–	POST код	A	–
Датчик критических прерываний	07h	Критическое прерывание 13h	Специально для датчика 6Fh	Ошибка шины при нажатии кнопки NMI на передней панели	As & De	–	Активация смещения	A	–
Память	08h	Память 0Ch	Специально для датчика 6Fh	Неустраняемая ошибка памяти	As	–	Активация смещения	A	–
Запись событий отключена	09h	Запись событий отключена 10h	Специально для датчика 6Fh	Устраняемая ошибка памяти Запись отключена Область записи очищена	As	–	Активация смещения	A	X
Аудит сеансов	0Ah	Аудит сеанса 2Ah	Специально для датчика 6Fh	00: Активация сеанса 01: Деактивация сеанса	As	–	В соответствии с определением IPMI	A	X
VB +1,05 V Vtt	10h	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	A	–

Название датчика	Номер датчика	Тип датчика	Тип события/ показаний	Признаки начала события	Включение/ отключение сигнала	Показания/ Начало	Данные события	Переаправление	Резервный
BB +1,2 В NIC Core	11h	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
BB +1,5 В	12h	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
BB +1,8 В SCSI Core	13h	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
BB +2,5 В	14h	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
BB +3,3 В	15h	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
BB +3,3 В режима ожидания	16h	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	X
BB +3,3 В AUX	17h	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	X
BB +5В	18h	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
BB +5В режима ожидания	19h	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	X
BB +12 В	1Ah	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
BB –12 В	1Bh	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
BB Vbat	1Ch	Напряжение 02h	Цифровой дискретный 05h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	X
BB Temp	30h	Температура 01h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	X
Температура передней панели	32h	Температура 01h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	X
Температура объединительной платы	35h	Температура 01h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
Тахометр вентилятора 1	40h	Вентилятор 04h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	M	–
Тахометр вентилятора 2	41h	Вентилятор 04h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	M	–
Тахометр вентилятора 3	42h	Вентилятор 04h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	M	–
Тахометр вентилятора 4	43h	Вентилятор 04h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	M	–
Тахометр вентилятора 5	44h	Вентилятор 04h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	M	–
Тахометр вентилятора 6	45h	Вентилятор 04h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	M	–

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Данные события	Перенаправление	Резервный
Присутствие вентилятора 1	4Bh	Разъем 21h	Специально для датчика 6Fh	Устройство установлено	As & De	–	Активация смещения	A	-
Присутствие вентилятора 2	4Ch	Разъем 21h	Специально для датчика 6Fh	Устройство установлено	As & De	–	Активация смещения	A	-
Присутствие вентилятора 3	4Dh	Разъем 21h	Специально для датчика 6Fh	Устройство установлено	As & De	–	Активация смещения	A	-
Присутствие вентилятора 4	4Eh	Разъем 21h	Специально для датчика 6Fh	Устройство установлено	As & De	–	Активация смещения	A	-
Избыточность вентилятора	4Fh	Вентилятор 04h	Характерный 0Bh	Избыточность восстановлена Потеря резервирования Избыточность отсутствует Без избыточности: Достаточно ресурсов из избыточности Без избыточности: Достаточно ресурсов из недостаточных ресурсов Без избыточности: Недостаточно ресурсов Деградация избыточности из полной избыточности Деградация избыточности из конфигурации без избыточности	As	-	Активация смещения	A	-

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Данные события	Переаправление	Резервный
Блок питания – состояние 1	70h	Блок питания 08h	Специально для датчика 6Fh	Присутствие Сбой Прогнозируемый сбой Потеря питания сети переменного тока	As & De	–	Активация смещения	A	X
Блок питания – состояние 2 (только в конфигурации с избыточностью)	71h	Блок питания 08h	Специально для датчика 6Fh	Присутствие Сбой Прогнозируемый сбой Потеря питания сети переменного тока	As & De	–	Активация смещения	A	X
Переходник блока питания Блок питания 1	78h	Ток 03h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	A	–
Переходник блока питания Блок питания 2	79h	Ток 03h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	A	–
Датчик мощности Шина питания V1 (+12 В) Блок питания 1	7Ah	Ток 03h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	A	–
Датчик мощности Шина питания V1 (+12 В) Блок питания 2	7Bh	Ток 03h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	A	–
Датчик мощности (общая мощность) Блок питания 1	7Ch	Другие единицы 0Vh	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	A	–
Датчик мощности (общая мощность) Блок питания 2	7Dh	Другие единицы 0Vh	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	A	–
Отсутствует процессор	80h	Модуль/плата 15h	Цифровой дискретный 03h	Состояние включено Состояние отключено	As	–	Активация смещения	A	–

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Данные события	Переадресация	Резервный
Состояние ACPI	82h	Состояние ACPI 22h	Специально для датчика 6Fh	S0 / G0 S1 S4 S5 / G2 G3 Механическое выключение	As	–	Активация смещения	A	X
Системное событие	83h	Событие системы 12h	Специально для датчика 6Fh	Событие загрузки системы OEM (аппаратная перезагрузка) Действие PEF	As	–	Активация смещения	A	–
Кнопка	84h	Питания 14h	Специально для датчика 6Fh	Кнопка питания Кнопка режима сна Кнопка Reset	As	–	Активация смещения	A	X
Истечение времени SMI	85h	Истечение времени SMI F3h	Цифровой дискретный 03h	Состояние включено Состояние отключено	As	–	Активация смещения	A	–
Сбой датчика	86h	Сбой датчика F6h	Зависит от датчика OEM 73h	Устройство I ² C не найдено Обнаружена ошибка устройства I ² C Истечение времени на шине I ² C	As	–	Активация смещения	A	X
Состояние сигнала NMI	87h	OEM C0h	Цифровой дискретный 03h	Состояние включено Состояние отключено	–	–	–	–	–
Состояние сигнала SMI	88h	OEM C0h	Цифровой дискретный 03h	Состояние включено Состояние отключено	–	–	–	–	–

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Данные события	Перенаправление	Резервный
Функция избыточности модулей DIMM	89h	Статус доступности 0Bh	Дискретные значения 0Bh	Полная избыточность Без избыточности: Достаточно ресурсов из избыточности Без избыточности: Достаточно ресурсов из недостаточных ресурсов Без избыточности: Недостаточно ресурсов	As	–	Активация смещения	A	–
Функция резервирования модулей DIMM	8Ah	Присутствует терминатор 25h	Специально для датчика 6Fh	Присутствует терминатор	As	–	Активация смещения	A	–
Зеркальный набор памяти	8Bh	Статус доступности 0Bh	Дискретные значения 0Bh	Полная избыточность Без избыточности: Достаточно ресурсов из избыточности Без избыточности: Достаточно ресурсов из недостаточных ресурсов Без избыточности: Недостаточно ресурсов	As	–	Активация смещения	A	–
Зеркальное отображение памяти включено	8Ch	Присутствует терминатор 25h	Специально для датчика 6Fh	Присутствует терминатор	As	–	Активация смещения	A	–
Состояние процессора 1	90h	Процессор 07h	Специально для датчика 6Fh	IERR Температурное нарушение FRB1, FRB2, FRB3 Ошибка конфигурации Присутствие Отключено	As & De	–	Активация смещения	M	X

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Данные события	Переадресация	Резервный
Состояние процессора 2	91h	Процессор 07h	Специально для датчика 6Fh	IERR Температурное нарушение FRB1, FRB2, FRB3 Ошибка конфигурации Присутствие Отключено	As & De	–	Активация смещения	M	X
Температура ядра процессора 1	98h	Температура 01h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
Температура ядра процессора 2	99h	Температура 01h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
Стабилизатор процессора 1 (12 В)	B8h	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
Стабилизатор процессора 2 (12 В)	B9h	Напряжение 02h	Порог 01h	[u,][nr,c,nc]	As & De	Аналоговый	R, T	A	–
Вентилятор процессора 1	A8h	Вентилятор 04h	Порог 01h	[u,][nr, c,nc]	As & De	Аналоговый	R, T	M	–
Вентилятор процессора 2	A9h	Вентилятор 04h	Порог 01h	[u,][nr, c,nc]	As & De	Аналоговый	R, T	M	–
Температурное управление процессора 1	C0h	Температура 01h	Цифровой дискретный 07h	Переход к состоянию некритической ошибки из нормального состояния	As & De	–	Активация смещения	M	–
Температурное управление процессора 2	C1h	Температура 01h	Цифровой дискретный 07h	Переход к состоянию некритической ошибки из нормального состояния	As & De	–	Активация смещения	M	–
Перегрев стабилизатора процессора 1	C8h	Температура 01h	Цифровой дискретный 07h	Переход к состоянию некритической ошибки из нормального состояния	As & De	–	Активация смещения	M	–
Перегрев стабилизатора процессора 2	C9h	Температура 01h	Цифровой дискретный 07h	Переход к состоянию некритической ошибки из нормального состояния	As & De	–	Активация смещения	M	–

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Данные события	Перенаправление	Резервный
Напряжение Vcc процессора 1	D0h	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	A	-
Напряжение Vcc процессора 2	D1h	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	A	-
CPU Configuration Error	D8h	Процессор 07h	Характерный 03h	Состояние включено	As & De	Дискретный	R, T	A	-
DIMM 1	E0h	Разъем 21h	Специально для датчика 6Fh	Состояние сбоя включено Устройство установлено Отключено	As	-	Активация смещения	A	-
DIMM 2	E1h	Разъем 21h	Специально для датчика 6Fh	Состояние сбоя включено Устройство установлено Отключено	As	-	Активация смещения	A	-
DIMM 3	E2h	Разъем 21h	Специально для датчика 6Fh	Состояние сбоя включено Устройство установлено Отключено	As	-	Активация смещения	A	-
DIMM 4	E3h	Разъем 21h	Специально для датчика 6Fh	Состояние сбоя включено Устройство установлено Отключено	As	-	Активация смещения	A	-
DIMM 5	E4h	Разъем 21h	Специально для датчика 6Fh	Состояние сбоя включено Устройство установлено Отключено	As	-	Активация смещения	A	-
DIMM 6	E5h	Разъем 21h	Специально для датчика 6Fh	Состояние сбоя включено Устройство установлено Отключено	As	-	Активация смещения	A	-

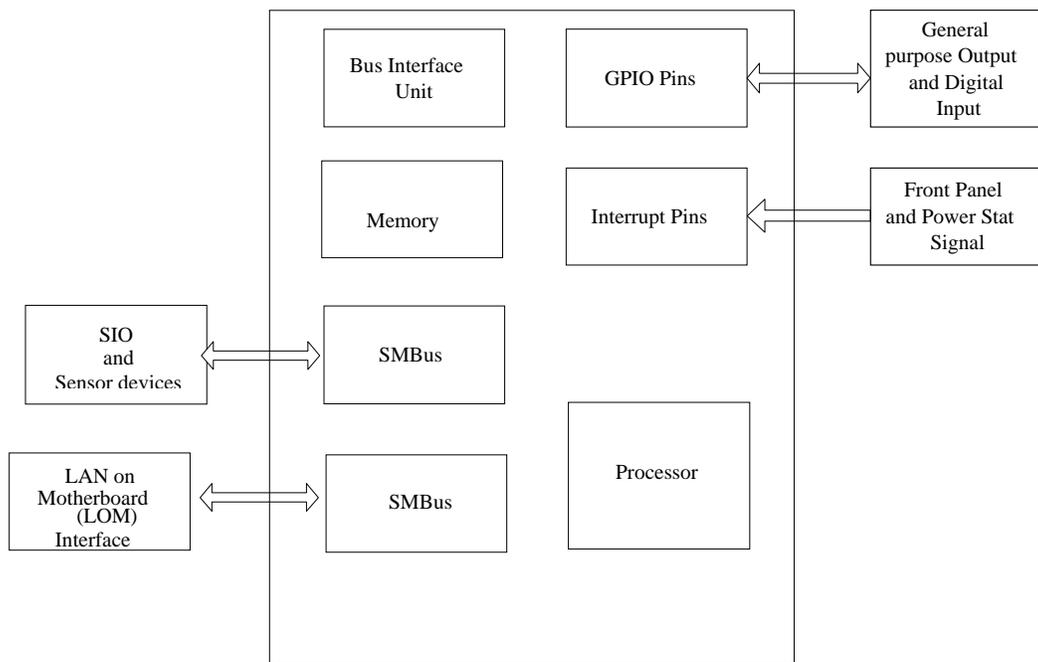
4.2 Основные функции и возможности системы управления

4.2.1 Обзор mBMC

Контроллер mBMC это микросхема ASIC, в которую встроено большое количество периферийных устройств. Контроллер BMC включает логику, необходимую для управления системой мониторинга датчиков и связи с другими системами и устройствами через различные внешние интерфейсы.

Рисунок ниже представляет собой блок-схему контроллера mBMC, используемого в системе управления сервером. Внешние интерфейсные блоки контроллера mBMC представляют собой дискретные интерфейсные модули периферийных устройств.

Рисунок 10. Контроллер управления основной платой mBMC в системе управления сервером



4.2.2 Контроллер управления основной платой mBMC с функцией самотестирования

Контроллер mBMC выполняет различные тесты в процессе инициализации. При обнаружении неисправности контроллер mBMC сохраняет информацию об ошибке. Неисправность может быть вызвана порчей FRU, SDR или SEL контроллера mBMC. Команда *IPMI 1.5 Get Self Test Results* может использоваться для вывода первой обнаруженной ошибки.

При выполнении команды *Get Self Test Results* проводится автоматическое тестирование контроллера mBMC. Настоятельно рекомендуется произвести перезагрузку контроллера mBMC посредством цикла переменного тока.

4.2.3 Интерфейсы SMBus

Контроллер управления mBMC имеет один интерфейс SMBus, работающий в режиме главного устройства/подчиненного устройства и два интерфейса SMBus, работающих только в режиме главного устройства. Контроллер управления mBMC сообщается с хостом через подчиненный интерфейс SMBus. Он связан с интегрированной сетевой подсистемой и периферийными устройствами через два независимых интерфейса, работающих в режиме главного устройства.

4.2.4 Внешний интерфейс mBMC-контроллера

Рисунок 11 показан поток данных/команд через функциональные модули контроллера управления mBMC. Внешние интерфейсы хост-системы, LOM и периферийные устройства взаимодействуют с контроллером управления mBMC через соответствующие интерфейсные модули, как показано на рисунке.

Контроллер управления mBMC сообщается с внутренними модулями через частную шину SMBus. Внешние устройства и датчики сообщаются с контроллером управления mBMC через периферийную шину SMBus через контроллер SIO. LOM подключается через шину LOM SMBus. Имеющиеся контакты GPIO используются для различных входных и выходных функций. Для светоиндикаторов/цветового управления имеются выделенные линии.

Также в контроллер mBMC интегрированы функции управления питанием и передней панелью.

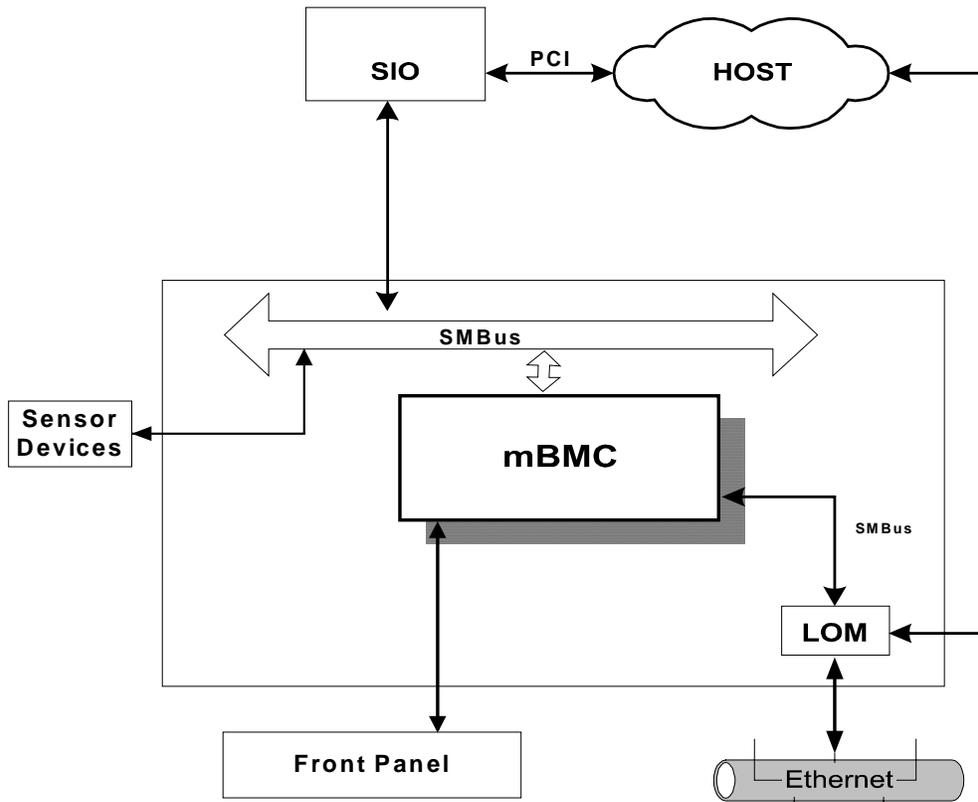


Рисунок 11. Внешний интерфейс mBMC-контроллера

4.2.4.1 Частные шины управления I²C

Контроллер управления mBMC имеет одну частную шину управления. Контроллер управления mBMC является единственным главным устройством этой шины. Внешние агенты должны использовать команду *Master Write/Read I²C* контроллера управления mBMC, если им требуется напрямую связаться с устройством на этой шине. Кроме того, контроллер управления mBMC предоставляет команду *Reserve Device*, дающую внешнему агенту эксклюзивный доступ к определенному устройству на определенное время.

4.2.5 Интерфейсы сообщений

В данном разделе описываются коммуникационные интерфейсы контроллера управления mBMC:

- Интерфейс Host SMS через интерфейс SMBus
- Интерфейс LAN через шину LOM SMBus

4.2.5.1 Управление каналами

Контроллер управления mBMC поддерживает два канала:

- Системный интерфейс
- Локальная сеть 802.3

Таблица 42. Поддерживаемые назначения каналов

Идентификатор канала	Тип среды	Интерфейс	Поддержка сеансов
1	Локальная сеть 802.3	IPMB 1.0	Несколько сеансов
2	Системный интерфейс	IPMI-SMBus	Нет сеансов

4.2.5.2 Модель работы пользователя

mBMC поддерживает одного анонимного пользователя (нулевое имя пользователя) с настраиваемым паролем. Команда установки пароля IPMI поддерживается.

4.2.5.3 Протокол запросов/ответов

Все протоколы, используемые в серверном интерфейсе и интерфейсе LOM, являются протоколами запросов/ответов. Интеллектуальному устройству направляется сообщение-запрос, на которое оно отправляет отдельное сообщение-ответ.

4.2.5.4 Интерфейс связи хоста с контроллером управления mBMC

Хост связывается с контроллером управления mBMC через шину системного управления (SMBus). Интерфейс использует три сигнала:

- Синхронизирующий сигнал SMBus (SCLH)
- Сигнал данных SMBus (SDAH)
- Дополнительный сигнал оповещения SMBus (SMBAH). Этот сигнал сообщает серверу, что у PC87431x есть данные.

mBMC является подчиненным устройством на этой шине. Сервер-интерфейс поддерживает операции опроса. Приложения сервера могут обрабатывать прерывания оповещений SMBus, если mBMC не может немедленно ответить на запрос сервера. В этом случае отсутствие готовности указывается одним из двух способов:

- Пропускная способность интерфейса хоста ограничена синхронизатором шины и временем задержки контроллера управления mBMC. Для соответствия времени задержки устройства, mBMC периодически замедляет шину, увеличивая интервал SCLH.
- Если контроллер управления mBMC взаимодействует с локальной сетью или периферийным устройством, или если ответ на запрос хоста еще не готов, контроллер управления mBMC не признает адрес устройства («NACK»). Из-за этого программное обеспечение вынуждено прекратить сеанс и начать его заново.

Дополнительную информацию по операциям чтения/записи на шине SMBus можно найти в *Спецификации шины системного управления (SMBus) 2.0*.

4.2.5.5 Интерфейс локальной сети

Системная плата поддерживает один интерфейс локальной сети DPC через порт UDP 26Fh. Контроллер управления mBMC может вести только один сеанс связи на всех допустимых каналах. В системной плате реализована поддержка ARP в соответствии со спецификацией IPMI 1.5.

Спецификация IPMI 1.5 определяет, каким образом сообщения IPMI в формате пакетов RMCP могут отправляться mBMC и на него. Эта возможность позволяет удаленным консольным приложениям получать доступ к контроллеру управления mBMC и выполнять следующие операции:

- Управление корпусом, например, получить информацию о состоянии корпуса, произвести перезагрузку, включить питание, выключить питание
- Получить информацию о показателях системных датчиков
- Получить информацию об опциях загрузки системы и изменить эти опции
- Получить информацию FRU
- Прочитать записи журнала событий системы (SEL)
- Получить данные датчиков (SDR)
- Настроить фильтрацию событий платформы (PEF)
- Установить конфигурацию локальной сети

Кроме того, mBMC поддерживает оповещение через сеть в форме ловушек SNMP в формате IPMI Platform Event Trap (PET).

Таблица 43. Характеристики сетевого канала

Характеристики сетевого канала	Опции
Количество сеансов	1
Количество пользователей	1
Пользователя	Без имени (анонимный)
Пароль пользователя	Может настраиваться
Уровни привилегий	Пользователь, оператор, администратор
Типы аутентификации	MD5
Количество пунктов назначения оповещений по сети	1
Протокол разрешения адресов (ARP)	Свободный ARP

4.2.6 Прямое управление платформой (IPMI через LAN)

Прямое управление платформой обеспечивает механизм доставки сообщений IPMI непосредственно контроллерам управления через локальную сеть. Сетевые контроллеры и контроллеры управления остаются активными при наличии только тока режима ожидания, поддерживая отправку сообщений IPMI, когда система находится во включенном состоянии, выключенном состоянии и режиме сна. Благодаря этому обеспечивается возможность доступа через удаленную консоль к функциям контроллера управления, в том числе:

- Включение/выключение питания и перезагрузка, возможность установки флагов загрузки BIOS
- Доступ к FRU, SDR и SEL
- Доступ к конфигурации контроллера BMC
- Удаленное генерирование NMI
- Возможность обмена сообщениями IPMI между разными интерфейсами, например, интерфейсом локальной сети, системным интерфейсом, IPMB и PCI SMBus. Эта возможность позволяет доставлять сообщения ПО для управления сервером и предоставляет возможность доступа к данным датчиков и FRU с других контроллеров управления.

Сообщения IPMI имеют пакетный формат RMCP (протокол удаленного управления). Группа распределенного управления DMTF разработала протокол RMCP для поддержки управления системой до загрузки ОС и при отсутствии ОС. RMCP представляет собой простой протокол запросов/ответов, доставляемых в виде дейтаграмм UDP. Система IPMI-over-LAN использует первую версию протокола RMCP и формата пакетов.

Порт UDP 26Fh – адрес известного порта, служащего для передачи дейтаграмм UDP в формате RMCP. Интегрированные сетевые контроллеры Intel содержат электрические схемы, позволяющие определять и захватывать пакеты RMCP, получаемые на порту 26Fh, и отправлять их на контроллер управления через «запасную» линию связи, а не через интерфейс PCI. Аналогичным образом, контроллер управления может использовать запасную линию связи для отправки пакетов с порта 26Fh, как показано на рисунке ниже.

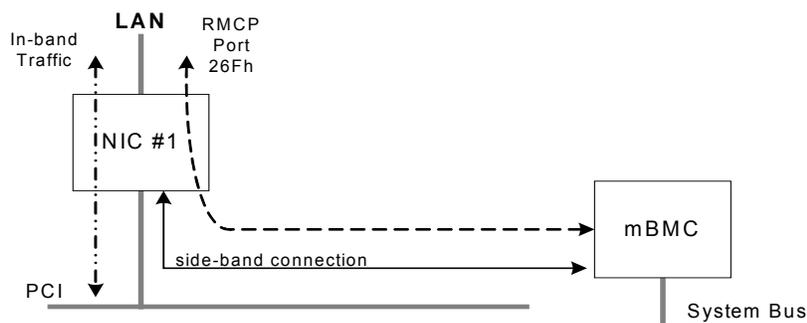


Рисунок 12. IPMI-over-LAN

RMCP включает поле, указывающее класс сообщений, которые могут содержаться в пакетах RMCP. Для RMCP 1.0 определены классы сообщений IPMI, ASF и OEM. Система IPMI-over-LAN использует класс IPMI для передачи сообщений IPMI в пакетах RMCP. Спецификация интеллектуального интерфейса управления платформами 1.5 определяет форматы пакетов и команды, используемые для отправки сообщений IPMI через локальную сеть с помощью протокола RMCP.

Контроллер управления передает данные на другие адреса портов по мере необходимости. Например, оповещения по локальной сети, отправляемые в виде ловушек SNMP, могут отправляться на известный адрес порта ловушек SNMP, 162 (0A2h).

4.2.6.1 Спецификации канала локальной сети

В таблице ниже описывается минимальная обеспечиваемая поддержка.

Примечание: ПО и утилиты для системного управления могут использовать не все опции и возможности контроллера управления. Подробная техническая информация по работе канала локальной сети и системы оповещений через локальную сеть содержится в Спецификации интеллектуального интерфейса управления платформами, версия 1.5.

Таблица 44. Спецификации канала локальной сети

Возможность настройки конфигурации	Опции	Описание/Примечания
Режимы доступа к каналу	всегда активный, отключен	Данная опция определяет возможности доступа к контроллеру BMC через сообщения IPMI по локальной сети.
Количество сеансов	Один (Обязательно)	Количество одновременных сеансов связи через локальную сеть, последовательный порт и модем.
Количество пользователей	Один (Обязательно)	Информация о пользователе, представляет собой ресурс, доступный по каналам доступа через локальную сеть, последовательный порт и модем.
Возможность изменения имен пользователей	Нет (Обязательно)	Информация о пользователе, представляет собой ресурс, доступный по каналам доступа через локальную сеть, последовательный порт и модем.
Возможность изменения паролей пользователей	Да	
Уровни привилегий	Пользователь, оператор, администратор	
Поддерживаемый тип аутентификации сообщений IPMI	MD5	
Количество пунктов назначения LAN Alert	Один (Обязательно)	
Поддержка утверждения PET	Да	
Поддержка свободного ARP	Да	

4.2.6.2 Драйверы и настройка локальной сети

Функция IPMI-over-LAN должна использоваться в сочетании с подходящим драйвером сетевого адаптера Intel. Сетевой адаптер должен быть правильно настроен для того, чтобы работа системы прямого управления платформой была прозрачной для операционной системы и сетевых приложений. При использовании неверного драйвера или при неправильной настройке конфигурации возможны задержки в работе драйвера при включенной функции IPMI-over-LAN.

4.2.6.3 Загрузочные флаги BIOS

Удаленная консоль может использовать команду *IPMI Set System Boot Options* для установки набора загрузочных флагов BIOS и параметров загрузочной информации инициатора, хранимых контроллером управления. Эти параметры включают идентификационную информацию об инициаторе загрузки, а также флаги и другую информацию, которая может использоваться для управления загрузкой после перезагрузки или выключения/включения системы. Например, указывается, должна ли система загрузиться нормально, загрузиться с использованием PXE, загрузиться на диагностический раздел, и т.п.

4.2.6.4 Загрузочные флаги и подключение консоли через локальную сеть

BIOS поддерживает возможность подключения консоли через локальную сеть. Одновременное подключение двух и более IP-адресов невозможно. Таким образом, загрузочные флаги и информация об инициаторе загрузки также сообщают BIOS, какую консоль подключать через локальную сеть.

4.2.7 Пробуждение/Включение системы по сигналу сети и поддержка пакетов Magic Packet

Системная плата поддерживает функцию Wake On LAN / Power On LAN (включения при поступлении сигнала на сетевой адаптер из локальной сети) через встроенные сетевые адаптеры или дополнительные сетевые карты. Дополнительная сетевая карт может отправить сигнал включения на системную плату с помощью сигнала PME шины PCI. Фактическая поддержка Magic Packet и/или фильтрации пакетов для функции Wake On LAN / Power On LAN обеспечивается сетевым адаптером. Обработка сигнала пробуждения осуществляется системной платой.

4.2.7.1 Пробуждение по сигналу сети в режимах сна S4/S5

Существует опция конфигурации, позволяющая встроенным сетевым адаптерам пробуждать систему из режима сна S4/S5, даже если операционная система отключила функцию пробуждения по сигналу сети при выключении системы. Эта возможность предназначена для пользователей, которым нужна возможность стандартного пробуждения по сети (не защищенного) для проведения операций наподобие технического обслуживания в нерабочее время. Учтите, что возможность прямого управления платформой через локальную сеть обеспечивает защищенное включение системы, а также возможность настройки загрузочных опций BIOS посредством отправки аутентифицированных сообщений IPMI непосредственно на контроллер управления BMC через интегрированные сетевые адаптеры.

4.2.8 Контрольный счетчик

В контроллер управления mBMC встроен IPMI 1.5-совместимый контрольный таймер. Подробная информация содержится в спецификации IPMI. Обеспечивается поддержка действий перед истечением времени SMI и NMI, включая аппаратную перезагрузку, выключение питания и выключение/включение питания.

4.2.9 Журнал событий системы (SEL)

В mBMC реализована логическая система журнала событий, соответствующая спецификации *IPMI 1.5*. Доступ к SEL может осуществляться по всем каналам связи. Таким образом, доступ к информации SEL через внешние интерфейсы возможен и в том случае, если система выключена. Максимальный размер SEL, поддерживаемый контроллером управления mBMC, составляет 92 записи.

Поддерживаются команды:

- Get SEL Info (Получить информацию SEL)
- Reserve SEL (Зарезервировать SEL)
- Get SEL Entry (Вывести запись SEL)
- Add SEL Entry (Добавить запись SEL)
- Clear SEL (Очистить SEL)
- Get SEL Time (Вывести время SEL)
- Set SEL Time (Установить время SEL)

4.2.9.1 Очистка SEL

Использование функции очистки журнала регистрации событий для удаления его содержимого. Для очистки журнала регистрации событий в BIOS реализована идентичная функция. Имейте в виду, что очистка журнала регистрации событий не является необходимой, т.к. журнал регистрации событий автоматически переписывается после записи 92 событий, начиная с №1 в порядке поступления.

4.2.9.2 Часы и временные метки

Контроллер управления mBMC поддерживает внутренние четырехбайтовые синхронизирующие импульсы, используемые подсистемами SEL и SDR. Приращение импульсов происходит каждую секунду. Считывание времени производится с помощью команды *Get SEL Time*, а установка – с помощью команды *Set SEL Time*. Для считывания показаний часов временных меток также может использоваться команда *Get SDR Time*. Описание этих команд приведено в *Спецификации интеллектуального интерфейса управления платформами, версия 1.5*.

После перезагрузки контроллера управления mBMC он устанавливает начальное значение часов временных меток в 0x00000000. Приращение происходит каждую секунду. События SEL с временными метками от 0x00000000 до 0x14000000 относятся к инициализации mBMC.

Во время процедуры POST BIOS передает контроллеру mBMC показания часов реального времени с помощью команды *Set SEL Time*. Контроллер mBMC поддерживает время, увеличивая его по одной секунде до перезагрузки контроллера mBMC или до изменения времени посредством другой команды *Set SEL Time*.

При изменении показаний часов реального времени во время работы системы ПО для управления сервером синхронизирует время контроллера mBMC с системным временем. Если это не происходит, следует произвести перезагрузку сервера таким образом, чтобы BIOS передал новое время контроллеру mBMC.

4.2.10 Хранилище записей показаний датчиков (SDR)

В mBMC имеется хранилище записей показаний датчиков с возможностью управления платформой (типы датчиков, расположение, события и информация о доступе). Доступ к хранилищу SDR может быть произведен по любым коммуникационным шинам. Т таким образом, возможен доступ к содержимому хранилища SDR через внешние интерфейсы даже когда система выключена.

Контроллер управления mBMC выделяет 2176 байт флэш-памяти для хранения данных SDR. Данные SDR определяют тип датчика, пороговые значения, значения гистерезиса и конфигурацию событий. mBMC поддерживает до шести пороговых значений для записей показаний датчиков на базе пороговых значений и до пятнадцати событий для полных и компактных записей показаний датчиков не на базе пороговых значений. Также он поддерживает датчики с пониженным и повышенным напряжением.

4.2.10.1 Агент инициализации

В контроллер mBMC интегрированы функции агента инициализации в соответствии со *Спецификацией интеллектуального интерфейса управления платформами, версия 1.5*. Во время инициализации mBMC или при загрузке системы агент инициализации проверяет хранилище SDR и настраивает датчики в соответствии с записями. При этом настраиваются пороговые показания датчиков, включается/отключается проверка сообщений о событиях датчиков и включаются/отключаются сами сообщения об событиях датчиков.

4.2.11 Прием сообщений о событиях

Контроллер mBMC может получать генерированные внешними системами (например, BIOS) события с помощью команды Platform Event Message. События, получаемые с помощью этой команды, записываются в SEL и обрабатываются PEF.

4.2.12 Фильтрация событий и оповещения

В контроллер управления mBMC встроены следующие функции оповещения IPMI 1.5:

- PEF
- Alert over LAN

4.2.12.1 Фильтрация событий платформы (PEF)

Контроллер mBMC производит мониторинг состояния платформы и записывает сообщения об ошибках в журнал событий системы. Функция фильтрации событий платформы представляет собой настраиваемый механизм, позволяющий событиям активировать действия по отправке оповещений. PEF обеспечивает гибкий механизм, позволяющий mBMC выполнять действия, активируемые различными событиями платформы. Контроллер mBMC поддерживает следующие действия IPMI PEF:

- Выключение питания
- Программное выключение
- Выключение/включение питания
- Очистить
- Диагностическое прерывание
- Отправка оповещения

mBMC ведет таблицу фильтрации событий с 30 записями, используемыми для выбора выполняемых действий. Также ведется фиксированная (только чтение) таблица политик оповещений. Строки оповещений не поддерживаются.

Примечание: Все действия индикаторов состояния и идентификационных индикаторов контролируются PEF. Чтобы действия с индикаторами не изменились, PEF не следует отключать и конфигурацию по умолчанию не следует изменять.

Каждый раз, когда модуль PEF получает внешнее или внутреннее сообщение о событии, он сравнивает данные события с записями в таблице фильтрации событий. Контроллер mBMC сканирует все записи в таблице и определяет, какие действия требуется выполнить. Если определяется необходимость выполнения нескольких действий, например, выключение питания, выключение/включение питания и/или перезагрузка, действия выполняются в соответствии с приоритетами PEF. Приоритеты действий описаны в таблице ниже.

Примечание: Действия, параметры которых изменены с «задерживаемое» на «не задерживаемое» или действия, время задержки которых было уменьшено, имеют более высокий приоритет. Каждое генерируемое событие записывается в журнал SEL.

Таблица 45. Приоритеты действий PEF

Действие	Приоритет	Задерживается	Тип	ПРИМЕЧАНИЕ
Выключение питания	1	Да	Действие PEF	
Программное выключение	2	Да	Действие OEM PEF	Не выполняется, если также выбрано действие «Выключение питания».
Выключение/включение питания	3	Да	Действие PEF	Не выполняется, если также выбрано действие «Выключение питания».
Очистить	4	Да	Действие PEF	Не выполняется, если также выбрано действие «Выключение питания».
NMI	5	Нет	Действие PEF	Не выполняется, если также выбрано действие «Выключение питания».
Оповещение PEF	6	Нет	Действие PEF	Если выбрано это действие, оно всегда производится сразу же после обнаружения события.
Сообщение о событии IPMB	8	Нет	Действие OEM PEF	Если выбрано это действие, оно всегда производится сразу же после обнаружения события.

Таблица 46. Заводские настройки фильтрации событий контроллера mBMC

Номер фильтра события #	Маска смещения	События
1	Не критическое	Включение напряжения
2	Не критическое	Отключение напряжения
3	Критическое	Включение напряжения
4	Критическое	Отключение напряжения
5	Критическое	Включение сигнала PS Soft Fail
6	Критическое	Отключение сигнала PS Soft Fail
7	Критическое	Включение сигнала Proc 1-2 Thermal Trip
8	Критическое	Отключение сигнала Proc 1-2 Thermal Trip, Config Error & IERR
9	Деградация	Включение сигнала Proc 1-2 FRB3
10	Деградация	Отключение сигнала Proc 1-2 FRB3
11	Деградация	Включение сигнала Proc 1-2 Hot
12	Деградация	Отключение сигнала Proc 1-2 Hot
13	Критическое	Включение сигнала FP NMI
14	Критическое	Отключение сигнала FP NMI
15	Не критическое	Включение сигнала SCSI Terminator Fail
16	Не критическое	Отключение сигнала SCSI Terminator Fail
17	Нет	Включение кнопки идентификации
18	Нет	Выключение кнопки идентификации
19	Критическое	Включение сигнала Fan Speed
20	Критическое	Отключение сигнала Fan Speed
21	Не критическое	Включение сигнала Fan Speed

Номер фильтра события #	Маска смещения	События
22	Не критическое	Отключение сигнала Fan Speed
23	Критическое	Включение сигнала Temperature
24	Критическое	Отключение сигнала Temperature
25	Не критическое	Включение сигнала Temperature
26	Не критическое	Отключение сигнала Temperature
27	Критическое	Включение сигнала Proc 1-2 IERR
28	Критическое	CPU Configuration Error
29	Нет	Резервировано для ПО Intel® Server Management (ISM)
30	Нет	Зарезервировано для ISM

4.2.12.2 Alert over LAN

Оповещения через локальную сеть отправляются в указанный пункт назначения в виде ловушек SNMP в формате ASF PET. Функция Alert over LAN используется для отправки оповещений PET или информации о событиях приложению для удаленного управления вне зависимости от состояния операционной системы сервера. Оповещения могут отправляться через любой канал локальной сети. Функция LAN alerts может использоваться PEF для отправки оповещений о событиях в выбранный пункт назначения, если событие соответствует записи в таблице фильтрации. Дополнительную информацию об оповещениях через сеть можно найти в *спецификации IPMI 1.5*.

4.2.12.3 Идентификация системы в оповещениях

Формат оповещений PET, используемый в оповещениях через локальную сеть, содержит поле System GUID, в котором идентифицируется система, отправившая оповещение. Кроме того, поскольку PET переносится в пакетах UDP, там указывается также и IP-адрес системы, отправляющей оповещение.

4.2.12.4 Настройка оповещений на платформах

Контроллер управления предоставляет через системный интерфейс команды, поддерживающие установку/вывод конфигурации оповещений через сеть во флэш-памяти mBMC.

Обычно пользователи не работают непосредственно с содержанием фильтров. Вместо этого, утилита Server Setup Utility позволяет пользователю выбрать фильтры из фиксированного набора сконфигурированных фильтров событий.

Ниже перечислены типы доступных опций конфигурации оповещений:

- Включение/отключение PEF.
- Настройка действий по оповещению.
- Выбор сконфигурированных событий, вызывающих оповещения.
- Настройка параметров соединения, последовательного порта/модема и связи PPP.
- Настройка информации о пункте назначения оповещения.

4.2.12.5 Оповещение при выключении питания

Контроллер mBMC может генерировать оповещения при выключенном питании системы. Оповещение контрольного счетчика о выключении питания отправляется сразу же после выключения питания, не задерживая его.

4.2.12.6 Оповещение о событиях перезагрузки системы

Прежде чем перезагрузка полностью завершится, должен завершиться процесс отправки оповещений. Это производится для упрощения координации времени контроллера управления mBMC и процедуры инициализации BIOS после перезагрузки системы.

4.2.12.7 Прекращение отправки оповещения

Отправка оповещения может быть прекращена посредством перезагрузки или включения питания системы или посредством отключения отправки оповещений с помощью команды контроллера управления.

4.2.13 Генерирование NMI

Контроллер mBMC генерирует импульсы NMI в следующих случаях:

- При получении команды *Chassis Control* от одного из командных интерфейсов. При использовании этой команды запись события в SEL не производится.
- При нажатии кнопки диагностического прерывания на передней панели.
- Если запись в таблице PEF, соответствующая событию, указывает необходимость генерирования NMI.
- При ошибке процессора IERR или Thermal Trip (если контроллер mBMC настроен соответствующим образом).
- При досрочном истечении времени контрольного счетчика, если при этом в соответствии с настройками должно генерироваться NMI.

Длительность импульса NMI, генерируемого контроллером управления mBMC, составляет 200 мс. Это время выбрано, чтобы BIOS не пропустила NMI, если BIOS находится в обработке SMI и обработчик SMI маскирует NMI.

4.2.14 Генерирование SMI

mBMC может генерировать прерывание SMI при досрочном истечении времени контрольного счетчика, если при этом, в соответствии с настройками, должно генерироваться прерывание SMI. Генерирование SMI может контролироваться программным обеспечением. Вышеуказанные условия могут присутствовать или отсутствовать для генерирования SMI.

4.3 Цепи управления платформой

4.3.1 Интерфейсные сигналы блока питания

Контроллер mBMC поддерживает два сигнала управления блоком питания: *Power On* и *Power Good*. Сигнал *Power On* идет на подсистему питания корпуса и используется для запроса информации об изменениях состояния питания (сигнал включен = запрос на включение питания). Сигнал *Power Good*, подаваемый подсистемой питания корпуса, указывает на текущее состояние питания (сигнал включен = питание подается).

Рисунок 13 показаны сигналы блока питания и их источники. Для включения системы контроллер mBMC включает сигнал *Power On* и ожидает включения сигнала *Power Good*, означающего подачу питания постоянного тока.

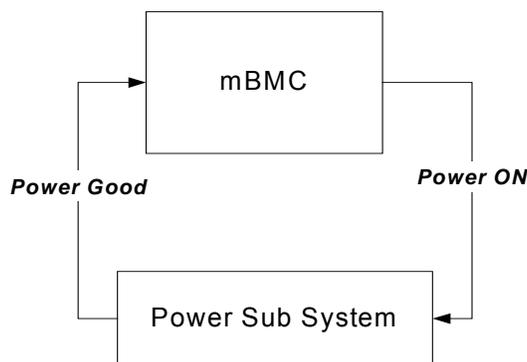


Рисунок 13. Контрольные сигналы блока питания

mBMC использует сигнал *Power Good*, чтобы контролировать наличие питания в системе и проверять соответствие реального состояния питания системы (включено/выключено) и состояния, затребованного сигналом *Power On*.

Отключение сигнала *Power Good* генерирует прерывание, используемое контроллером mBMC, чтобы определить сбой подсистемы питания или отключение тока в электросети. При неожиданном отключении питания контроллер управления mBMC выполняет следующие действия:

1. Немедленно отправляет сигнал перезагрузки системы
2. Выключает систему
3. Ждет выключения системы в течение указанного времени (в зависимости от настроек)
4. Пытается произвести включение системы (в зависимости от настроек)

4.3.1.1 Последовательность включения питания

При включении питания системы в результате одного из событий, перечисленных в Таблица 47, контроллер mBMC выполняет следующую процедуру:

1. Контроллер mBMC включает сигнал *Power On* и ждет получения сигнала *Power Good* от подсистемы питания. Система находится в состоянии перезагрузки.
2. Контроллер mBMC инициализирует все датчики в состоянии инициализации *Power On*, запустив выполнение агента инициализации.
3. Контроллер mBMC пытается включить систему, используя алгоритм FRB3, если алгоритм FRB3 включен.

4.3.1.2 Последовательность выключения питания

Для выключения системы контроллер mBMC выполняет шаги последовательности включения питания в обратном порядке. Эта операция может инициироваться одним из событий, перечисленных в Таблица 47 и идет следующим образом:

1. Контроллер mBMC дает сигнал перезагрузки системы (отключает сигнал *Power Good*).
2. mBMC отправляет команду *Set ACPI Power State*, сообщая о входе в режим S0 всем контроллерам управления, которые должны получать эту информацию в соответствии с записями SDR.
3. Контроллер mBMC отключает сигнал *Power On*.
4. Подсистема питания отключает питания системы после отключения сигнала *Power On*.

4.3.1.3 Источники управления питанием

Действия включения/выключения питания могут быть инициированы источниками, перечисленными в таблице ниже.

Таблица 47. Источники управления питанием

#	Источник	Название внешнего сигнала или внутренней подсистемы	Возможности
1	Кнопка питания	Кнопка питания на передней панели	Включает или выключает питание
2	Контрольный таймер контроллера mBMC	Внутренний таймер контроллера mBMC	Выключает питание или выключает/включает питание
3	Фильтрация событий платформы (Platform Event Filtering)	PEF	Выключает питание или выключает/включает питание
4	Команда	Пересылается процессором команд	Включает питание, выключает питание или выключает/включает питание
5	Сохранение состояния питания	Функция внутренней логики контроллера управления mBMC	Включает питание при восстановлении питания от электросети
6	Набор микросхем	Режим сна S5	Включает или выключает питание

4.3.2 Управление перезагрузкой системы

4.3.2.1 Отправка сигнала Reset

Контроллер управления mBMC отправляет сигнал *System Reset*, чтобы системная плата произвела перезагрузку системы. Контроллер управления mBMC включает сигнал *System Reset* перед включением питания системы. После того, как питание станет стабильным (в соответствии с сигналом подсистемы питания *Power Good*), mBMC устанавливает состояние включения процессора и отключает сигнал *System Reset*, выводя систему из состояния перезагрузки.

Для перезагрузки системы без изменения состояния питания контроллер mBMC выполняет следующие действия:

1. Включает сигнал *System Reset*.
2. Сохраняет это состояние до тех пор, пока кнопка Reset не будет отпущена. Когда перезагрузка системы производится с помощью команды, состояние системы сохраняется в течение определенного времени.
3. Отключает сигнал *System Reset*.

4.3.2.2 Источники перезагрузки

В таблице ниже перечислены источники перезагрузки и описаны действия, предпринимаемые системой.

Таблица 48. Источники перезагрузки системы и действия

#	Источник перезагрузки	Перезагрузка системы?	Перезагрузка контроллера mBMC
1	Включается питание режима ожидания	Нет (нет питания постоянного тока)	Да
2	Включается питание системы	Да	Нет
3	Перезагрузка при нажатии кнопки Reset или при активации ITP	Да	Нет
4	Горячая перезагрузка (например: нажатие клавиш Ctrl-Alt-Del в DOS)	Да	Нет
5	Команда перезагрузки системы	Да	Нет
6	Команда Set Processor State	Да	Нет
7	Контрольный счетчик сконфигурирован на перезагрузку системы	Да	Нет
8	Ошибка FRB3	Да	Нет
9	Действие PEF	Optional	Нет

4.3.3 Управление скоростью вентиляторов

В системной плате встроена аппаратная функция управления скоростью вентилятора в зависимости от наружной температуры при нормальной работе системы с контроллером mBMC и внутренней температуры, определяемой контроллером Sahalee BMC.

Контроллер управления, за одним исключением, не участвует в процессе управления скоростью вентилятора. Эта функция позволяет системной плате включать разные скорости вентиляторов в зависимости от измерений температуры для уменьшения уровня шума от работы системы.

Пороговые значения температуры, при которых скорость вентилятора увеличивается, не соответствуют состоянию некритического сбоя вентилятора, поскольку состояние вентилятора с точки зрения системы остается нормальным.

Для этого используются два аналоговых сигнала Fan Speed, включаемых широтно-импульсными модуляторами системной платы. Эти сигналы могут иметь разные уровни в зависимости от температуры. Для сохранения параметров пороговых значений температуры и соответствующих циклов широтно-импульсных модуляторов выделено несколько байт таблицы инициализации датчиков. Эта таблица или записи SDR загружаются в качестве части конфигурации системной платы.

Встроенное ПО контроллера управления ищет датчик температуры LM30 на плате передней панели. Таким образом, возможность управления скоростью вентилятора не включена по умолчанию для SE7520BB2, как для компонента системной платы, но может быть включена посредством изменения конфигурации контроллера управления.

4.3.3.1 Разгон вентилятора

Некоторые вентиляторы не начинают вращаться, если они запускаются не на высокой скорости. Для обеспечения запуска вентиляторов системная плата запускает вентиляторы на высокой скорости в течение короткого периода после включения системы, а затем, при необходимости, замедляет их скорость.

4.3.4 Управление с передней панели

Контроллер mBMC обеспечивает основные функции управления с передней панели. В их число входят функции кнопки питания, кнопки Reset, кнопки диагностического прерывания (кнопки NMI на передней панели), кнопки идентификации сервера, идентификационного индикатора, индикатора состояния/сбоя и датчика вскрытия корпуса. В число функций передней панели также входят функции блокировки передней панели.

4.3.4.1 Кнопка питания

После получения сигнала *Power Button* контроллер mBMC направляет сигнал PWBTOUT на сигнальный вход PWRBTN в наборе микросхем. В ответ набор микросхем отключает состояние сна SLEEP S5 в схеме конфигурации процессора. Если конфигурация является корректной, сигнал PS_PWRON подается на источник питания. Далее блок питания подает сигнал POWERGOOD на контроллер mBMC.

Если система находится в *Защищенном режиме* или если включена защита кнопки питания, то при нажатии кнопки питания генерируется сообщение о попытке нарушения безопасности платформы, и никаких действий с питанием не производится.

При одновременном нажатии кнопок кнопка питания имеет приоритет перед всеми остальными кнопками. Например, если кнопка режима сна нажимается в течение секунды, а затем нажимается и отпускается кнопка питания, система выключается. Поскольку сигнал *Power Button* пересылается на набор микросхем, он заменяет все остальные сигналы.

4.3.4.2 Кнопка Reset

Кнопка Reset представляет собой быстродействующий контактный выключатель на передней панели. При нажатии кнопки через разъем передней панели направляется сигнал на mBMC, отслеживающий и принимающий его. Сигнал должен быть стабильным в течение не менее 25 мс, прежде чем будет произведено изменение состояния.

При подаче сигнала *Reset* с передней панели на контроллер mBMC, контроллер начинает процесс сброса и перезагрузки. Это действие происходит немедленно и не требует участия никакого программного обеспечения или операционной системы.

Если система находится в *Защищенном режиме* или если включена защита кнопки, то при нажатии кнопки Reset генерируется сообщение о попытке нарушения безопасности платформы, и перезагрузка системы не производится. В режиме сна кнопка Reset отключена.

4.3.4.3 Кнопка диагностического прерывания (Кнопка NMI на передней панели)

Как указано в *спецификации IPMI 1.5*, диагностическое прерывание представляет собой немаскируемое прерывание или сигнал для генерирования диагностической информации и дампов памяти операционной системой. mBMC генерирует NMI, что может использоваться в качестве диагностического интерфейса передней панели.

Кнопка диагностического прерывания подключена к контроллеру mBMC через разъем передней панели. При нажатии кнопки диагностического прерывания контроллер mBMC генерирует импульс NMI длительностью 200 мс.

При этом генерируется событие (датчик кнопки NMI) и фильтр PEF вызывает генерирование немаскируемого прерывания.

4.3.4.4 Кнопка идентификации корпуса и идентификационный светоиндикатор

Интерфейс передней панели поддерживает кнопку *Chassis Identify* и соответствующий светоиндикатор *Chassis Identify*. Второй синий светоиндикатор корпуса расположен с задней стороны системной платы, где его видно с задней стороны интегрированной системы.

Светоиндикатор позволяет идентифицировать одну систему из группы идентичных систем, установленных в стойку.

Идентификационный светоиндикатор может быть включен посредством нажатия кнопки или с помощью локального или удаленного ПО посредством команды IPMI *Chassis Identify*. Ниже приведено описание работы кнопки идентификации корпуса и идентификационного светоиндикатора:

- Состояние сигнала Identify сохраняется при наличии только питания режима ожидания во время выключения/включения и аппаратной перезагрузки системы. Состояние не сохраняется при пропадании питания переменного тока. При подаче тока индикатор по умолчанию выключен.
- Для управления индикатором также может использоваться команда IPMI *Chassis Identify*. Если команда *Chassis Identify* используется для включения индикатора, время действия команды автоматически истечет, и индикатор автоматически отключится, если не будет подана еще одна команда включения индикатора *Chassis Identify*. По умолчанию время действия команды составляет 15 секунд. Системная плата поддерживает дополнительный командный параметр, позволяющий установить время действия команды от 1 до 255 секунд.
- Дополнительный параметр времени действия команды также позволяет программному обеспечению немедленно выключать индикатор.
- Кнопка идентификации корпуса работает в режиме ВКЛ/ВЫКЛ. При каждом нажатии кнопки индикатор включается или выключается. Если индикатор включается с помощью кнопки, он остается включенным в течение неограниченного времени до тех пор, пока кнопка не будет нажата еще раз или пока индикатор не будет выключен с помощью команды *Chassis Identify*.

Таблица 49. Светоиндикаторы идентификации корпуса

Цвет	Условия	После
Синий	Не горит	Ок
	Мигает	Нажата кнопка идентификации корпуса или выполнена команда Chassis Identify

4.3.4.5 Индикатор сбоя/состояния

В таблице ниже показаны состояния индикатора в различных условиях.

Таблица 50. Индикатор сбоя/состояния

Цвет	Условия	После
Зеленый	Горит	Система готова к работе
	Мигает	Система готова к работе, деградация производительности. Сбой процессора, отключен модуль DIMM
Желтый	Горит	Критический сбой: критическое состояние вентилятора, напряжения, температуры
	Мигает	Некритический сбой: некритическое состояние вентилятора, напряжения, температура
Не горит	Горит	Система не готова. Ошибка POST/Прерывание NMI/Отсутствует процессор или терминатор

Критическое состояние

Превышение критических ограничений и неустранимые сбои, связанные со следующими событиями:

- Превышение критических ограничений температуры, напряжения или работы вентиляторов
- Сбой подсистемы питания. Контроллер управления основной платой (BMC) подает сигнал о таком сбое всякий раз при обнаружении сбоя работы системы управления питанием (например, когда BMC определяет, что система остается включенной даже после отправки сигнала об отключении питания)
- Ошибки «Critical Event Logging», включая: неустранимые ошибки ECC, критические/неустранимые ошибки шин, например, PCI SERR и PERR

Некритическое состояние

- Превышение некритических ограничений температуры, напряжения или работы вентиляторов
- Датчик вскрытия корпуса

Состояние деградации

- Система отказоустойчивой загрузки (FRB) или BIOS был отключен один из процессоров
- Часть системной памяти была отключена или исключена BIOS

4.3.4.6 Датчик вскрытия корпуса

Некоторые платформы поддерживают обнаружения вскрытия корпуса. На этих платформах mBMC производит мониторинг состояния сигнала *Chassis Intrusion* и позволяет получить информацию о состоянии сигнала с помощью команд *Get Chassis Status* и *Physical Security*. Если эта возможность включена, изменение состояния датчика вскрытия корпуса приводит к тому, что mBMC генерирует сообщение о событии *Physical Security* со смещением *General Chassis Intrusion*.

4.3.4.7 Блокировка передней панели

Контроллер управления производит мониторинг сигнала «Secure Mode», отправляемого контроллером клавиатуры системной платы. При отправке сигнала Secure Mode контроллер клавиатуры может блокировать возможность выключения питания и перезагрузки системы с помощью соответствующих клавиш. Сигнал Secure Mode не может блокировать возможность перехода в режим сна с помощью соответствующей кнопки.

Контроллер управления генерирует сообщения о событиях «Secure Mode Violation Attempt» при попытке выключения питания или перезагрузки системы в защищенном режиме.

Набор защищенных кнопок при активации защищенного режима варьируется в зависимости от состояния питания системы ACPI, и в зависимости от того, производится ли управление контроллером BMC Sahalee или контроллером mBMC, как представлено в следующей таблице: Различия выделены.

Примечание: Контроллер mBMC не позволяет включать систему с помощью кнопки в защищенном режиме и при включенном сигнале блокировки передней панели.

4.3.5 Информация FRU

Архитектура управления платформой поддерживает предоставление информации FRU системной платы и основных съемных компонентов корпуса. Под компонентом подразумевается любая печатная плата, содержащая активные электронные цепи.

Информация FRU включает серийный номер платы, номер детали, название, ярлык и другие данные. FRU, содержащие контроллер управления, используют контроллер для предоставления доступа к информации FRU. FRU без контроллера управления выводят информацию FRU через EEPROM посредством прямого подключения к частной шине I²C датчика контроллера mBMC. Это позволяет системному интегратору установить устройство FRU без установки контроллера управления. Данная информация доступна только с помощью команд Master Write-Read IPMI.

Контроллер управления mBMC содержит интерфейс для связи с логическими устройствами FRU в соответствии со *Спецификацией интеллектуального интерфейса управления платформами, версия 1.5*. Этот интерфейс позволяет использовать команды, служащие для доступа к информации FRU и функциям управления, имеющимся на системной плате (FRU ID 0). Эти команды могут отправляться через любые интерфейсы. Все остальные устройства FRU должны быть доступны с помощью команд Master Write-Read IPMI.

4.3.5.1 Формат области инвентаризации FRU контроллера mBMC

Формат области инвентаризации FRU контроллера mBMC соответствует Определению хранилищ информации FRU в системах управления платформами. Дополнительную информацию можно найти в *Определении хранилищ информации FRU в системах управления платформами, версия 1.0*.

Контроллер управления mBMC обеспечивает только низкоуровневый доступ к области хранения данных FRU. Он не производит проверку или интерпретацию данных, хранимых в памяти FRU.

Информация FRU системной платы хранится во внутренней флэш-памяти контроллера mBMC.

4.4 Датчики

4.4.1 Коды типов датчиков

В таблицах ниже перечислены идентификационные коды датчиков и приведена информация о типах датчиков, названиях датчиков, поддерживаемых пороговых значениях, информация о включении и выключении сигналов и краткое описание назначения датчиков. В табличном виде информация по датчикам и событиям приведена в *Спецификации интеллектуального интерфейса управления платформами, версия 1.5*.

- **Тип датчика**
Тип датчика относится к пронумерованным значениям в таблице *Sensor Type Codes* в спецификации IPMI. Он предоставляет контекст интерпретации датчика, т.е. описывает физический объект или характеристику, представляемую этим датчиком.
- **Тип события/показаний**
Типы событий/показаний приведены в таблицах *Event/Reading Type Code Ranges* и *Generic Event/Reading Type Codes* в спецификации IPMI. Учтите, что цифровые датчики являются дискретными датчиками, могущими иметь только два состояния.
- **Смещения/триггеры событий**
Граничные параметры событий предназначены для генерирования событий датчиками с ограничениями.
 - [u,l][nr,c,nc] верхний невозстановимый предел, верхний критический предел, верхний некритический предел, нижний невозстановимый предел, нижний критический предел, нижний некритический предел
 - uc, lc верхний критический, нижний критическийТриггеры событий представляют собой смещения, генерирующие события для датчиков дискретного типа. Смещения можно найти в таблицах *Generic Event/Reading Type Codes* или *Sensor Type Codes* в спецификации IPMI, в зависимости от того, являются ли события/показания датчика родовыми или относящимися только к этому датчику.
- **Включение/отключение сигналов**
Индикаторы включения и отключения указывают на тип событий, которые может генерировать датчик:
 - As: Отключение сигналов
 - De: Включение сигналов
- **Показания/ Начало**
 - Показания – значение, выводимое для датчиков граничных значений и других недискретных датчиков.
 - Смещения – смещения дискретных датчиков, которые можно считывать с помощью команды *Get Sensor Reading*. Все триггеры событий могут считываться (если не указано иное), т.е. считываемые смещения представляют собой смещения, не генерирующие события.
- **Данные событий**
Данные, включаемые в сообщения об ошибках, генерируемые соответствующим датчиком. Для датчиков граничного типа используются следующие аббревиатуры:
 - R: Показания
 - T: Граничное значение

В таблице ниже перечислены встроенные датчики контроллера управления mBMC. Эти датчики являются встроенными и подключены аппаратным путем. Они не могут быть изменены пользователем.

Таблица 51. Встроенные датчики контроллера mBMC

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Данные события
Физическое нарушение безопасности	01	Физическое нарушение безопасности 05h	Специально для датчика 6Fh	Потеряна связь с локальной сетью	As	Потеряна связь с локальной сетью	Активация смещения
Нарушение безопасности платформы	02	Нарушение безопасности платформы Попытка 06h	Специально для датчика 6Fh	Внешний доступ с неверным паролем	As	–	Активация смещения
Статус источника питания	03	Источник питания 09h	Специально для датчика 6Fh	<ul style="list-style-type: none"> • включение/выключение питания • Выключение/включение питания • Кнопка отключения 	As	–	Активация смещения
Кнопка	04h	Питания 14h	Специально для датчика 6Fh	Кнопка питания Кнопка Reset	As	–	Активация смещения
Контрольный	05h	Контрольный таймер 2 23h	Специально для датчика 6Fh	<ul style="list-style-type: none"> • Timer Expired • Аппаратная перезагрузка • Выключение питания • Выключение/включение питания • Прерывание таймера 	As	–	Активация смещения

В таблице ниже описываются датчики системной платы/платформы, поддерживаемые контроллером управления.

Таблица 52. Датчики платформы серверной платы Intel® SE7520BB2, необходимые для управления

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Event Data	PEF Действие	Тип записи SDR
Физическое нарушение безопасности	07h	Физическое нарушение безопасности 05h	Специально для датчика 6Fh	Вскрытие корпуса	As	Вскрытие корпуса	Активация смещения	X	02
CPU1 12v	08h	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
CPU2 12v	09h	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
VB +1,5 V	0Ah	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
VB +1,8 V	0Bh	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
VB +3,3V	0Ch	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
VB +5V	0Dh	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
VB +12V	0Eh	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
VB -12V	0Fh	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
FSB Vtt	10h	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
MCH Vtt	11h	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
SCSI Core(1.8v)	12h	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Proc1 VCCP	13h	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Proc2 VCCP	14h	Напряжение 02h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 1	15h	Вентилятор 04h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 2	16h	Вентилятор 04h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Event Data	PEF Действие	Тип записи SDR
Тахометр вентилятора 3	17h	Вентилятор 04h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 4	18h	Вентилятор 04h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 5	19h	Вентилятор 04h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 6	1Ah	Вентилятор 04h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 7	1Bh	Вентилятор 04h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 8	1Ch	Вентилятор 04h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Тахометр вентилятора 9	1Dh	Вентилятор 04h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Системное событие	1Eh	Событие системы 12h	Специально для датчика 6Fh	Действие PEF	As	–	Активация смещения	–	02
Proc1 IERR	1Fh	Процессор 07h	Специально для датчика 6Fh	IERR	As	–	Активация смещения	–	02
Proc2 IERR	20h	Процессор 07h	Специально для датчика 6Fh	IERR	As	–	Активация смещения	–	02
Proc1 Thermal trip	21h	Процессор 07h	Специально для датчика 6Fh	Температурное нарушение	As	–	Активация смещения	Fault LED Action	02
Proc2 Thermal trip	22h	Процессор 07h	Специально для датчика 6Fh	Температурное нарушение	As	–	Активация смещения	Fault LED Action	02
Proc1 Температурный контроль	23h	Температура 01h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	Активация смещения	Fault LED Action	01
Proc2 Температурный контроль	24h	Температура 01h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	Активация смещения	Fault LED Action	01
Diagnostic Interrupt Button	25h	Критическое прерывание 13h	Специально для датчика 6Fh	Кнопка NMI на передней панели	As	–	Активация смещения	NMI Pulse	02

Название датчика	Номер датчика	Тип датчика	Тип события/показаний	Признаки начала события	Включение/отключение сигнала	Показания/Начало	Event Data	PEF Действие	Тип записи SDR
Chassis Identify Button	26h	Питания 14h	Generic 03h	Состояние отключено Состояние включено	As & De	–	Активация смещения	Идентификационный индикатор Действие	02
Proc1 Fan	27h	Вентилятор 04h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Proc2 Fan	28h	Вентилятор 04h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Proc1 Core temp	29h	Температура 01h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
Proc2 Core temp	2Ah	Температура 01h	Порог 01h	[u, l][nr, c, nc]	As & De	Аналоговый	R, T	Fault LED Action	01
CPU Configuration Error	2Bh	Процессор 07h	Характерный 03h	Состояние включено	As & De	Дискретный	R, T	Fault LED Action	02

4.5 Блок-схема управления сервером

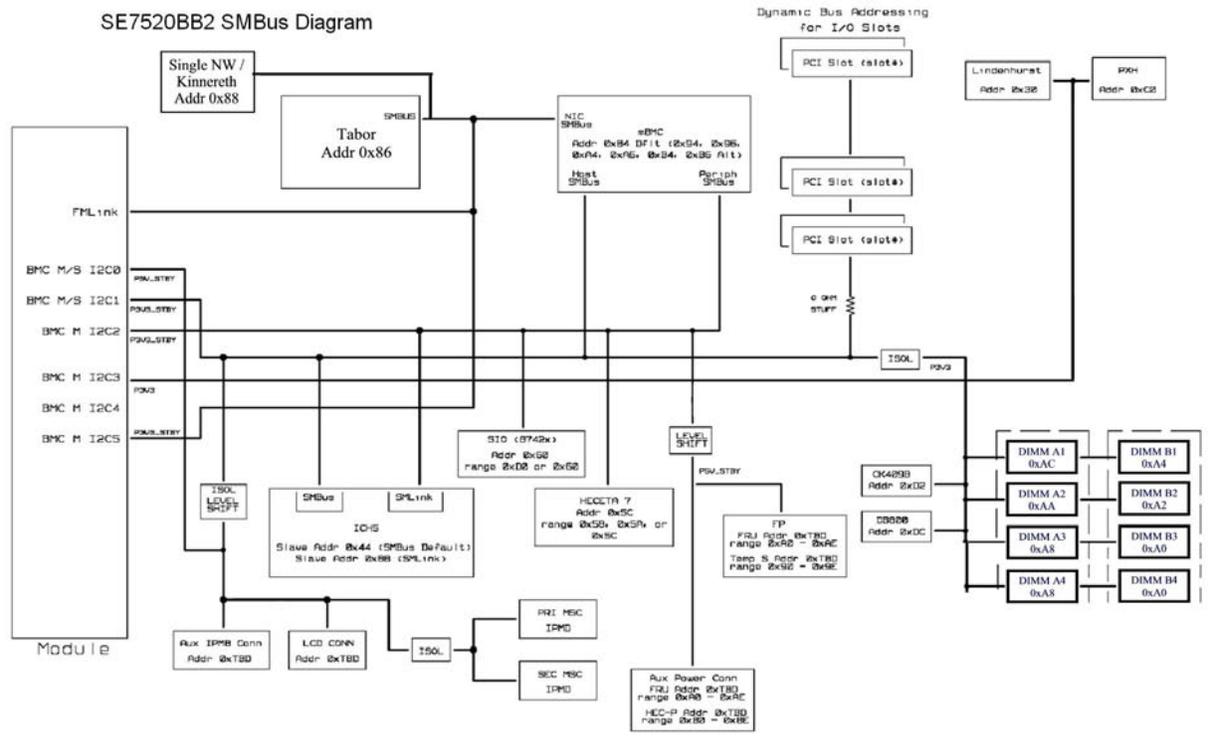


Рисунок 14. Блок-схема управления сервером

4.5.1 Шины управления и разъемы

Серверная плата взаимодействует с контроллером управления сервером / системой (SMC) через разъем управления системой. При использовании карты управления системой функции управления системой будут реализованы посредством этой карты. Если карта не установлена, интерфейс управления системой отсутствует, присутствует только аппаратный монитор (Heseta 7 и суперконтроллер ввода/вывода) для вентиляторов, напряжения, температуры, перезагрузки и мониторинга напряжения.

Платформа имеет два режима работы управления системой. Первый режим представляет собой исключительно мониторинг аппаратного обеспечения и управление вентиляторами для осуществления мониторинга критических систем и управления всеми вентиляторами. Во втором режиме используется карта управления системой, обеспечивающая поддержку расширенных функций управления сервером, управления функциями питания / перезагрузки и предоставления интерфейса для доступа пользователя к устройствам на различных шинах SMBus. Это осуществляется посредством соединения, используемого для управления системой, которое описано в предыдущем подразделе.

4.5.2 Клавиатура и мышь SIO

При необходимости удаленного управления сигналы контроллера SIO клавиатуры/мыши могут быть получены с KVM. Логика модуля выполняет преобразует выходное напряжение 3,3В в требуемое напряжение суперконтроллера ввода/вывода.

4.5.3 Клавиатура и мышь PS2

Сигналы PS2 клавиатуры/мыши подаются на KVM для кодирования и отправки по шине FML/SMBUS. Таким образом работа локальной клавиатуры/мыши может отслеживаться при удаленном управлении. KVM передает эти данные на суперконтроллер ввода/вывода.

Работа локальной клавиатуры/мыши является приоритетной по сравнению с работой в удаленном режиме. Напряжение сигналов, подаваемых с разъемов PS2, обычно составляет 5В, а KVM не поддерживает напряжение 5В. Логика преобразования напряжения модуля используется для преобразования двухстороннего взаимодействия в сигналы уровня, поддерживаемого KVM.

Для обеспечения работы решения KVM следует разорвать соединение PS2 и SIO на основной плате. При подаче сигнала KM_INHIB_N посредством данной логики следует разорвать соединение на основной плате.

4.5.4 Fast Management Link (FML)

Интерфейс Fast Management Link представляет собой интерфейс, работающий в режиме главного устройства/подчиненного устройства, а также в режиме SMBUS. FML поддерживает высокоскоростной интерфейс для взаимодействия с сетевыми компонентами Intel® для KVM и трафика управления.

Шина FML является частной шиной Intel. Электрические характеристики и протоколы шины описаны в другом документе. Частота данной шины составляет 8 МГц. Она используется для определения маршрута типа «точка-точка», и в целом использует протоколы SMBUS; исключение составляют отдельные провода для ввода данных (FML_SDA) и вывода данных (FML_MDA_I2CSDA). Имеется отдельная линия для синхронизирующего импульса (FML_CLK_I2CSCL), всегда отправляемого главным устройством на шине.

Шина поддерживает линию прерываний/синхронизирующих импульсов (FML_SINTEX), всегда отправляемых подчиненным устройством. Две функции шины подробно описаны следующим образом:

- Предупреждать главное устройство шины о считывании данных с подчиненного устройства шины. При подаче прерывания оно подается до следующего запуска.
- Расширение синхронизирующего импульса. Если этот параметр имеет нулевое значение, главное устройство шины растягивает текущий тактовый цикл (если синхронизирующий сигнал главного устройства шины на высоком уровне, он должен оставаться на этом уровне до тех пор, пока сигнал FML_SINTEX тоже не будет на высоком уровне). Таким образом, подчиненное устройство может сохранить транзакцию, которая еще не считана.

Сигнал FML_SINTEX функционирует как сигнал оповещения во время простоя шины (между остановкой и запуском) и как запрос на расширение синхронизирующего импульса, поступающий от подчиненного устройства во время транзакции.

Реакция шины и транзакция являются такими же, как у шины SMBus (запуск, остановка, повторный запуск...).

Как видно из принятого наименования, шина может работать в SMBUS-совместимом режиме, в котором вывод данных действует в качестве двусторонней линии данных SMBUS, а генератор синхронизирующих импульсов действует в качестве линии SMBUS CLK.

Основное различие между шиной SMBus и шиной FML заключается в том, что шина FML является устройством типа «точка-точка» при наличии одного главного устройства и одного подчиненного устройства. Эти устройства не могут выполнять функции друг друга. Каждый провод в интерфейсе управляется одним источником (главным устройством или подчиненным устройством), и не является шиной с открытым стоком.

4.5.5 Шина LPC /порты стиля контроллера клавиатуры

FMM сообщается с системой, в которой он расположен, через шину LPC. FMM включает три порта KCS 8042*. Данные порты можно использовать для стандартной связи со встроенным контроллером через интерфейс IPMI 1.5 или ACPI. Также возможно использование трех портов для интерфейса ПО управления системой IPMI, интерфейса режима управления системой и интерфейса встроенного контроллера ACPI.

Интерфейс KCS 0 может прерывать сервер, подавая выходной сигнал SYSIRQ.

Порты KCS предоставляемые FMM, имеют определенные адреса ввода/вывода на шине LPC. Программирование данных адресов производится посредством специального ПО FMM в целях обеспечения гибкости интеграции системы. Из числа внешних источников доступ к данным портам обеспечивается только через хост LPC.

С точки зрения устройств шины LPC, каждый порт подчиненного устройства KCS использует три реестра и занимает два байта пространства ввода / вывода. Каждый порт подчиненного устройства должен начинаться на границе адресов 2 байта.

Примечание: Доступ к этим реестрам **должен** осуществляться при 8 битах в каждый момент времени; аппаратное обеспечение Sahalee поддерживает только операции записи по 8 бит.

Конфигурация адреса ввода / вывода хоста, на который отвечают интерфейсы, производится специальным ПО Sahalee. После перезагрузки Sahalee, LPCPD# или LRST# устанавливаются значения по умолчанию всех реестров интерфейса контроллера клавиатуры; при этом интерфейс не будет реагировать на цикл LPC до тех пор, пока не будет запрограммирован его реестр адресов базы KCS.

Если одному и тому же базовому адресу соответствует более одного интерфейса KCS (не рекомендуется), то приоритет имеет интерфейс с самым низким номером, который и отвечает на цикл LPC.

4.5.6 Порт USB

Интерфейс USB позволяет использовать KVM в качестве подчиненного объекта контроллера USB. В результате KVM будет функционировать как устройство класса хранения данных, например, дисковод или CD-ROM, обеспечивая переключение по сети. Подчиненный интерфейс – USB 1.1

4.5.7 Интерфейсы I²C

FMM включает два интерфейса I²C, работающих и как главное устройство и как подчиненное устройство (интерфейсы I²C 0 и 1) и четыре интерфейса I²C, работающих только как главное устройство (интерфейсы I²C 2, 3, 4 и 5). Все интерфейсы могут генерировать синхронизирующий сигнал I²C со скоростью, устанавливаемой во встроенном ПО. Скорость синхронизирующих импульсов I²C зависит от главного генератора синхронизирующих импульсов FMM. Программируемые величины поддерживают стандартную скорость 1 Мбит/с, а также среднюю и высокую скорость синхронизирующих импульсов, что можно использовать в частных случаях, когда подчиненные устройства I²C поддерживают высокую скорость синхронизирующих импульсов.

Интерфейс главного устройства I²C поддерживает 10-разрядную адресацию при стандартных точках расположения 10-разрядных адресов I²C. Данная поддержка осуществляется посредством интерпретации интерфейсом начального байта адреса.

Все интерфейсы I²C совместимы с SMBUS 2.0.

Интерфейсы, работающие как главное устройство и подчиненное устройство, имеют два отдельных реестра передачи. Реестр передачи данных главного устройства I²C используется, когда интерфейс работает как главное устройство, обеспечивающее доступ к подчиненному устройству. Реестр передачи данных подчиненного устройства I²C используется для записи данных на шину, когда интерфейс используется как подчиненное устройство, с которого считываются данные.

Интерфейсы, работающие только как главные устройства, не имеют реестра передачи данных подчиненного устройства I²C.

Разделы данных интерфейсов, работающие как подчиненные устройства, можно сконфигурировать с помощью специального ПО FMM для ответа на один, два или три отдельных адреса подчиненных устройств.

Входные синхронизирующие импульсы и данные I2C контроллера Sahalee проходят через цифровой фильтр, и ошибочные данные, идущие менее четырех циклов синхронизации контроллера Sahalee, не принимаются. Не принимаются ошибки высокой и низкой полярности.

В данной спецификации транзакция определяется как передача данных, ограниченная запуском и остановкой, или запуском и повторным запуском. Поток определяется как одна или более транзакций, которые ограничены запуском и остановкой.

В режиме главного устройства имеется два типа транзакций шины: Транзакция Master Transmit и транзакция Master Receive. Транзакция Master Transmit относится к записи данных на подчиненное устройство. Транзакция Master Receive относится к считыванию данных с подчиненного устройства. Интерфейс I²C распознает тип транзакции по выборке бита 0 XMIT_DATA при записи реестра передачи данных главного устройства I²C посредством набора битов START. Если бит 0 XMIT_DATA равен 0, данная транзакция является транзакцией Master Transmit. Если он равен 1, транзакция является транзакцией Master Receive.

В режиме главного устройства интерфейс отвечает за генерирование синхронизирующих сигналов I²C. Происходит непосредственно при выполнении транзакции Master Transmit. Каждый байт, записанный в реестр передачи данных главного устройства I²C, обеспечивает генерирование на шине девяти циклов синхронизирующих сигналов: из них восемь для бит данных, и один для бита ACK/NAK.

4.5.8 16550* UART

FMM имеет два 16550-совместимых универсальных асинхронных приемопередатчика (UART) для последовательной связи. UART#1 используется интерфейсом модуля EMP; UART#2 используется для интерфейса ICMB.

***Примечание:** Интерфейс (EMP) не использует сигнал DSR. Когда этот модуль используется вместе с контроллером SIO 87427, сигналы EMP данного модуля прямо подключены к сигналам контроллера SIO.*

4.5.9 Прерывания

Модуль может принимать события прерывания на контактах выходов XINTx. Два прерывания XINT контроллера Sahalee используются KVM и частной функцией сетевого адаптера. Прерывание XINT2 используется для события прерывания.

4.5.10 Контакты GPIO и индикаторы жестких дисков

Многие внешние контакты интегрированных периферийных устройств FMM также можно использовать как управляемые программами контакты GPIO. Состояние контактов (входные сигналы) может считываться в любое время. Функция источника выходного сигнала выбирается через многоканальный контроллер, который осуществляет выбор между функциями периферийного и общего ввода / вывода (GPIO) в цикле ввода/вывода.

Выходные буферы GPIO могут быть настроены на работу с каскадным выходом или открытым стоком. В каждый буфер включено небольшое повышение выходного напряжения (минимальное значение 12К кОм, максимальное значение 48К кОм), которое подключено к VDD. При включении эти контракты имеют функцию GPIO с открытым стоком в режиме высокого сопротивления. При перезагрузке FMM функции GPIO не меняются. Все сигнальные контакты FMM поддерживают напряжение 5В, поскольку два контакта VDD (5В) подключены к источнику питания 5В. FMM содержит семь выходных буферов для активизации индикаторов (12 мА ток поглощения при 0,4 В, 12 мА ток поглощения при 2,8 В).

4.5.11 Поддерживаемые состояния сна

ICH5-R управляет состояниями сна системы. Поддержка состояний режима сна S0, S1, S4 и S5. BIOS или ОС вызывает состояние сна системы. Это происходит в ответ на нажатие кнопки питания или срабатывание таймера отсутствия активности. Обычно ОС определяет, в какое состояние сна следует перейти. Однако при удерживании кнопки питания в нажатом состоянии в течение 4 секунд система сразу же переходит в состояние S5. При переходе в обусловленное программным обеспечением состояние сна, ICH5-R предпринимает попытки перевести систему в состояние сна, перейдя в состояние CPU C2.

4.5.11.1 Состояние S0

Это является нормальным режимом работы, хотя в этом состоянии также могут использоваться некоторые режимы сохранения энергии при помощи Остановки работы CPU и стопового синхронизирующего импульса (состояния CPU C1 и C2). Режим S0 поддерживает самое быстрое время отклика при спящем режиме системы, поскольку система остается включенной и память пригодна для работы.

4.5.11.2 Состояние S1

Состояние S1 начинается после поступления сигнала спящего режима CPU от ICH5-R (состояние CPU C3). Система остается включенной, а содержание памяти пригодно для работы, но процессоры находятся в режиме наименьшего потребления энергии. При однопроцессорной конфигурации ОС использует драйверы ACPI для отключения хозяев шины, очищает и делает недействительной кэш-память для прежде чем войти в данный режим с многопроцессорной конфигурацией. Время ожидания пробуждения в данном режиме несколько длиннее, чем в режиме S0, однако, энергопотребление улучшено.

4.5.11.3 Состояние S2

Состояние S2 не поддерживается.

4.5.11.4 Состояние S3

Состояние S3 называется Suspend to RAM (STR). Не поддерживается.

4.5.11.5 Состояние S4

Состояние S4 называется режимом сна с сохранением данных на диск с точки зрения аппаратного обеспечения данное состояние совпадает с состоянием S5. ОС сохраняет рабочую информацию системы в специальном секторе жесткого диска. Хотя система включается и полностью перезагружается, время перезагрузки приложения сокращено, поскольку компьютер возвращается к состоянию до выключения.

4.5.11.6 Состояние S5

Данное состояние является нормальным выключенным состоянием при нажатии как кнопки выключения, так и кнопки программного выключения. При этом выключается вся система, кроме логики, необходимой для перезапуска. В данном состоянии поддерживаются несколько «событий пробуждения». Система остается в состоянии S5, до тех пор, пока блок питания подключен к розетке. Если блок питания отключается от розетки, данное состояние считается Механическим выключением или G3.

4.5.12 События пробуждения

Типы событий пробуждения и ожидание пробуждения зависят как от фактического объема электропитания системы в конкретном состоянии сна, так и от места хранения рабочей информации. Независимо от состояния сна, существует постоянная поддержка пробуждения при включении кнопки энергопотребления, кроме ситуаций механического выключения. При нахождении в состоянии сна, в соответствии со *Спецификацией PCI 2.2*, система использует дополнительную 3,3В линию режима ожидания для каждого разъема PCI и сигнала PME. Это позволяет любой соответствующей карте PCI пробуждать систему от состояния сна, кроме ситуаций механического выключения.

4.5.12.1 Пробуждение от состояния сна S1

В состоянии S1, система полностью подключена для обеспечения пробуждения порта USB, клавиатуры/ мыши PS2, функции RTC Alarm, и сигнала PCI PME. POE BIOS не поддерживает пробуждение порта USB, клавиатуры/ мыши PS2, функции RTC Alarm, и сигнала PCI PME.

4.5.12.2 Пробуждение от состояний сна S4 и S5

Кнопка энергопотребления и события ЛС поддерживают пробуждение от состояний S4 и S5.

4.5.13 Восстановление питания переменного тока в случае отказа системы

Конструкция позволяет поддерживать два режима работы по отношению к восстановлению питания АС. Пользователь выбирает (с помощью экрана установки BIOS) включается ли система или остается выключенной, после того, как восстанавливается переменный ток. При отказе питания переменным током, ICH5-R не использует BIOS для перезагрузки и проверки состояния системы. Регистровая переменная ICH «afterG3» может устанавливаться BIOS на базе входной конфигурации пользователя. После восстановления питания переменным током ICH проводит внутреннюю проверку.

4.5.14 Поддержка управления питанием PCI

Спецификация управления питанием PCI выделяет три области для проверки: сигнал перезагрузки при состоянии сна должен оставаться на низком уровне, система должна поддерживать сигнал PCI PME и напряжение разъемов PCI в 3,3В. Конструкция должна соответствовать *Спецификации управления питанием PCI* и *Спецификации PCI версии 2.2* и обеспечивать дополнительную линию питания напряжением 3,3В для каждого PCI, PCI-X, и разъемов PCI Express slots. Данная поддержка позволяет любой подходящей адаптерной карте PCI, PCI-X, и PCI Express осуществлять пробуждение системы из любого состояния сна, кроме ситуаций механического выключения. Из-за ограниченного количества энергии при питании в 3,3В, пользователь и ОС должны осторожно выбирать конфигурацию системы в соответствии со *Спецификацией управления питанием PCI*.

4.5.14.1 Событие управления питанием (PME)#

Сигналы PME# разъемов PCI-X на каждой шине PCI-X соответствуют сигналам PXM PME#. Эти контакты.

Сигналы PME# обеих шин PCI-X также подвергаются операциям ANDed и wire-ORed с помощью разъемов PCI Express, а затем направляются к ICH GPIO. Данный GPI соответствует «ACPI, (т.е. Разряды Состояний и Разрешения находятся в пространстве устройства ввода-вывода ACPI). Данные процедуры используются для вывода из состояний сна (S1-S5). Сигнал PCI 32/33 PME соответствует сигналу ICH PME.

4.5.14.2 RESET# Control

ICH всегда управляет сигналом PCI Reset (Низким или Высоким), даже если система находится в спящем состоянии. Это необходимо для управления питанием PCI. Любое активное устройство сможет протестировать данный сигнал, чтобы удостовериться, что система в состоянии перезагрузки.

4.5.14.3 PCI Vaux

Все разъемы PCI, PCI-X, и PCI Express используются с мощностью 3,3В-аух. для поддержки событий пробуждения от состояний сна. Электропитание EPS12V составляет 2А или 5VSB, с переходом к 3,3VSB при спящем состоянии системы S4 или S5.

4.6 Индикаторы состояний системы

В соответствии с SSI EEB, стандартные индикаторы статуса системы для PWR/SLP, HDD и других индикаторов находятся на передней. Двухцветный индикатор используется в PWR/SLP LED для сигналов Система включена (зеленый) и Система Спит (желтый). Сигналы PWR/SLP LED контролируются ICH и зависят от логики системной платы вплоть до момента, когда он отсылаются на разъем передней панели Единый индикатор HDD сообщает о любых действиях жестких дисков SCSI или IDE.

Индикаторы состояния ЛС 10/100 поддерживаются задней панелью 10/100 RJ45 Jack и передней панелью в соответствии со спецификацией SSI-EEB. Зеленый индикатор показывает скорость ЛС – 10МБ/с (Выкл.) или 100МБ/с (Вкл.). Желтый индикатор LED показывает целостность соединений (Вкл. – хорошо, Выкл. –плохо) и активность ЛС (мигает).

Индикаторы состояния ЛС 10/100/1000 поддерживаются задней панелью 10/100/1000 RJ-45 Jack и передней панелью в соответствии со спецификацией SSI-EEB. Двухцветный индикатор показывает скорорсть ЛС – 10МБ/с (Выкл.), 100МБ/с (Зеленый) или 1000 МБ/с (Желтый). Зеленый сигнал обозначает как целостность соединения (Вкл. – хорошо, Выкл. –плохо), так и активность ЛС (мигает).

4.6.1 Передняя панель

Функции и установка передней панели соответствуют версии спецификации SSI-EEB 3.5.

в настоящем виде, она состоит из:

- Пяти индикаторов со следующими конфигурациями:
 - Питание/режим сна
 - Активность сетевого адаптера #1
 - Активность сетевого адаптера #2
 - Активность жесткого диска
 - Состояние
- Кнопка перезагрузки
- Кнопка питания
- Кнопка режима сна
 - *Скрытая* кнопка NMI
 - Порт USB
 - Датчик вскрытия корпуса
 - SMBus

Серверная плата SE7520BB2 может быть изменена для установки в стойку, при этом индикаторы также устанавливаются на передней панели, но оказываются недоступны/невидимы при конфигурации корпуса «пьедестал».

- Кнопка идентификации
- Индикатор идентификации системы

Кроме того, передняя панель оборудована встроенным температурным датчиком (DS1621) взаимодействующим через SMB-порт по адресу 9A.

Если серверная плата SE7520BB2 соответствует SSI-EEB, передняя панель поддерживает все рекомендованные данной спецификацией функции, а также некоторые дополнительные функции, не представленные в спецификации.

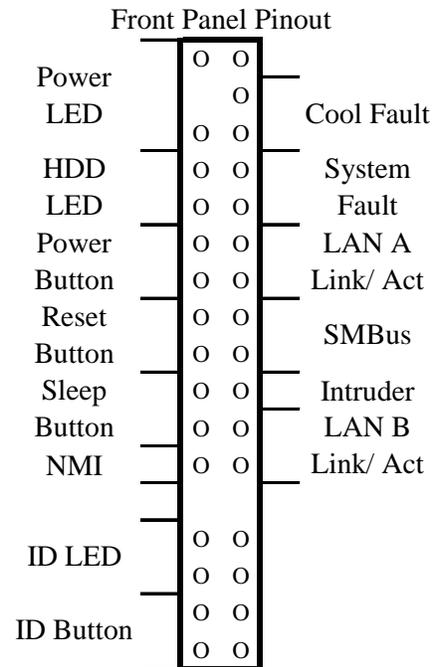


Рисунок 15. Схема контактов передней панели

Таблица 53. Цветовая индикация на передней панели

Название:	Цвет	Условия	Описание
Питание/ режим сна	Зеленый	ВКЛЮЧЕН	Питание включено
	Зеленый	МИГАНИЕ	Режим сна (S1)
	-	ВЫКЛЮЧЕН	Выключение питания (также S4)
Состояние	Зеленый	ВКЛЮЧЕН	Система Готова/ Нет Оповещения
	Зеленый	МИГАНИЕ	Система готова к работе, деградация производительности: Сбой процессора, отключен модуль DIMM
	Желтый	ВКЛЮЧЕН	Предупреждение о критической ошибке: Критический сбой модуля питания, критический сбой вентилятора, напряжение (блок питания), сбой напряжения и температуры
	Желтый	МИГАНИЕ	Предупреждение о некритической ошибке Сбой избыточного вентилятора, сбой избыточного модуля питания, некритический сбой температуры и напряжения
	-	ВЫКЛЮЧЕН	Система не готова: Ошибка POST/Прерывание NMI/Отсутствует процессор или терминатор
Жесткий диск (интерфейс IDE)	Зеленый	МИГАНИЕ	Доступ к накопителям на жестком диске
	Желтый	ВКЛЮЧЕН	Сбой жесткого диска
	-	ВЫКЛЮЧЕН	Нет Доступа и Нет Сбоев в Работе Жесткого Диска
LAN#1- активность	Зеленый	ВКЛЮЧЕН	Связь с ЛС / Нет Доступа
	Зеленый	МИГАНИЕ	Доступ к ЛС
	-	ВЫКЛЮЧЕН	Не активен
LAN#2- активность	Зеленый	ВКЛЮЧЕН	Связь с ЛС / Нет Доступа
	Зеленый	МИГАНИЕ	Доступ к ЛС
	-	ВЫКЛЮЧЕН	Не активен
Идентификация	Синий	МИГАНИЕ	Устройство, выбранное для идентификации
	-	ВЫКЛЮЧЕН	Идентификационный индикатор выключен.

Требования:

- Для поддержки подключаемости передней панели, необходим 2x17 0,1-дюймовый необмотанный поляризованный разъем. Первые 24 контакта (2x12) соответствуют *Спецификации SSI-EEB* по разводке кабеля и его функциям. Контакты разъема 25/26 не поддерживают размеры 2x12 (как указано в SSI-EEB). Индикаторы могут быть установлены на передней панели в активном режиме или режиме ожидания с мощностью 5В, 3,3В. Индикаторы включения/сна и шина SMBus являются единственными компонентами передней панели, обеспечивающимися питанием спящем режиме основной системы.
- Также необходимо обеспечить достаточный зазор между разъемом передней панели для правильной установки/ извлечения кабеля передней панели.
- Системная плата должна поддерживать один 2x5 (без установки контакта 9) 0,1-дюймовый разъем для подключения порта USB 2.0 к передней стороне корпуса. Схема/ тип контактного разъема подробно описывается в *Спецификации SSI-EEB*.

Один USB-порт находится на передней панели. Этот порт подключен к передней стороне системы через системную плату. Данный порт соответствует порту USB 2.0 и не поддерживает функцию пробуждения.

5. Сообщения об ошибках и их обработка

5.1 Распространение ошибки

При обнаружении ошибок во время выполнения процедуры POST, сообщения об ошибках или коды ошибок отображаются либо на видео экране, либо с помощью серии звуковых сигналов, в том случае, если видео еще не было установлено.

Коды ошибок определяются корпорацией Intel и всегда, когда это возможно, совместимы с кодами ошибок более ранних платформ.

5.2 Отказоустойчивая загрузка (FRB)

5.2.1 Контрольный таймер FRB-3 – ошибка перезагрузки загрузочного процессора

BIOS и встроенный микрокод обеспечивают возможность загрузки даже в случае ошибки одного из процессоров во время тестирования системы при включении. BMC содержит два контрольных таймера, контролирующих перезагрузку системы по истечении определенного периода времени. Отсчет времени на первом таймере (FRB-3) начинается с момента выхода системы из состояния аппаратной перезагрузки. Если загрузочный процессор успешно перезагружается и начинает выполнение команд, BIOS отключает таймер FRB-3 в контроллере BMC и система продолжает выполнение процедуры POST. Если таймер не срабатывает из-за того, что загрузочный процессор не может получить или выполнить код BIOS, контроллер BMC перезагружает систему и отключает неисправный процессор. Контроллер BMC переключает загрузочные процессоры до тех пор, пока BIOS не удастся отключить таймер FRB-3. Контроллер BMC передает на системный динамик звуковые сигналы при невозможности обнаружить исправный процессор. Этот цикл повторяется бесконечно до тех пор, пока не обнаруживается исправный процессор. Процедура переключения между всеми процессорами в системе повторяется после перезагрузки системы или после цикла выключения/включения питания. Программная перезагрузка не влияет на таймер FRB-3. Время действия таймера FRB3 устанавливается встроенным ПО.

5.2.2 Контрольный таймер FRB-2 – ошибка тестов POST при выключении загрузочного процессора

Второй контрольный таймер (FRB-2) контроллера BMC устанавливается BIOS на несколько минут, чтобы дать системе время для выполнения процедуры POST. Таймер FRB-2 включается до отключения таймера FRB-3, чтобы избежать возникновения незащищенного временного «окна». Ближе к окончанию процедуры POST BIOS отключает таймер FRB-2. Если система содержит более 1 ГБ памяти, и если пользователь требует тестировать каждое DWORD памяти, контрольный таймер отключается перед началом тестирования расширенной памяти, потому что тестирование может занять много времени. BIOS отключает контрольный таймер при отображении диалогового окна ввода пароля BIOS. Если система зависает во время процедуры POST, контроллер BMC генерирует асинхронную перезагрузку системы (ASR) перед отключением таймера FRB-2. BMC сохраняет биты состояния, которые позднее могут быть считаны BIOS во время процедуры POST для отключения неисправного процессора, регистрации соответствующего события в журнале событий системы и вывода соответствующего сообщения об ошибках.

В BIOS имеются опции управления политиками при срабатывании таймера FRB-2. По умолчанию срабатывание таймера FRB-2 приводит к отключению неисправного процессора при следующей перезагрузке. Вместо этой политики можно установить политику, запрещающую отключение загрузочного процессора, или политику, требующую отключать загрузочный процессор после трех срабатываний таймера FRB-2 подряд. Эти варианты могут быть полезными в системах, в которых встречаются критические ошибки процедуры POST, не указывающие на плохую работу процессора. Такую политику может устанавливать только квалифицированный системный администратор. Если данная опция поддерживается платформой, ее можно найти в программе BIOS Setup.

5.2.3 Контрольный таймер FRB-1 – ошибка автоматического тестирования загрузочного процессора

Помимо таймеров FRB-3 и FRB-2 BIOS обеспечивает работу контрольного таймера FRB-1. В начале процедуры POST BIOS проверяет результаты встроенного самотестирования (BIST) загрузочного процессора. Если при тестировании BIST происходит сбой загрузочного процессора, BIOS направляет контроллеру BMC запрос на отключение загрузочного процессора. Контроллер BMC отключает загрузочный процессор, выбирает новый загрузочный процессор и производит перезагрузку системы. При отсутствии другого процессора контроллер включает звуковой сигнал на системном динамике и выключает систему.

При ошибке BIST пользователь получает сообщение во время процедуры POST, и соответствующее событие записывается в журнал SEL.

5.2.4 Таймер загрузки ОС – ошибка загрузки ОС

BIOS обеспечивает работу загрузочного таймера для отказоустойчивой загрузки ОС. BIOS включает этот контрольный таймер контроллера BMC на количество минут, определенное в программе BIOS Setup. Данная опция отключена по умолчанию. После успешной загрузки этого таймера его может отключить ОС или приложение.

Осторожно: При включении этой опции без установки операционной системы или приложения для управления сервером, поддерживающего эту функцию, после срабатывания таймера система перезагружается. Чтобы узнать, поддерживается ли эта функция, свяжитесь с разработчиком приложения или операционной системы.

5.2.5 Сбой прикладного процессора

В BIOS и BMC реализованы дополнительные предохранительные функции для определения и отключения прикладных процессоров в многопроцессорной системе. Если прикладной процессор не инициализируется за установленный период времени, он считается неработающим. Если BIOS обнаруживает, что при тестировании BIST выявлена неисправность прикладного процессора, или что он не работает, контроллеру BMC направляется запрос на отключение данного процессора. Процессоры, отключенные контроллером BMC, не могут использоваться BIOS или ОС. Поскольку процессоры недоступны, они не перечисляются ни в каких таблицах конфигурации, в том числе в таблицах SMBIOS.

5.2.6 Обслуживание вышедших из строя процессоров

Все ошибки (срабатывания таймеров FRB-3, FRB-2, FRB-1 и ошибки прикладного процессора), включая ошибки процессора, регистрируются в журнале системных событий (SEL). Ошибки FRB-3 автоматически записываются контроллером BMC, а ошибки FRB-2, FRB-1 и ошибки прикладного процессора регистрируются BIOS в журнале событий системы. При срабатывании таймера FRB-2 некоторые системы записывают дополнительную информацию в поля байтов данных OEM записи журнала событий системы. Из этих данных можно узнать, какая задача POST выполнялась перед срабатыванием таймера FRB-2. Эта информация может быть очень полезной для анализа неисправностей.

Примечание: Контроллер BMC ведет в ПЗУ историю неисправностей для каждого процессора. Когда процессор помечается, как неисправный, он остается в этом состоянии до тех пор, пока пользователь не включит опцию “Retest Processors” в программе BIOS Setup, после чего система повторно производит тестирование процессора и очищает журнал событий.

При каждом запуске компьютера BIOS напоминает пользователю о предыдущем сбое процессора до тех пор, пока все процессоры не будут протестированы и не пройдут тестирование FRB или инициализацию прикладных процессоров. Если все процессоры являются неисправными, система не меняет загрузочный процессор и пытается произвести загрузку с исходного загрузочного процессора. На консоли отображаются сообщения о сбое процессора, которые регистрируются в журнале системных событий.

Если пользователь производит замену процессора, который был отмечен системой как «неисправный», пользователь должен проинформировать систему о произведенных изменениях, запустив утилиту BIOS Setup и выбрав процессор для повторного тестирования. Если неисправный процессор удаляется из системы и заменяется терминатором, контроллер BMC автоматически определяет это условие и сбрасывает состояние для данного процессора при следующей загрузке.

Каждый разъем процессора может иметь три состояния:

- Процессор установлен (только состояние, указывает, что процессор прошел тестирование при включении системы).

- Ошибка процессора. Произошла ошибка процессора FRB-2, FRB-3 или BIST.

- Процессор отключен.

- Процессор не установлен (только состояние, указывает, что в разьеме не обнаружен процессор).

Дополнительную информацию по FRB можно найти во Внешней спецификации контроллера Sahalee.

5.3 Сообщения об ошибках и коды ошибок

5.3.1 Коды ошибок и сообщения POST

BIOS отображает коды хода процедуры POST на мониторе. Эти коды представляют собой строки из 32-разрядных чисел, которые могут сопровождаться комментариями. 32-разрядные числа включают информацию о классе, подклассе и операциях. Данные о классе и подклассе указывают на тип инициализируемого аппаратного обеспечения, а поле операций представляет определенное действие по инициализации. Основываясь на доступной ширине данных для отображения кода процедуры POST, вид отображения этих кодов можно изменять. Чем больше разрядов данных будет доступно, тем подробнее будет информация. Коды хода процедуры POST могут выводиться BIOS или дополнительными ПЗУ.

Раздел «Реакция» в следующей таблице делится на три части:

- **Предупреждение** – Сообщение отображается на экране, и в журнале событий системы регистрируется ошибка. Система продолжает загрузку в состоянии деградации. Пользователь может пожелать заменить неисправный компонент.
- **Пауза** – На экране выводится сообщение, и для продолжения загрузки требуется команда пользователя. Пользователь может немедленно предпринять действия по устранению проблемы или продолжить загрузку.
- **Остановка** – Система не будет загружаться, пока проблема не будет решена. Пользователь должен заменить неисправный компонент и перезагрузить систему.

Таблица 54. Коды ошибок и сообщения

Код ошибки	Сообщение об ошибке	Response
0000	Timer Error	Предупреждение
0003	CMOS Battery Low	Предупреждение
0004	CMOS Settings Wrong	Предупреждение
0005	CMOS Checksum Bad	Предупреждение
0008	Unlock Keyboard	Предупреждение
0009	Keyboard Error	Предупреждение
000A	KBC BAT Test failed	Предупреждение
000B	CMOS Memory Size Wrong	Предупреждение
000C	RAM R/W test failed	Предупреждение
000E	A: Drive Error	Предупреждение
000F	B: Drive Error	Предупреждение
0010	Floppy Controller Failure	Предупреждение
0012	CMOS Date/Time Not Set	Предупреждение
0040	Refresh timer test failed	Остановка
0042	CMOS Display Type Wrong	Пауза
0043	<INS> Pressed	Предупреждение
0044	DMA Controller Error	Предупреждение
0045	DMA-1 Error	Предупреждение
0046	DMA-2 Error	Предупреждение
0048	Password check failed	Остановка
004A	Unknown BIOS error. Error code = (ADM_MODULE_ERR)	Предупреждение

Код ошибки	Сообщение об ошибке	Response
004B	Unknown BIOS error. Error code = (LANGUAGE_MODULE_ERR)	Предупреждение
004C	Keyboard/Interface Error	Предупреждение
004D	Primary Master Hard Disk Error	Пауза
004E	Primary Slave Hard Disk Error	Пауза
0055	Primary Master Drive – ATAPI Incompatible	Пауза
0056	Primary Slave Drive – ATAPI Incompatible	Пауза
005D	S.M.A.R.T. Status BAD, Backup and Replace	Предупреждение
005E	Password check failed	Предупреждение
0120	Thermal Trip Failure	Предупреждение
0150	BSP Processor failed BIST	Предупреждение
0160	Processor missing microcode	Предупреждение
0180	BIOS does not support current stepping	Пауза
0192	L2 cache size mismatch	Пауза
0193	CPUID, Processor stepping are different	Пауза
0194	CPUID, Processor family are different	Пауза
0195	Front side bus mismatch. System halted.	Пауза
0196	CPUID, Processor Model are different	Пауза
0197	Processor speeds mismatched	Пауза
5120	CMOS Cleared By Jumper	Предупреждение
8103	Warning! Unsupported USB device found and disabled !!!	Предупреждение
8104	Warning! Port 60h/64h emulation is not supported by this USB Host Controller !!!	Предупреждение
8105	Warning! EHCI controller disabled. It requires 64bit data support in the BIOS.	Предупреждение
8120	Processor 01: Thermal trip failure	Предупреждение
8130	Processor 01: Disabled	Предупреждение
8140	Processor 01: failed FRB level 3 timer	Предупреждение
8170	Processor 01 failed BIST	Предупреждение
8190	Watchdog timer failed on last boot	Предупреждение
8198	OS boot watchdog timer failure	Предупреждение
8300	BaseBoard Management Controller failed Self Test	Пауза
8301	Front Panel Controller failed to function	Пауза
8305	Primary Hot swap Controller failed to function	Предупреждение
8306	Power Share Controller failed to function	Предупреждение
84F2	BaseBoard Management Controller failed to respond	Пауза
84F3	BaseBoard Management Controller in Update Mode	Пауза
84F4	Sensor Data Record Empty	Пауза
84FF	System Event Log Full	Предупреждение

В следующей таблице перечислены коды ошибок, отправляемые MM для регистрации ошибок при передаче команд контроллером BMC. Все эти команды принадлежат к типу «Error» (ошибка). Синтаксис регистрации ошибок различается в MM и в SEL (т.е. одна и та же ошибка регистрируется в SEL и в MM по разному).

Таблица 55. Коды ошибок, отправляемые модулю управления

Коды ошибок POST	Данные ошибок POST
161	Bad CMOS Battery
301	Keyboard failure
102	System Board failure (Timer tick 2 test failure)
106	Diskette Controller Failure
604	Diskette Drive ? failure
163	Time of the day not set
01298000	The BIOS does not support the current stepping of Processor P0
01298001	The BIOS does not support the current stepping of Processor P1
196	Processor cache mismatch detected.
198	Processor speed mismatch detected.
00019700	Processor P0 failed BIST.
00019701	Processor P1 failed BIST.
00150100	Multi-bit error occurred: forcing NMI DIMM = ??
00150100	Multi-bit error occurred: forcing NMI DIMM = ?? DIMM = ?? (could not isolate)
289	DIMM D?? is Disabled.
00150900	SERR/PERR Detected on PCI bus (no source found)
00151100	MCA: Recoverable Error Detected Proc = ??
00151200	MCA: Unrecoverable Error Detected Proc = ??
00151300	MCA: Excessive Recoverable Errors Proc = ??
00151350	Processor MachineCheck Data a Bank = ?? APIC ID = ?? CR4 = ???? ???? ?
00151351	Processor MachineCheck Data b Address = ???? ???? ???? ???? Time Stamp = ???? ???? ???? ???? ?
00151352	Processor MachineCheck Data b Status = ???? ???? ???? ???? ?
00151500	Excessive Single Bit Errors Detected
00151720	Parity Error Detected on Processor bus
00151730	IMB Parity/CRC Error
00151700	Started Hot Spare memory Copy. Failed row/rows = ?? and ?? copied to spare row/ rows = ?? and ?? (used on CMIC-HE box)
00151710	Completed Hot Spare memory Copy. Failed row/rows = ?? and ?? copied to spare row/ rows = ?? and ?? (used on CMIC-HE box)

5.3.2 Звуковые сигналы об ошибках во время тестирования системы при включении

В таблице ниже перечислены звуковые сигналы об ошибках, обнаруженных во время тестирования системы при включении. До инициализации изображения BIOS использует эти звуковые сигналы для информирования пользователей о наличии ошибок. Внешняя спецификация контроллера BMC содержит описание звуковых сигналов контроллера BMC.

Таблица 56. Звуковые сигналы об ошибках во время тестирования системы при включении

Число звуковых сигналов	Описание
1	Ошибка таймера обновления памяти.
3	Ошибка при тестировании чтения / записи главной памяти.
6	Ошибка при тестировании контроллера BAT клавиатуры.

Таблица 57. Звуковые сигналы BIOS

Число звуковых сигналов	Действия по поиску неисправностей
1, 2 или 3	Заново установите модуль памяти или замените заведомо работающим модулем памяти.
4-7, 9-11	Критическая ошибка, указывающая на наличие в системе серьезной проблемы. Проконсультируйтесь с производителем системы. Прежде чем объявить системную плату безнадежно неисправной, убедитесь, что проблема не связана с ошибкой работы карты расширения. Удалите из системы все карты расширения, кроме видеоадаптера. - Если звуковые коды генерируются даже при отсутствии других карт расширения, то это означает, что в системной плате присутствует серьезная неисправность. Проконсультируйтесь с производителем системы. - Если при отсутствии карт расширения звуковые коды не генерируются, то это означает, что проблема связана с одной из карт расширения. Вставляйте карты расширения в систему по одной, чтобы выявить неисправную карту. Таким образом выявляется неисправная карта расширения.
8	Если системный графический адаптер является картой расширения, замените или установите его заново. Если системный графический адаптер встроен в системную плату, возможно, она неисправна.

5.3.3 Контрольные точки

5.3.3.1 Контрольные точки хода процедуры ROM BIOS POST (Код порта 80h)

Для каждой задачи BIOS отправляет на порт 80 шестнадцатиричный код размером 1 байт.

Коды порта 80 обеспечивают возможность поиска и устранения неисправностей в случае зависания системы во время процедуры POST

Значение порта 80h направляется на четыре трехцветных светоиндикатора. Диагностические светоиндикаторы состоят из декодера аппаратного обеспечения и четырех двухцветных светоиндикаторов, расположенных на основной плате. Во время процедуры POST светоиндикаторы отображают все коды нормального прохождения POST, представляющие ход процедуры BIOS POST. Каждый код представлен комбинацией цветов четырех светоиндикаторов. Светоиндикаторы являются зелеными и красными (попарно). Коды хода процедуры POST разбиты на две части, верхнюю и нижнюю. Каждый бит в верхней части представлен красным светоиндикатором; каждый бит в нижней части представлен зеленым светоиндикатором. Если оба бита установлены в верхней и нижней части байта, то загораются красный и зеленый светоиндикаторы, что в результате дает оранжевый цвет. Соответственно, если оба бита не установлены, то красный и зеленый светоиндикаторы отключены.

В следующем примере BIOS направляет на светоиндикатор значение ACh. Декодирование светоиндикаторов производится следующим образом:

Red bits = 1010b = Ah

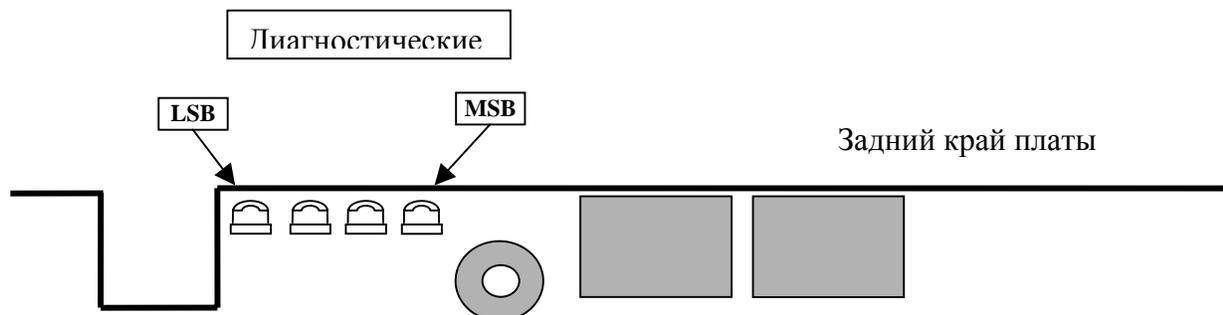
Зеленые биты = 1100b = Ch

Поскольку красные биты соответствуют верхней части байта, а зеленые биты соответствуют нижней части байта, то при объединении красные и зеленые биты становятся ACh.

Таблица 58. Индикатор кода процедуры POST (пример)

Индикаторы	Красный	Зеленый	Красный	Зеленый	Красный	Зеленый	Красный	Зеленый
ACh	1	1	0	1	1	0	0	0
Результат	Желтый		Зеленый		Красный		Не горит	
	MSB						LSB	

5.3.3.2 Коды ошибок памяти



Ошибки памяти, перечисляемые в **таблице 60**, записываются в POST и в журнале SEL

Таблица 59. Коды ошибок памяти

Трpoint	Описание
001h	MEM_ERR_CHANNEL_B_OFF (Из-за несоответствия модулей DIMM канал В отключен)
002h	MEM_ERR_CK_PAIR_OFF (Из-за медленной работы модуля DIMM пара синхронизирующих импульсов отключена)
0E1h	MEM_ERR_NO_DEVICE (Модули памяти не установлены)
0E2h	MEM_ERR_TYPE_MISMATCH
0E3h	MEM_ERR_UNSUPPORTED_DIMM (Неподдерживаемый тип модулей памяти DIMM)
0E4h	MEM_ERR_CHL_MISMATCH
0E5h	MEM_ERR_SIZE_MISMATCH
0E8h	MEM_ERR_ROW_ADDR_BITS
0E9h	MEM_ERR_INTERNAL_BANKS
0EAh	MEM_ERR_TIMING
0EBh	MEM_ERR_REG_CAS_3
0ECh	MEM_ERR_NONREG_MIX
0EDh	MEM_ERR_CAS_LATENCY
0EEh	MEM_ERR_SIZE_NOT_SUPPORTED
0EFh	MEM_ERR_POPULATION_ORDER
0F0h	SYS_FREQ_ERR (Флаг неподдерживаемой частоты системной шины)
0F1h	DIMM_ERR_CFG_MIX (Использование такого сочетания модулей DIMM не поддерживается)
0F2h	DQS_FAILURE (указывает на сбой DQS)
0F3h	MEM_ERR_MEM_TEST_FAILURE (Код ошибки неудачного тестирования памяти)
0F4h	MEM_ERR_ECC_INIT_FAILURE (Код ошибки неудачной инициализации кода коррекции ошибок и памяти)
0F5h	MEM_ERR_RCVDLYA_FAILURE

5.3.3.3 Остановка процедуры POST при обнаружении ошибки

В случае обнаружения ошибок POST при включении системы, BIOS остановит работу и будет ожидать, пока пользователь не нажмет указанную клавишу, перед тем, как загружать операционную систему или входить в программу BIOS.

5.4 Регистрация ошибок

5.4.1 Источники и типы ошибок

Одно из основных требований к системам управления заключается в последовательной и правильной обработке системных ошибок, создание отчетов об ошибках серверной системной платы SE7501BR2 может отключаться и включаться по отдельности. Эти ошибки могут быть разделены на следующие категории: Ошибки системы делятся на категории следующим образом:

- Разъемы шины PCI
- Одноразрядные и многоразрядные ошибки памяти
- Датчики
- Внутренние ошибки процессора, ошибки шины/адресов, ошибки температуры и напряжения и ошибки уровней напряжения GTL.
- Ошибки, обнаруживаемые во время тестирования системы при включении, регистрируемые как «ошибки POST»

Некоторые системные ошибки могут быть включены/отключены в индивидуальном порядке (например, ошибки PCI, ошибки FSB и ошибки памяти) пользователем в утилите BIOS Setup.

За управление датчиками управления сервером отвечает контроллер BMC. BMC получает сообщения об ошибках от отдельных датчиков и производит запись событий системы.

BIOS регистрирует ошибки системы в журнале событий системы. Следует принять к сведению, что номера одних и тех же ошибок могут различаться в зависимости от того, зарегистрирована ли ошибка в журнале событий системы (SEL) или модуле управления (MM).

5.4.2 Обработка SMI

Обработчик прерываний SMI обрабатывает и записывает события на системном уровне, являющиеся невидимыми для встроенного микрокода управления сервером. При отключении регистрации ошибок в журнале событий системы (SEL) сигналы SMI не генерируются в связи с ошибками системы. Если же он включен, обработчик SMI обрабатывает все системные ошибки, даже те, которые обычно генерируют немаскируемое прерывание. Обработчик SMI отправляет BMC команду записать событие и предоставляет данные для записи. Например, BIOS программирует генерирование аппаратным обеспечением сигнала SMI в связи с одноразрядной ошибкой и регистрирует расположение неисправного модуля памяти DIMM в журнале событий системы (SEL). SMI генерируются системными событиями, обрабатываемыми BIOS.

5.4.2.1 Ошибки шины PCI

В спецификации шины PCI определены два контакта для передачи ошибок PERR# и SERR#, служащие, соответственно, для сообщения об ошибках четности и системных ошибках. BIOS может быть поручено включить / отключить сообщения об ошибках PERR# и SERR# посредством источника немаскированных прерываний (NMI)¹. В случае ошибки PERR#, хост шины PCI может попробовать повторить транзакцию, с которой связана ошибка, или сообщить о ней системе как об ошибке SERR#. Все другие ошибки PCI рассматриваются как ошибки SERR#. Прерывания SERR# генерируют немаскируемые прерывания, если бит 2 реестра ввода/вывода 61 имеет значение 0. Если прерывания SERR# включены в BIOS setup, все мосты PCI генерируют прерывания SERR# на главном интерфейсе каждый раз при возникновении события SERR# на вспомогательной части шины. То же самое верно и для прерываний PERR#s.

5.4.2.2 Ошибка шины процессора

BIOS обеспечивает возможности обнаружения и коррекции ошибок процессоров, устанавливая соответствующие биты в MSR или внутри набора микросхем.

В случае неустранимых ошибок на шине процессора не может быть гарантирована соответствующая работа обработчика сигналов SMI; в таком случае обработчик сигналов SMI не сможет произвести регистрацию данных условий. Обработчик SMI BIOS запишет ошибки в журнал событий системы только в том случае, если в системе не произошел катастрофический сбой, нарушивший целостность обработчика SMI.

5.4.2.3 Ошибка шины памяти

Аппаратное обеспечение запрограммировано на генерирование прерывания SMI при обнаружении одноразрядных ошибок данных в массиве памяти при использовании памяти с кодом коррекции ошибок. Система обработки прерываний записывает эту ошибку и соответствующий разъем DIMM в журнал событий системы. Двухразрядные ошибки в массиве памяти соответствуют SMI, поскольку контролер BMC не может определить расположение неисправного модуля DIMM. Возможно повреждение содержимого SMRAM двухразрядными ошибками. Обработчик SMI регистрирует номер неисправного модуля DIMM в контроллере BMC, если содержимое SMRAM еще не повреждено. Некоторые платформы не имеют функции определения неисправного модуля памяти DIMM; кроме того, это невозможно на раннем этапе процедуры POST.

5.4.2.4 Ошибка системных ограничений

BMC проводит мониторинг рабочих ограничений системы. Он управляет преобразователем A/D, определяя ограничения температуры и напряжения и управляя датчиками вентиляторов и вскрытия корпуса. Любое превышение показаний датчиков, установленных ограничений, обрабатывается BMC. BIOS не генерирует SMI для этого типа событий системы.

Подробную информацию по различным датчикам и методам управления ими можно найти во *Внешней спецификации BMC* для соответствующей платформы.

¹ Отключение немаскируемых прерываний для ошибок PERR# и/или SERR# также отключает регистрацию соответствующих событий.

5.4.2.5 Сбой процессора

BIOS обнаруживает сбой процессора BIST и регистрирует данное событие. Процессор определяется первым байтом данных OEM в журнале событий. Например, если сбой происходит на процессоре 0, первый байт данных OEM будет иметь значение 0. Запись событий перезагрузки в связи с работой контрольного таймера производится BMC.

Если драйвер устройства операционной системы использует контрольный таймер для обнаружения сбоев программного или аппаратного обеспечения, и время данного таймера истекает, генерируется асинхронная перезагрузка (ASR), эквивалентная аппаратной перезагрузке. При перезагрузке системы часть процедуры POST BIOS может направить контроллеру BMC запрос по событию контрольной перезагрузки и произвести регистрацию данного события в журнале событий системы.

5.4.2.6 События загрузки

Во время тестирования системы при включении BIOS записывает в BMC системную дату и время и производит запись загрузочного события. Это событие не является ошибкой, и программное обеспечение, работающее с журналом событий системы, не должно рассматривать его как ошибку.

5.4.3 Формат записи ошибок

Данные регистрации событий BIOS в журнале событий системы совместимы со спецификацией IPMI. IPMI требует использования в каждой записи журнала всех байт, кроме двух, называемых Event Data 2 и Event Data 3. Генератор событий может уточнить, что эти байты содержат значения определенные OEM-производителем. BIOS системы использует эти два байта для записи дополнительной информации об ошибке.

Формат байтов OEM-данных (Event Data 2 и Event Data 3) для ошибок памяти, ошибок шины PCI и ошибок FRB-2 описан в трех нижеследующих таблицах. Данный формат поддерживается всеми платформами, совместимыми с IPMI версии 1.0 (или более поздней версией).

Биты 3:1 поля generator ID определяют версию формата. Идентификатор программного обеспечения системы – 7 бит. Для событий, освещенных в этом документе, идентификатор программного обеспечения системы находится в диапазоне 0x18-0x1F. Идентификатор программного обеспечения системы 0x18 показывает, что производится кодирование байтов OEM-данных 2 и 3 с использованием схемы формата данных версии 0. Обратите внимание, что идентификаторы программного обеспечения системы в диапазоне 0x10-0x1f зарезервированы для обработчика SMI. Спецификация IPMI резервирует два отдельных диапазона для BIOS и обработчика SMI. Так как различие между ними не слишком важно, для BIOS и для обработчика SMI используются одни и те же значения идентификатора генератора. В техническом плане, событие FRB-2 не регистрируется обработчиком SMI, но будет использоваться такой же диапазон идентификатора генератора, как для ошибок памяти.

5.4.3.1 События ошибок памяти

Таблица 60. События ошибок памяти

Поле	Определение IPMI	Реализация BIOS для серверной платы Intel® SE7520BB2
Идентификатора генератора	7:1 Идентификатор системного ПО или подчиненный адрес на шине IPMB. 1=ID – идентификатор системного ПО; 0=ID – идентификатор подчиненного адреса на шине IPMB.	7:4 0x3 для BIOS системы 3:1 0 Версия формата данных для байтов OEM-данных 2 и 3. Для этой версии спецификации данное поле должно иметь значение 0. Все остальные версии в настоящее время зарезервированы. 0 1 = идентификатор системного ПО. В результате байт generator ID начинается с 0x31 и идет до 0x3f, с шагом увеличения 2 для всех событий, регистрируемых BIOS.
Тип датчика	Смотрите таблицу 30,3 в [IPMI_1].	0xC для ошибок памяти
Номер датчика	Номер датчика, сгенерировавшего это событие.	Уникальное значение каждого типа события в соответствии с требованиями спецификации IPMI. Данное поле не имеет другого значения. Не должно отображаться для конечного пользователя, если событие регистрируется BIOS.
Тип кода	0x6F, если события встречаются только на этом датчике	0x6F
Данные событий 1	7:6 00 = не указанный байт 2, код OEM в байте 2. 5:4 00 = не указанный байт 3; 10 = код OEM в байте 3. (BIOS не использует кодировки 01 и 11 для ошибок, рассматриваемых в данном документе). Смещение 3:0 при триггере события для дискретного состояния события.	Следуйте определению IPMI. Если любой из двух байтов данных не содержит данные, этому байту должно быть присвоено значение 0xff, и соответствующее поле данных (event data 1) должно показывать, что данные являются не указанными. В соответствии с таблицей 30.3 в [IPMI_1], 3:0 – 0 для одnorазрядной ошибки; 1 – для многоразрядной ошибки.
Данные событий 2	7:0 OEM-код 2 или не указан.	Для версии формата 0, если этот байт не указан, 7:6 Номер карты памяти, начиная с нуля. Соответствует номеру записи типа Type 16 в таблице SMBIOS. Например, карта 0 соответствует первой записи типа 16 в таблице SMBIOS. Если все модули памяти DIMM являются встроенными, значение этого поля всегда будет равно 0. 5:0 Номер карты памяти, начиная с нуля. Например, DIMM 0 соответствует первой записи типа 17 в таблице SMBIOS.
Данные событий 3	7:0 OEM-код 3 или не указан.	Если версия формата - 0, и если этот байт не указан, Байт синдрома.

Таблица 61. Содержание полей данных сообщения об ошибках памяти

Тип ошибки	Данные событий 1	Данные событий 2	Данные событий 3
Одноразрядная ошибка, информация об ошибке недоступна.	00	0xFF	0xFF
Многоразрядная ошибка, неисправный модуль памяти DIMM – пятый модуль памяти DIMM вторая карта памяти.	0x81	0x44 (Bits 7:6 = 01 Bits 5:0 = 04)	0xFF
Одноразрядная ошибка. Синдром 0x54, расположение модуля памяти DIMM неизвестно.	0x20	0xFF	0x54
Многоразрядная ошибка, байт синдрома 0x1с. Встроенные модули памяти DIMM, неисправен второй модуль памяти DIMM.	0xA1	0x01 (Bits 7:6 = 00 Бит 5 :0 = 01)	0x1C

5.4.3.2 События ошибки PCI

Таблица 62. События ошибки PCI

Поле	Определение IPMI	Реализация BIOS для серверной платы Intel® SE7520BB2
Идентификатора генератора	7:1 Идентификатор системного ПО или подчиненный адрес на шине IPMB. 1=ID – идентификатор системного ПО; 0=ID – идентификатор подчиненного адреса на шине IPMB.	7:4 0x3 для BIOS системы 3:1 0 Версия формата данных для байтов OEM-данных 2 и 3. Для этой версии спецификации данное поле должно иметь значение 0. Все остальные версии в настоящее время зарезервированы. 0 1=ID is system software ID В результате байт generator ID начинается с 0x31 и идет до 0x3f, с шагом увеличения 2 для всех событий, регистрируемых BIOS.
Тип датчика	Смотрите таблицу 30.3 в [IPMI_1].	0x13 для критического прерывания
Номер датчика	Номер датчика, сгенерировавшего это событие.	Уникальное значение каждого типа события в соответствии с требованиями спецификации IPMI. Данное поле не имеет другого значения. Не должно отображаться для конечного пользователя, если событие регистрируется BIOS.
Тип кода	0x6F, если события встречаются только на этом датчике	0x6F
Данные событий 1	7:6 00 = не указанный байт 2, код OEM в байте 2. 5:4 00 = байт не указан 3; 10 = OEM-код в байте 3. (BIOS не использует кодировки 01 и 11 для ошибок, рассматриваемых в данном документе). Смещение 3:0 при триггере события для дискретного состояния события.	Следуйте определению IPMI. Если любой из двух байтов данных не содержит данные, этому байту должно быть присвоено значение 0xff, и соответствующее поле данных (event data 1) должно показывать, что данные являются не указанными. В соответствии с таблицей 30.3 в [IPMI_1], 3:0 – 04 для PERR PCI и 05 для SERR PCI.

Поле	Определение IPMI	Реализация BIOS для серверной платы Intel® SE7520BB2
Данные событий 2	7:0 OEM-код 2 или не указан.	Для версии формата 0, если этот байт не указан, он содержит номер шины PCI, на которой находится неисправное устройство. Если источник ошибки PCI не может быть определен, это байт содержит 0xff и байт «event data 1» показывает, что байт 2 не указан.
Данные событий 3	7:0 OEM-код 3 или не указан.	Для версии формата 0, если этот байт указан, он содержит адрес устройства/функции шины PCI в стандартном формате. 7:3 Номер неисправного устройства PCI 2:0 Номер функции PCI. Всегда содержит ноль, если устройство не является многофункциональным. Если источник ошибки PCI не может быть определен, это байт содержит 0xff и байт «event data 1» показывает, что байт 3 не указан.

Таблица 63. Содержание полей данных сообщения об ошибках PCI

Тип ошибки	Данные событий 1	Данные событий 2	Данные событий 3
PERR PCI, неисправное устройство неизвестно	04	0xFF	0xFF
SERR PCI, неисправное устройство неизвестно	05	0xFF	0xFF
PERR PCI, устройство 3, функция 1 на шине PCI 5 сообщило об ошибке	0xA4	0x05	0x19 (Bits 7:3 = 03 Bits 2:0 = 01)
Неизвестное устройство на шине PCI 0 сообщило об ошибке SERR	0x85	0x00	0xFF

5.4.3.3 FRB-2 События ошибки

Таблица 64. FRB-2 События ошибки

Поле	Определение IPMI	Реализация BIOS для серверной платы Intel® SE7520BB2
Идентификатора генератора	7:1 Идентификатор системного ПО или подчиненный адрес на шине IPMB. 1=ID – идентификатор системного ПО; 0=ID – идентификатор подчиненного адреса на шине IPMB.	7:4 0x3 для BIOS системы 3:1 0 Версия формата данных для байтов OEM-данных 2 и 3. Для этой версии спецификации данное поле должно иметь значение 0. Все остальные версии в настоящее время зарезервированы. 0 1=ID is system software ID В результате байт generator ID начинается с 0x31 и идет до 0x3f, с шагом увеличения 2 для всех событий, регистрируемых BIOS.
Тип датчика	Смотрите таблицу 30.3 в [IPMI_1].	0x7 для ошибок, связанных с процессором
Номер датчика	Номер датчика, сгенерировавшего это событие.	Уникальное значение каждого типа события поскольку в соответствии со спецификацией IPMI требуется, чтобы поле не имело другого значения и не отображалось конечному пользователю, если событие регистрируется BIOS.
Тип кода	0x6F, если события встречаются только на этом датчике	0x6F

Поле	Определение IPMI	Реализация BIOS для серверной платы Intel® SE7520BB2
Данные событий 1	7:6 00 = не указанный байт 2, код OEM в байте 2. 5:4 00 = байт не указан 3; 10 = OEM-код в байте 3. (BIOS не использует кодировки 01 и 11 для ошибок, рассматриваемых в данном документе). Смещение 3:0 при триггере события для дискретного состояния события.	Если Event data 2 и event data 3 содержат OEM-коды, биты 7:6 и биты 5:4 содержат 10. Для платформ, не включающих информацию о коде процедуры POST при регистрации FRB-2, значение обоих полей равно 0. BIOS должен либо указать оба байта, либо отмечать оба байта как не указанные. В соответствии со спецификацией IPMI 1.0, таблица 30.3, байт 3:0 - 03 - сбой FRB-2 во время процедуры POST.
Данные событий 2	7:0 OEM-код 2 или не указан.	Для версии формата 0, если этот байт указан, он содержит биты 7:0 кода POST при перезагрузке FRB-2 (код порта 80)
Данные событий 3	7:0 OEM-код 3 или не указан.	Для версии формата 0, если этот байт указан, он содержит биты 15:8 кода POST при перезагрузке FRB-2 (код порта 81) Если BIOS использует только однобайтовые POST-коды, этот байт всегда будет равен нулю.

Таблица 65. Содержание полей данных сообщения об ошибках FRB-2

Тип ошибки	Данные событий 1	Данные событий 2	Данные событий 3
Ошибка FRB-2, информация о неисправном POST-коде недоступна	0x03	0xFF	0xFF
Ошибка FRB-2, BIOS использует только однобайтовые POST-коды. Последний POST-код перед сбросом FRB-2 был 0x60.	0xA3	0x60	0x0
Ошибка FRB-2, BIOS использует только однобайтовые POST-коды. Последний POST-код перед сбросом FRB-2 был 0x1942.	0xA3	0x42	0x19

5.4.4 Контрольные точки POST-кода

Таблица 66. Контрольные точки POST-кода

Контрольная точка	Расшифровка показаний диагностических индикаторов				Описание
	G=зеленый, R=красный, A=желтый				
	MSB			LSB	
03	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	G	G	Отключить NMI, четность, видео для EGA и контроллеры DMA. Инициализировать BIOS, POST, область временных данных. Инициализировать модули BIOS записей POST и области GPNV. Инициализация CMOS в соответствии с переменной ядра «wCMOSFlags.»

Контрольная точка	Расшифровка показаний диагностических индикаторов				Описание
	G=зеленый, R=красный, A=желтый				
	MSB			LSB	
04	ВЫКЛЮЧЕН	G	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	Проверить диагностический байт CMOS и определить состояние батареи и правильность контрольной суммы CMOS. Вручную проверить контрольную сумму CMOS путем считывания хранилища данных. При ошибке контрольной суммы CMOS обновите CMOS, установив значения по умолчанию при включении питания и очистив пароли. Инициализировать реестр статусов A. Инициализировать переменные данных на базе вопросов CMOS setup. Инициализировать оба 8259-совместимых контроллера PIC системы
05	ВЫКЛЮЧЕН	G	ВЫКЛЮЧЕН	G	Инициализировать аппаратные компоненты по управлению прерываний (обычно PIC) и таблицу векторов прерываний.
06	ВЫКЛЮЧЕН	G	G	ВЫКЛЮЧЕН	Произвести тест чтения/записи в регистре CH-2. Инициализировать CH-0 как таймер системы. Установить обработчик POSTINT1Ch. Включить IRQ-0 в PIC для прерывания таймера системы. Помещает вектор прерываний INT1Ch в блок «POSTINT1ChHandlerBlock.»
08	G	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	Инициализирует процессор. Тестирование BAT производится на КВС. Программирование командного байта контроллера клавиатуры осуществляется после автоматического определения клавиатуры/мыши с помощью AMI KB-5.
C0	R	R	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	Начало инициализации процессора – отключения кэш-памяти – инициализация локального режима APIC.
C1	R	R	ВЫКЛЮЧЕН	G	Настройка информации о загрузочном процессоре.
C2	R	R	G	ВЫКЛЮЧЕН	Настройка загрузочного процессора для POST.
C5	R	A	ВЫКЛЮЧЕН	G	Перечислить и настроить прикладные процессоры.
C6	R	A	G	ВЫКЛЮЧЕН	Включить кэш-память загрузочного процессора.
C7	R	A	G	G	Окончание инициализации процессора.
0A	G	ВЫКЛЮЧЕН	G	ВЫКЛЮЧЕН	Инициализирует 8042-совместимый контроллер КВС.
0B	G	ВЫКЛЮЧЕН	G	G	Обнаруживает наличие мыши PS/2.

Контрольная точка	Расшифровка показаний диагностических индикаторов				Описание
	G=зеленый, R=красный, A=желтый				
	MSB			LSB	
0C	G	G	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	Обнаруживает наличие клавиатуры в порте KBC.
0E	G	G	G	ВЫКЛЮЧЕН	Тестирование и инициализация различных устройств ввода. Также, обновить переменные ядра. Помещает вектор прерываний INT09h в блок, так что обработчик POST INT09h управляет IRQ1. Распаковка всех доступных языковых модулей, логотипа BIOS и логотипа OEM-компанияи.
13	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	G	A	Начало инициализации процедуры POST регистров микросхем.
24	ВЫКЛЮЧЕН	G	R	ВЫКЛЮЧЕН	Распаковка и инициализация всех модулей BIOS для данной платформы.
30	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	R	R	Прерывание системного управления.
2A	G	ВЫКЛЮЧЕН	A	ВЫКЛЮЧЕН	Инициализирует различные устройства через DIM. Для получения подробной информации смотрите раздел «Контрольные точки кода DIM» данного документа.
2C	G	G	R	ВЫКЛЮЧЕН	Инициализирует различные устройства. Обнаруживает и инициализирует графический адаптер, установленный в системе, имеющей дополнительные ПЗУ.
2E	G	G	A	ВЫКЛЮЧЕН	Инициализирует все устройства вывода.
31	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	R	A	Выделение памяти для модуля ADM и ее распаковка. Передать управление инициализацией модулю ADM. Инициализировать модули языка и шрифта для ADM. Активировать модуль ADM.
33	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	A	A	Инициализировать модуль бесшумной загрузки. Установить размер окна для отображения текстовой информации.
37	ВЫКЛЮЧЕН	G	A	A	Вывод сообщения о входе систему, информации о процессоре, клавиши, которую нужно нажать для входа в программу BIOS Setup и другой информации, введенной OEM-компанией.
38	G	ВЫКЛЮЧЕН	R	R	Инициализирует различные устройства через DIM. Для получения подробной информации смотрите раздел «Контрольные точки кода DIM» данного документа.
39	G	ВЫКЛЮЧЕН	R	A	Инициализация DMAC-1 и DMAC-2.
3A	G	ВЫКЛЮЧЕН	A	R	Инициализация даты/времени на часах реального времени.

Контрольная точка	Расшифровка показаний диагностических индикаторов				Описание
	G=зеленый, R=красный, A=желтый				
	MSB			LSB	
3B	G	ВЫКЛЮЧЕН	R	A	Тестирование общего количества памяти, установленного в системе. Также проверяется нажатие клавиш DEL или ESC для остановки тестирования памяти. Отображение общего количества памяти, установленного в системе.
3C	G	G	R	R	Инициализация регистров набора микросхем на промежуточном этапе процедуры POST.
40	ВЫКЛЮЧЕН	R	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	Определение различных устройств (параллельные порты, последовательные порты, сопроцессоры, и др.), установленных в системе, и обновление BDA, EBD, и др.
50	ВЫКЛЮЧЕН	R	ВЫКЛЮЧЕН	R	Программирование пустых зон памяти или любых функций, требующих изменения размера системной памяти при необходимости.
52	ВЫКЛЮЧЕН	R	G	R	Изменяет размер памяти CMOS, основываясь на результатах теста памяти. Выделяет из базовой памяти память для расширенной области данных BIOS.
60	ВЫКЛЮЧЕН	R	R	ВЫКЛЮЧЕН	Инициализирует статус NUM-Lock и программирует скорость набора на клавиатуре.
75	ВЫКЛЮЧЕН	A	R	A	Инициализирует Int-13 и подготавливает поиск устройств IPL.
78	G	R	R	R	Инициализирует устройства IPL, контролируемые BIOS и дополнительными ПЗУ.
7A	G	R	A	R	Инициализирует остальные дополнительные ПЗУ.
7C	G	A	R	R	Генерирует и записывает содержимое ESCD в память NVRam.
84	R	G	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	Записывает в журнал ошибки POST.
85	R	G	ВЫКЛЮЧЕН	G	Выводит ошибки и получает ответ пользователя.
87	R	G	G	G	Запускает программу BIOS если это необходимо или по требованию пользователя.
8C	A	G	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	Инициализация регистров набора микросхем на последнем этапе процедуры POST.
8D	A	G	ВЫКЛЮЧЕН	G	Создает таблицы ACPI (если ACPI поддерживается)
8E	A	G	G	ВЫКЛЮЧЕН	Программирует параметры периферийных устройств. Включают/отключает немаскируемое прерывание

Контрольная точка	Расшифровка показаний диагностических индикаторов				Описание
	G=зеленый, R=красный, A=желтый				
	MSB			LSB	
90	R	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	R	Инициализация прерываний управления системой на последнем этапе процедуры POST.
A0	R	ВЫКЛЮЧЕН	R	ВЫКЛЮЧЕН	Проверка системного пароля (при наличии).
A1	R	ВЫКЛЮЧЕН	R	G	Очистка, необходимая перед загрузкой операционной системы.
A2	R	ВЫКЛЮЧЕН	A	ВЫКЛЮЧЕН	Отвечает за подготовку образа запуска в реальном времени для различных модулей BIOS. Записывает в свободный участок сегмента F000h значение 0FFh. Инициализирует таблицу маршрутизации запросов прерываний Microsoft. Подготавливает языковой модуль. Отключает отображение конфигурации системы (при необходимости).
A4	R	G	R	ВЫКЛЮЧЕН	Инициализация языкового модуля.
A7	R	G	A	G	Открывает окно настройки системы. Инициализирует процессор перед загрузкой, программирует значения регистров MTRR.
A8	A	ВЫКЛЮЧЕН	R	ВЫКЛЮЧЕН	Готовит процессор для загрузки ОС, записывает окончательные значения регистров.
A9	A	ВЫКЛЮЧЕН	R	G	Ожидает ввода данных пользователем в окне настройки конфигурации.
AA	A	ВЫКЛЮЧЕН	A	ВЫКЛЮЧЕН	Удаляет векторы POST INT1Ch и INT09h. Отменяет инициализацию модуля ADM.
AB	A	ВЫКЛЮЧЕН	A	G	Готовит BBS для загрузки Int 19.
AC	A	G	R	ВЫКЛЮЧЕН	Инициализация регистров набора микросхем по окончании процедуры POST.
B1	R	ВЫКЛЮЧЕН	R	A	Сохранение контекста системы для ACPI.
00	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	ВЫКЛЮЧЕН	Передача управления загрузчику ОС (обычно INT19h).

5.4.5 Контрольные точки кода инициализации загрузочного блока

Код инициализации загрузочного блока настраивает набор микросхем, память и другие компоненты перед выделением системной памяти. В следующей таблице описывается тип контрольных точек инициализации загрузочного блока BIOS.

Таблица 67. Контрольные точки кода инициализации загрузочного блока

Контрольная точка	Расшифровка показаний диагностических индикаторов				Описание
	G=зеленый, R=красный, A=желтый				
	MSB			LSB	
Перед D1					Завершена начальная инициализация набора микросхем. Завершена начальная инициализация суперконтроллера ввода/вывода, включая часы реального времени и контроллер клавиатуры. NMI отключены.
D1	R	R	ВЫКЛЮЧЕН	A	Выполнение тестирования ВАТ контроллера клавиатуры. Проверка пробуждения из режима сна. Сохранение значения CPUID при включении в непостоянной области CMOS.
D0	R	R	ВЫКЛЮЧЕН	R	Переход в плоский режим памяти с ограничением 4 ГБ и поддержкой GA20. Проверка контрольной суммы загрузочного блока.
D2	R	R	G	R	Отключение кэш-памяти перед обнаружением памяти. Выполнение модуля определения размера памяти. Убедитесь, что плоский режим откатом.
D3	R	R	G	A	Если модуль определения размера памяти не запущен, начинается обновление памяти и определение размера памяти производится в коде загрузочного блока. Дополнительная инициализация набора микросхем. Включение кэш-памяти. Убедитесь, что плоский режим откатом.
D4	R	A	ВЫКЛЮЧЕН	R	Тестирование первых 512 КБ памяти. Настройка политик и кэширование первых 8 МБ. Установка стека.
D5	R	A	ВЫКЛЮЧЕН	A	Загрузочный код копируется из ПЗУ в нижнюю системную память и ему передается управление. BIOS теперь запускается из ОЗУ.

Контрольная точка	Расшифровка показаний диагностических индикаторов				Описание
	G=зеленый, R=красный, A=желтый				
	MSB			LSB	
D6	R	A	G	R	Для определения восстановления BIOS используется набор качеств и процедура, указанная OEM-компанией. Тестируется основная контрольная сумма BIOS. При необходимости восстановления BIOS управление передается на контрольную точку E0. Для получения подробной информации смотрите раздел «Контрольные точки кода восстановления BIOS» в данном документе.
D7	R	A	G	A	Восстановление значения CPUID в реестре. Интерфейсный модуль загрузочного блока перемещается в системную память, и управление передается на него. Определяет, требуется ли запустить содержимое последовательной флэш-памяти.
D8	A	R	ВЫКЛЮЧЕН	R	Модуль запуска в реальном времени распаковывается в память. Информация CPUID сохраняется в памяти.
D9	A	R	ВЫКЛЮЧЕН	A	Несжатый указатель сохраняется для будущего использования в PMM. Основная часть BIOS копируется в память. Вся память ниже 1 МБ остается доступной для чтения записи, включая теневые области E000 и F000, а память SMRAM закрывается.
DA	A	R	G	R	Восстановление значения CPUID в реестре. Управление передается процедуре POST (ExecutePOSTKernel). Для получения подробной информации смотрите раздел «Контрольные точки кода POST» данного документа.

5.4.6 Boot Block Recovery Code Checkpoint

Код восстановления загрузочного блока получает управление, когда BIOS определяет необходимость восстановления BIOS из-за команды пользователя или ошибки контрольной суммы BIOS. В следующей таблице описывается тип контрольных точек восстановления загрузочного блока BIOS.

Таблица 68. Boot Block Recovery Code Checkpoint

Контрольная точка	Расшифровка показаний диагностических индикаторов				Описание
	G=зеленый, R=красный, A=желтый				
	MSB			LSB	
E0	R	R	R	ВЫКЛЮЧЕН	Инициализация контроллера флоппи-дисковода. Инициализация некоторых векторов прерываний. Инициализация контроллера DMA Инициализация контроллера прерывания 8259 Включение кэш-памяти 1 уровня.
E9	A	R	R	G	Настройка контроллера флоппи-дисковода и данных. Попытка чтения с дискеты. Определение информации о корневой директории среды восстановления.
EA	A	R	A	ВЫКЛЮЧЕН	Включение аппаратного обеспечения ATAPI. Попытка чтения с устройства ARMD и ATAPI CD-ROM. Определение информации о корневой директории среды восстановления.

Контрольная точка	Расшифровка показаний диагностических индикаторов				Описание
	G=зеленый, R=красный, A=желтый				
	MSB			LSB	
EB	A	R	A	G	Отключение аппаратного обеспечения ATAPI. Возвращение к контрольной точке E9.
EF	A	A	A	G	Ошибка чтения с носителя. Возвращение к контрольной точке EB.
F0	R	R	R	R	Поиск имени файла восстановления в корневой директории.
F1	R	R	R	A	Файл восстановления не найден.
F2	R	R	A	R	Начало чтения таблицы FAT и анализ FAT для поиска кластеров, занятых файлом восстановления.
F3	R	R	A	A	Начало чтения файла восстановления по кластерам.
F5	R	A	R	A	Отключение кэш-памяти L1.
FA	A	R	A	R	Проверка правильности конфигурации файла восстановления и сравнение с текущей конфигурацией флэш-компонента.
FB	A	R	A	A	Включение поддержки записи во флэш-память с использованием набора микросхем и метода OEM. Определение правильного компонента флэш-памяти. Определение соответствия размера компонента флэш-памяти размеру файла восстановления.
F4	R	A	R	R	Размера компонента флэш-памяти не соответствует размеру файла восстановления.
FC	A	A	R	R	Удаление содержимого компонента флэш-памяти.
FD	A	A	R	A	Программирование компонента флэш-памяти.
FF	A	A	A	A	Обновление флэш-памяти успешно завершено. Отключение записи во флэш-память. Отключение аппаратного обеспечения ATAPI. Восстановление значения CPUID в реестре. Передача управления F000 ROM по адресу F000:FFF0h.

Таблица 69. Звуковые сигналы восстановления загрузочного блока

Звуковой сигнал	Описание
1	Вставьте дискету в дисковод A:
2	Файл «AMIBOOT.ROM» не найден в корневом каталоге
3	Замените дискету
4	Программирование флэш-памяти завершено успешно
5	Ошибка чтения с дискеты
7	Флэш-память отсутствует
8	Ошибка контроллера флоппи-дисковода
10	Ошибка удаления флэш-памяти
11	Ошибка программирования флэш-памяти
12	Неверный размер файла bios.
13	Несоответствие образа флэш-памяти
Бесконечно длящийся звуковой сигнал	Восстановление завершено успешно

5.4.7 Контрольные точки кода DIM

Модуль инициализации устройств (DIM) получает управления на разных этапах процедуры POST для инициализации различных шин. В следующей таблице описываются основные контрольные точки доступа к модулю DIM.

Таблица 70. Контрольные точки кода DIM

Контрольная точка	Описание
2A	Инициализация различных шин и выполнение разных функций: <ul style="list-style-type: none"> • Перезагрузка, поиск и отключение (функция 0). Функция 0 отключает все узлы устройств, устройства PCI и карты PnP ISA. Также она указывает номера шин PCI. • Инициализация статических устройств (функция 1). Функция 1 инициализирует все статические устройства, включая настраиваемые вручную встроенные периферийные устройства, память и устройства декодирования ввода/вывода в мостах PCI-PCI, а также нестандартные устройства PCI. Также резервируются статические ресурсы. • Инициализация устройств вывода при загрузке (функция 2). Функция 2 находит и инициализирует все графические устройства PCI и AGP, поддерживающие стандарт PnP.
38	Инициализация различных шин и выполнение разных функций: <ul style="list-style-type: none"> • Инициализация устройств ввода при загрузке (функция 3). Функция 3 находит и инициализирует все устройства ввода PCI и проверяет наличие стандартного контроллера клавиатуры в системе. • Инициализация устройств IPL (функция 4). Функция 4 находит и инициализирует все загрузочные устройства PCI, поддерживающие стандарт PnP. • Инициализация других устройств (функция 5). Функция 5 инициализирует все подключенные периферийные устройства, которые должны конфигурироваться автоматически, и настраивает все оставшиеся устройства PnP и PCI.

5.4.8 Предотвращение скапливания одноразрядных ошибок

Система обнаруживает, исправляет и регистрирует ошибки, которые могут быть исправлены. Если эти ошибки встречаются не часто, система должна продолжить работать без проблем.

Иногда корректируемые ошибки вызываются сбоем отдельного компонента. Например, при неисправности на шине данных разъема DIMM ошибки будут продолжаться до тех пор, пока неисправность не будет устранена. Хотя эти ошибки и могут быть исправлены, постоянные вызовы журнала записи ошибок могут привести к перегрузке системы, что помешает дальнейшей нормальной работе. По этой причине система производит подсчет определенных типов устранимых ошибок и не отправляет сообщение об ошибках, если они происходят слишком часто.

Когда регистрация ошибок отключена, коррекция ошибок остается включенной, однако создание отчетов и регистрация ошибок отключены для всех последующих событий. Например, если на разъеме DIMM 1 постоянно присутствует неисправность, а функция регистрации ошибок отключена, BIOS не будет записывать ошибки ни для одного из модулей DIMM. Системная BIOS использует эту функцию для корректируемых ошибок памяти. Если в течение часа происходит 10 или более ошибок, соответствующая система обработки ошибок отключает дальнейшую запись таких ошибок в отчет. Благодаря этому систему продолжает работать, несмотря на постоянный сбой при коррекции ошибок. BIOS добавляет в журнал событий запись, указывающую, что регистрация ошибок такого типа отключена в соответствии со спецификацией IPMI. Наличие такой записи свидетельствует о серьезном сбое работы аппаратного обеспечения, который следует устранить в максимально быстрые сроки.

BIOS снова включает запись ошибок определенного типа и SMI после перезагрузки системы.

5.5 Надежность, непрерывность работы и удобство в обслуживании (RAS)

5.5.1 Функции RAS памяти

Концентратор контроллеров ввода/вывода MCH предназначен для обеспечения надежности, доступности, удобства в обслуживании и использовании и управляемости двухпроцессорных серверных платформ. Концентратор MCH поддерживает управление питанием ACPI и функцию пробуждения по сигналу сети для обеспечения гибкости работы системы в режиме ожидания.

В число характеристик RAS входят следующие:

- Защита данных – На всех внутренних шинах данных установлены те или иные средства защиты данных
 - Адрес FSB и защита четности данных
 - Защита четности HL
 - Интерфейс памяти
- DRAM ECC
- Зачистка памяти
- Зеркальное отражение памяти DDR II
- Резервный банк

5.5.1.1 Зачистка памяти

Периодически устройство очистки памяти проходит через все модули DRAM, выполнявшие операции считывания за последние 32 тысячи тактовых импульсов. Устранимые ошибки исправляются, и неиспорченные данные снова записываются в память DRAM. Такая очистка не нарушает ширины пропускания памяти, хотя и вызывает задержку некоторых операций чтения, совпадающих по времени с циклом записи очищенных данных.

5.5.1.2 Резервирование памяти

В концентратор MCH встроены аппаратные средства для поддержки отказоустойчивости резервных модулей DIMM в случае, когда используемый первичный модуль DIMM превышает указанный порог ошибок, произошедших при выполнении программы. Это предотвращает появление катастрофических ошибок при увеличении частоты ошибок на неисправном модуле DIMM. Эта функция является альтернативой функции зеркального отражения памяти.

5.5.1.3 DDR2 зеркалирование памяти

В основном функция зеркального отображения памяти позволяет аппаратным средствам поддерживать создание двух копий всех данных в подсистеме памяти. Эта функция защищает систему от ошибок, поскольку неустранимые ошибки больше не являются критическими. При появлении неустранимой ошибки во время нормальной работы, аппаратное обеспечение извлекает зеркальные копии испорченных данных. По статистике вероятность одновременной порчи основных данных и их копии на зеркальном отражении крайне мала. Использование технологии зеркального отражения уменьшает объем системной памяти вдвое. Для поддержки зеркального отражения не требуется дополнительное аппаратное обеспечение.

5.5.2 PCI Express

На интерфейсе PCI Express имеется несколько компонентов, обеспечивающих надежность передаваемых данных. Первоначальный участок устанавливает максимальную общую ширину шины (x1, x4, или x8), которую устройства на шине смогут использовать для связи. Когда устройства на шине смогут общаться между собой, с помощью программного обеспечения можно будет определить, почему устройства не используют большую ширину данных.

При обнаружении аппаратным обеспечением порчи пакета используется механизм повторной попытки реализации на уровне соединения для попытки повторной отправки испорченного пакета и всех последующих пакетов. Хотя это прерывает доставку пакетов и замедляет связь, целостность соединения благодаря этому не сохраняется.

В случае обнаружении слишком большого числа ошибок, аппаратное обеспечение может определить, что проблема связана с качеством соединения. На этом этапе на устройствах выполняется последовательность восстановления. Учтите, что ширина соединения не устанавливается заново, однако возможно изменение координации дорожек связи.

Если аппаратное обеспечение не может выполнить успешное восстановление, как описано выше, соединение автоматически перейдет в состояние запроса и выполнит полный цикл повторного восстановления. Повторное восстановление – это серьезное системное событие, инициирующее перезагрузку принимающего устройства и всех подчиненных ему устройств, и регистрирующееся в MCH, как ошибка соединения. Поскольку данные теряются и процессы потребуются перезапустить, систему лучше выключить.

Для защиты пакетов данных используется 32-разрядная защита CRC (для защиты небольших пакетов используется 16-разрядная защита CRC). Поскольку в пакетах используется 8-разрядное/10-разрядное кодирование, обеспечивается дополнительная защита данных, позволяющая определить нелегальные коды.

5.5.3 Функции RAS системной шины

На системной шине присутствует защита четности для контактов данных FSB. Для сигналов FSB код коррекции ошибок не используется.

5.5.4 PCI-X

Интерфейс PCI-X позволяет использовать два сигнала для обнаружения двух видов ошибок и оповещения об этих ошибках. В их число входят ошибки четности данных и системные ошибки.

PERR# используется для сообщения об ошибках четности для всех транзакций, кроме транзакций специального цикла.

Второй сигнал – это сигнал SERR#. Сигнал SERR# подается, когда логика проверки четности устройства обнаруживает ошибку в одинарном адресном цикле или в любой фазе двойного адресного цикла, или, как указано выше, определяется ошибка четности данных во время специального цикла. SERR# может также использоваться для сообщения о других внутренних ошибках, которые могут повлиять на систему или на целостность данных. Учтите, что сигнал SERR# генерирует немаскируемое прерывание и означает критическую ошибку системы.

5.5.5 Использование разъема RMC

8-контактный разъем RMC обеспечивает интерфейс подключения датчиков управления сервером, которые могут опрашиваться системой управления сервером через интерфейс SMBus. Этот интерфейс SMBus является периферийным интерфейсом SMBus.

5.5.5.1 Интерфейс SMBus

Число и тип устройств SMBus зависят от типа платформы, однако все они используют один и тот же 8-контактный коннектор. За правильный мониторинг датчиков системной платы отвечает разработчик системы управления. Кроме того, этот интерфейс может использоваться для перезагрузки и выключения питания системы. Шина SMBus на системной плате подключается к шине питания 3,3 В режима ожидания и требует, чтобы RMC не включал эту шину с открытым стоком. Дублирование может нарушить временные характеристики сигнала, требуемые протоколом SMBus.

5.5.5.2 Последовательность включения питания

При включении системы могут произойти установленные по умолчанию транзакции SMBus. Контроллер mBMC не поддерживает режим и требует, чтобы RMC не включал никакие транзакции до тех пор, пока не будет подан высокий сигнал POST_STATUS на 8-контактном разъеме. Этот сигнал контролируется BIOS и служит индикатором завершения процедуры POST. Этот сигнал подается непосредственно набором микросхем, как сигнал 3,3 В.

После завершения процедуры POST по шине SMBus не передается никаких сообщений основной платы, и эта шина используется исключительно RMC. Вентиляторы и другие датчики устанавливаются в состоянии по умолчанию, и их мониторинг осуществляется системой управления сервером.

5.5.5.3 Источник питания

Питание RMC подается на двух контактах. Стандартное напряжение 5 В подается только, когда система полностью включена. Напряжение на шину 5 В режима ожидания подается всегда, когда система подключена к сети переменного тока. Сила тока на этой шине должна составлять не более 200 мА.

5.5.5.4 Входы

Входной сигнал POWER_OFF# отключает подачу постоянного тока на устройство. Система интерпретирует его, как нажатие кнопки питания на передней панели. Для защитной шины ICH ширина импульса должна составлять не менее 16 мс.

Сигнал PCIRST# служит для перезагрузки системы. Система интерпретирует его, как нажатие кнопки перезагрузки на передней панели. Для защитной шины ICH ширина импульса должна составлять не менее 16 мс.

5.5.6 Развертывание BIOS

Во флэш-памяти системы может поместиться два образа BIOS. Каждый образ будет располагаться в отдельном логическом разделе. Раздел, в котором находится загрузочный образ BIOS, называется основным разделом, а другой раздел называется вспомогательным разделом. Во время каждой загрузки BIOS проверяет, не произошло ли обновление BIOS во время предыдущей загрузки. В этом случае BIOS обращается к SIO3 для перехода на новый раздел. Если переход осуществляется успешно, основной и вспомогательный разделы меняются ролями. Этот автоматический процесс называется «Rolling BIOS». Если переход на новую версию BIOS не удален, SIO3 переключается на предыдущую версию BIOS в другом разделе. Поскольку загрузочный блок основного раздела всегда защищен, для восстановления работоспособности системы может быть выполнено восстановление BIOS.

6. Разъемы и блоки перемычек

6.1 Схема контактов разъемов

Таблица 71. Таблица разъемов серверной платы

Разъем	Количество	Тип коннектора	Количество контактов
Память	8	Разъемы DIMM	240
PCI Express	1	Краевой разъем карты	98
PCI X 133 МГц	1	Краевой разъем карты	184
IDE	1	Скрытый разъем	40
Вентиляторы	8	Разъем	Variable
Аккумулятор	1	Держатель батареи	3
Модуль питания	3	Питание EPS12V	8 24 5
Клавиатура/Мышь	1	PS2, stacked	12
Задний порт USB	1	Внешний блок	12
Последовательный порт	1	Внешний, D-Sub	9
Видеоразъем	1	Внешний, D-Sub	15
Два разъема сетевого адаптера 10/100/1000	1	Два разъема сетевого адаптера 10/100/1000 с встроенными магнитными элементами	38
Флоппи-диск	1	Разъем	34
Главная передняя панель	1	Разъем	34
Порт USB передней панели	1	Разъем	10
Датчик вскрытия корпуса	1	Разъем	2
Драйверы Serial ATA	6	Разъем	7

Таблица 72. Разъем для тестирования

Разъем	Количество	Тип коннектора	Количество контактов
XDP	1	Разъем	30

Таблица 73. 8-контактный контроллер RMC (Поддержка удаленного управления) OEM-компании

Название:	Контакт	Описание
SMBUS_SDA	1	Данные SMBus на периферийной шине основной платы. Благодаря этому поддерживается прямой доступ к контроллеру HECETA через спецификацию SMBus v2.0 с открытым стоком. Этот сигнал подается основной платой, и карта RMC не должна его подавать.
GND	2	Заземление системы
SMBUS_SCL	3	Такт SMBus на периферийной шине основной платы. Благодаря этому поддерживается прямой доступ к контроллеру HECETA через спецификацию SMBus v2.0 с открытым стоком. Этот сигнал подается основной платой, и карта RMC не должна его подавать.
5 В режима ожидания	4	5 V standby supply < 200 mA
POST_STATUS	5	BIOS набора микросхем Intel® сообщает, что процедура POST завершена. После подачи этого сигнала контроллер mBMC на периферийной шине остановит главные транзакции. Этот сигнал GPO 3,3В подается ICH. Предполагается, что при этом производится связь VIH с входным буфером OEM. Это активный высокий сигнал. Когда он подается на низком уровне, карта RMC не должна отправлять никаких транзакций на шину SMBus.
PCIRST#	6	Ввод карты RMC. Подается на шлюз И, поддерживающий логическую схему ИЛИ для кнопки перезагрузки на передней панели для входа ICH. На шине 5В режима ожидания установлен резистор 1 кОм, и поэтому можно использовать буфер с открытым стоком.
5VCC	7	Поддача питания 5 В <1А на базе характеристик контактов разъемов.
POWER_OFF#	8	Сигнал выключения питания от RMC. На низком уровне выключает систему. Подается на шлюз, поддерживающий напряжение 5 В. На шине 5 В режима ожидания установлен резистор 1 кОм, и поэтому можно использовать буфер с открытым стоком.

Таблица 74. Разъем EPS12V 2x12

№ контакта	Сигнал	№ контакта	Сигнал
1	+3,3V	13	+3,3V
2	+3,3V	14	-12V
3	GND	15	GND
4	+5V	16	PS_ON
5	GND	17	GND
6	+5V	18	GND
7	GND	19	GND
8	PWR_GD	20	NC
9	SB5V	21	+5V
10	+12V	22	+5V
11	+12V	23	+5V
12	+3,3V	24	GND

Таблица 75. Разъем EPS12V 2x4

№ контакта	Сигнал
1	GND
2	GND
3	GND
4	GND
5	+12V
6	+12V
7	+12V
8	+12V

Таблица 76. Разъем EPS12V 1x5

№ контакта	Сигнал
1	SMBus clock
2	SMBus Data
3	NC
4	GND Return Sense
5	+3.3V Sense

Таблица 77. Разъем первичного канала контроллера IDE

Сигнал	Контакт	Контакт	Сигнал
IDE_RST_N	1	2	GND
ICH5-R_PDD7	3	4	ICH5-R_PDD8
ICH5-R_PDD6	5	6	ICH5-R_PDD9
ICH5-R_PDD5	7	8	ICH5-R_PDD10
ICH5-R_PDD4	9	10	ICH5-R_PDD11
ICH5-R_PDD3	11	12	ICH5-R_PDD12
ICH5-R_PDD2	13	14	ICH5-R_PDD13
ICH5-R_PDD1	15	16	ICH5-R_PDD14
ICH5-R_PDD0	17	18	ICH5-R_PDD15
GND	19	20	KEY
ICH5-R_PDDREQ	21	22	GND
ICH5-R_PDIOV_N	23	24	GND
ICH5-R_PDIOV_N	25	26	GND
ICH5-R_PDIOV_N	27	28	GND (CSEL)
ICH5-R_PDDACK_N	29	30	GND
ICH5-R_IRQ14_N	31	32	IOCS16
ICH5-R_PDA1	33	34	CABLE SENSE
ICH5-R_PDA0	35	36	ICH5-R_PDA2
ICH5-R_PDCS1_N	37	38	ICH5-R_PDCS3_N
ICH5-R_LED1_N	39	40	GND

Таблица 78. Разъем передней панели

Сигнал	Контакт	Контакт	Сигнал
P5V	1	2	P5V_STBY
KEY	3	4	P5V_STBY
FP_PWR_LED_N	5	6	FP_COOL_FLT_LED_N
P5V	7	8	FP_SYS_FLT_STATUS_LED_N
HD_LED_ACT_N	9	10	P5V_STBY
FP_PWR_BTN_N	11	12	NICA_ACT_LED_N
GND	13	14	NICA_LINK_LED_N
FP_RST_BTN_N	15	16	ICH5-R_SMBDAT
GND	17	18	ICH5-R_SMBCLK
FP_SLPBTN_N	19	20	FP_CHASSIS_INTRUDER_N
GND	21	22	NICB_ACT_LED_N
FP_NMI_BTN_N	23	24	NICB_LINK_LED_N
KEY	25	26	KEY
P5V_STBY	27	28	P5V_STBY
FP_ID_LED_N	29	30	FP_SYS_READY_LED_N
FP_ID_BTN_N	31	32	TP_FP_CONN_32
GND	33	34	DPP_FAULT_LED_N

Таблица 79. Разъемы USB передней панели

Сигнал	Контакт	Контакт	Сигнал
USB_PWR	1	2	Не используется
USB_ICH5-R_P0N_IND	3	4	Не используется
USB_ICH5-R_P0P_IND	5	6	Не используется
GND	7	8	Не используется
KEY	9	10	Не используется

Таблица 80. Разъем USB задней панели

Сигнал	Контакт
USB2_OC2_FB	1
USB2_P2N_FB	2
USB2_P2P_FB	3
GND	4
USB3_OC3_FB	5
USB3_P3N_FB	6
USB2_P3P_FB	7
GND	8
Shield GND	9
Shield GND	10
Shield GND	11
Shield GND	12

Таблица 81. Разъем SATA

Сигнал	Контакт
GND	1
S-ATA0_RX_P	2
S-ATA0_RX_N	3
GND	4
S-ATA0_TX_P	5
S-ATA0_TX_N	6
GND	7

Таблица 82. Держатель батареи

Сигнал	Контакт
VBAT	1
VBAT	2
GND	3

Таблица 83. Микрофон Piezo*

Сигнал	Контакт
SPEAKER_OUT	1
GND	2

Таблица 84. Вентилятор 1 и вентилятор 2 (3 контактный + 2 контактный)

Сигнал	Контакт
Земля	1
Fan Power	2
Fan Tach	3
Сигнал	Контакт
Fan LED	1
Присутствие вентилятора	2

Таблица 85. Вентилятор 3 и вентилятор 4

Сигнал	Контакт
Fan LED	1
Присутствие вентилятора	2
PWM	3
Земля	4
Fan Power	5
Fan Tach	6

Таблица 86. Вентилятор 5 и вентилятор 6

Сигнал	Контакт
PWM	1
Земля	2
Fan Power	3

6.2 Блоки перемычек

6.2.1 Развертывание перемычки выбора банка памяти для BIOS

Одна перемычка на двухконтактном разъеме может занимать два возможных положения: Перемычка установлена или нет. Когда перемычка установлена, система работает в режиме восстановления флэш-памяти, а когда перемычка не установлена, система работает в нормальном режиме.

Таблица 87. Блок перемычек выбора BIOS

Перемычка	Описание	Настройки
J1B1	Установите флэш-устройство BIOS для загрузки с верхнего или нижнего банка флэш-устройства.	Нормальное функционирование – контакты 1-2 (по умолчанию) Принудительная установка нижнего банка – контакты 2-3

6.2.2 Восстановление BIOS

На двухконтактном коннекторе перемычка может быть или установлена, или не установлена. Когда перемычка установлена, система работает в режиме восстановления флэш-памяти, а когда перемычка не установлена, система работает в нормальном режиме.

Таблица 88. Установка перемычек для восстановления BIOS

Перемычка	Описание	Настройки
J4H1	Восстановление	Перемычка установлена: Восстановление Перемычка не установлена: Нормальная загрузка (стандартное положение)

6.2.3 Очистка пароля

В случае утери пароля пользователя или администратора очистку обоих паролей можно произвести, установив перемычку очистки пароля в положение очистки. Во время тестирования системы при включении BIOS определяет положение перемычки пароля и, при необходимости, производит очистку паролей. Для того, чтобы ввести новый пароль (или пароли), перемычку очистки пароля необходимо вернуть в первоначальное положение.

Таблица 89. Установка перемычек очистки пароля

Перемычка	Описание	Настройки
J4H3	Очистка пароля	Перемычка установлена: Очистка пароля Перемычка не установлена: Нормальная загрузка (стандартное положение)

6.2.4 Очистка CMOS

Таблица 90. Установка перемычек для очистки CMOS

Перемычка	Описание	Настройки
J2H1	Очистка CMOS	1-2: Очистка CMOS контроллером BMC (по умолчанию) 2-3: Форсированная очистка CMOS Очистка CMOS контроллером BMC Нажмите и удерживайте кнопку перезагрузки, нажмите и удерживайте кнопку питания, и отпустите обе кнопки одновременно.

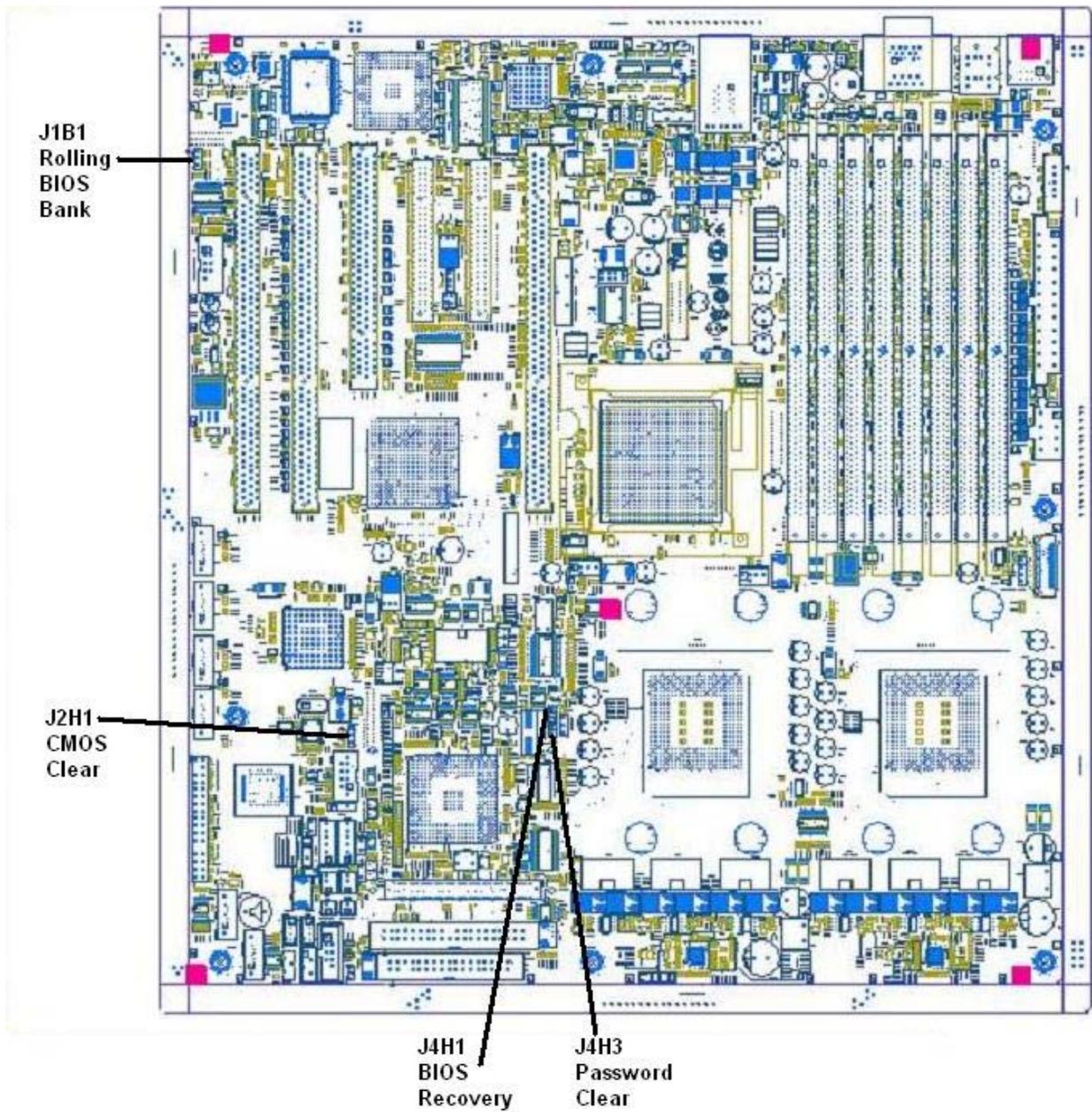


Рисунок 16. Расположение перемычек блокировки SE7520BB2

7. Требования к рабочей среде

7.1 Требования к окружающей среде и охлаждению

Необходимая температура хранения

- От -40 °C до +70 °C

Необходимая рабочая температура:

- От 5 °C до 50 °C

Допустимая погрешность напряжения на всех шинах питания:

- +/- 5%

Требования к охлаждению для различных участков платы:

- CPU и CPU VR: 450LFM
- Массив памяти DIMM: подлежит определению
- Теплоотвод MCH: подлежит определению
- Теплоотвод PCH: подлежит определению

7.2 Требования к источнику питания

7.2.1 Параметры энергопотребления системной платы

SE7520BB2 Power Budget										
Items				Output Average Current						
	Qty	utilize factor	Average power	+5 V	+3.3 V	+12 V	+12VCPU	-12 V	-5 V	+5VSB
Mother Board										
LV Sossaman Processor Vcore	2		62.00				6.46			
Processor VRD Eff@ 80%		20%	15.50							
VTT 1.05V/5A		70%	2.73			0.28				
NB (Lindenhurst)										
Core : 1.5V / 5.11A	1	70%	5.37	1.34						
DDR2-400 1.8V/6.7A		70%	8.44			0.88				
1.5 V VRD Eff @80%		20%	1.34							
1.8 V VRD Eff @80%		20%	2.11							
ICH5										
V_CPU_IO :0.0025 A		70%	0.0020			0.0002				0.0002
Vcore 1.5V :0.971A		70%	1.02	0.25489						
VCC3.3V: 0.480 A		70%	0.50		0.336					
VCCSUS3.3V :0.58 A		70%	1.34							0.4080
V5REF:250uA		70%	0.0009	0.00018						0.10
V5REF_SUS:200uA		70%	0.0007							0.0001
PXH-H	1									
3.3V / 1.17A		70%	2.70		1.080					
1.5V / 5 A		70%	5.25	1.3275						
1.5 V VRD Eff @80%		20%	1.31							
Memory DDR2 400	8									
DDR 1.8V (HIP6311)		70%	40.90			4.26				
1.8 V VRD Eff @80%		20%	10.22							
82541PI 3.3V/0.025A,1.8V/0.21A,1.2V/0.45A		70%	0.70							0.480
88E8050	1	70%	1.33							0.266
VGA ATI_RAGE_XL	1	70%	2.10		0.420	0.07				
Super I/O (PC87427)										
VCC:5V/ 0.02A	1	70%	0.70	0.14						
VCC3.3V/0.015 A	1	70%	0.03		0.011					
VSB5V/0.01 A	1	70%	0.04							0.01
4 Port SATA Controler										
3.3w/0.07A typ			0.23		0.070					
1.8V/0.69A typ			1.24		0.690					
CLK3.3(CK409Generator)	1	70%	0.81		0.245					
Video RAM (2MX 32)	1	70%	0.69		0.210					
System ROM (FWH)	1	70%	0.03		0.008					
mBMC AUX5V	1	70%	0.70							0.140
USB	4	40%	4.00	0.80						
Keyboard	1	50%	0.38	0.08						
Mouse	1	50%	0.31	0.06						
System Fan	2	100%	61.60			4.30				
CPU Fan	2	100%	36.40			0.48				
PCI (32/33) (5V)	1	40%	10.00	2.00	2.280	0.40		0.20		0.375
PCI-X 133	2	40%	20.00	4.00	4.660	0.40				0.040
PCI-X (64/100)	1	40%	10.00	2.00	2.280	0.40				0.020
PCI-E 1*(X8), 2(X4/X8)	2	60%	30.00		3.600	2.62				0.375
Board Level Power			334							
Board Level output current				12.0	15.8	14.0	6.5	0.5		2.2

Таблица 91. Параметры энергопотребления системной платы

7.2.2 Поддерживаемое напряжение

Блок питания EPS12V 550 Вт генерирует следующее напряжение: +5v, +3.3v, +12v, -12v и +5v режима ожидания. Для поддержки процессора с высокой тактовой частотой требуется блок питания 650 Вт, который еще не определен. Другое напряжение берется из линейных и переключающих стабилизаторов. Для получения дополнительной информации ознакомьтесь с модифицированной спецификацией блока питания.

Таблица 92. Таблица напряжений питания серверной системной платы Intel® SE7520BB2

Напряжение	Название	Источник	Относительная погрешность
+12 В	P12V	Источник питания	+5% / -4%
+3,3 В	P3V3	Источник питания	+5% / -3%
-12 В	N12V	Источник питания	+9% / -5%
+5 В	P5V	Источник питания	+5% / -4%
+5 В режима ожидания	P5V_STBY	Источник питания	+5% / -3%
+12 В	P12V_CPU_0	Источник питания	+5% / -4%
+12 В	P12V_CPU_1	Источник питания	+5% / -4%
+0 В	GND	Источник питания	Нет
+3,3 В режима ожидания	P3V3_STBY	Линейное изменение от +5 В режима ожидания	+/-2.5%
+3,3 В аксиальное	P3V3_AUX	Переключается между шиной 3,3 В и шиной режима ожидания в зависимости от того, работает ли система в нормальном режиме или в режиме сна	+/-3%
+1,2 В	P_VTT	Линейное изменение от +1.8 В	+/-3%
+1,5 В	P1V5	Стабилизатор переключения +5 В	+/-3%
+1,8 В	P1V8_SCSI	Линейное изменение от +3,3 В	+/-3%
+2,5 В	P2V5_VIDEO	Линейное изменение от +5 В	+/-3%
+2,5 В	PV_SCSIA, PV_SCSIB	Линейное изменение от +5 В	+/-1%
+1,8 В	P1V8	Стабилизатор переключения +12 В	+/-3% (без переключателя питания)
+1.8 В DDR	P1V8_CHA, P1V8_CHB MCH_VCCDDR	Переключение шины P1V8	+3/-3% (без переключателя питания)
+1,8 В аксиальное	P1V8_NIC	Линейное изменение от +3.3 В или +3.3 В режима ожидания	+/-3%
+1,0 В аксиальное	P1V0_NIC	Линейное изменение от +3.3 В или +3.3 В режима ожидания	+/-3%
+1,2 В аксиальное	Lan_V_1P2	Линейное изменение от +3,3 В режима ожидания	+/-3%
+2,5 В аксиальное	Lan_V_2P5	Линейное изменение от +3,3 В режима ожидания	+/-3%
+1,5 В	P1V5_PXH	Линейное изменение от +3,3 В	+/-3%
+1.5 В or +3.3V	PCI_VIO	Переключение шины с линии 1,5 В или с шины 3,3 В	+/-3%
VID CPU0	P_VCCP0	Стабилизатор переключения +12 В	Нет
VID CPU1	P_VCCP1	Стабилизатор переключения +12 В	Нет

7.2.3 Карта устройства с питанием в режиме ожидания

В состоянии S4 или S5 питание режима ожидания требуется для следующих компонентов серверной платы SE7520BB2:

- Концентратор ввода/вывода сервера +3,3 VSB
- Нечета 7: +3,3 VSB
- Все слоты PCI/PCI-X: +3,3 VSB
- Все слоты PCI Express: +3,3 VSB
- Конвертер последовательного порта RS232: +5 В SB
- ICH5-R: +3,3 VSB, SB1_5V (генерируется на ICH5-R), +5 VSB
- Коннектор SM: +3,3 VSB, +5 VSB
- Цепь батареи: +3,0 VSB

7.2.4 Блок-схема перезагрузки системы

Примечание: При подаче сигнала CPU_VRD_PWR_GD на ICH5-R сигнал VRMPWRGD добавляет избыточную логику, поскольку сигнал CPU_VRD_PWR_GD также пересылается на сигнал ICH5-R PWROK. Изоляционная цепь RTC для сигнала RSMRST_N не показана на следующей схеме для простоты. Выходной сигнал Нечета 7 RESET_N выводится с задержкой ~200 мс после включения питания. При перезагрузке питания всем реестрам Нечета 7 возвращаются значения по умолчанию. Добавлена цепь RSMRST_N (пустые узлы), показанная на схеме ICH5 DG. Эта цепь требуется, если контроллер Нечета 7 HE доступен для включения.

При генерировании сигнала VTT_PWRGD стабилизатором P_VTT (1,2V) на базе SB_VTT_PWRGD происходит задержка 1 мс, используемая для генерирования сигнала VID_PWRGD для процессоров. Также задержка 1 мс происходит при генерировании сигнала SB_VTT_PWRGD для VR0_SYS_ENABLE. Эта информация не показана на следующей схеме. Эта логика задержки располагается внутри PLD.

В двухъядерных процессорах Intel® Xeon™ LV на базе набора микросхем E7520 используется следующая последовательность включения питания:

Питание подается на набор микросхем (MCH, PXH, ICH5-R) и процессоры.

Встроенная цепь обнаружения питания инициирует блокировку PLL. Однако отсутствие стандартного сигнала на входе PLL включает цепь обнаружения низкой частоты, которая отключает PLL.

Синхронизирующие сигналы подаются микросхемами (СК409В/DB800).

Синхронизирующие микросхемы отправляют тактовые сигналы только после блокировки PLL в этих микросхемах. В связи с этим подаются только хорошие тактовые сигналы.

Присутствие сигналов определяется цепью определения низкой частоты. Блокировка PLL инициируется заново.

PLL блокируются.

Набор микросхем (MCH, PXH, ICH5-R) и процессоры получают внешний сигнал PowerGood.

Задержка стабилизатора FSB VTT до подачи сигнала CPU VIDPWRGD может составлять от 1 мс до 10 мс.

Задержка от подачи сигнала CPUVIDPWRGD до подачи напряжения на ядро процессора должна составлять не менее 1 мс.

Дополнительная информация: Сигнал SB_VTT_PWRGD представляет собой задержанную копию (задержка не менее 1 мс) сигнала VTT_PWRGD стабилизатора FSB VTT при переходе сигнала VTT_PWRGD с низкого уровня на высокий. Сигнал VR0_SYS_ENABLE генерируется на базе логики PLD, сигнала SB_VTT_PWRGD и дополнительной задержки не менее 1 мс. Эта логика задержки располагается внутри PLD.

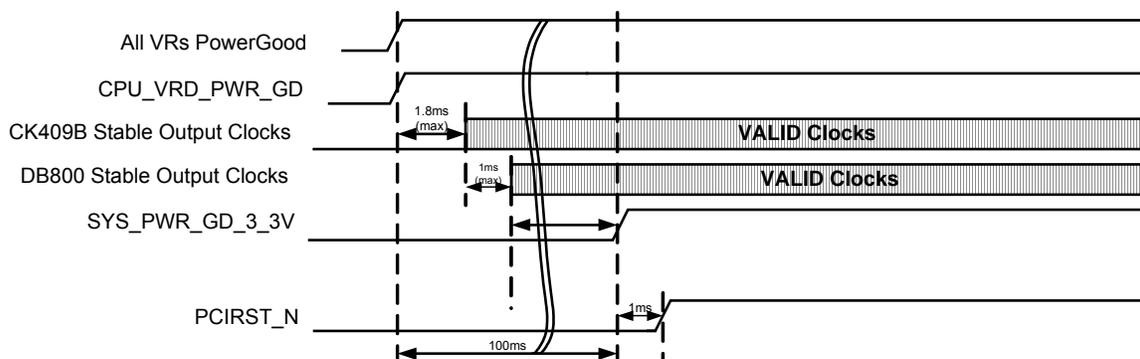


Рисунок 17. Синхронизация перезапуска и PowerGood

7.2.4.1 Схема последовательности включения питания

Сигнал Power Good блока питания активирует последовательность перезагрузки системы. Сигнал power good и последовательность перезагрузки предназначены для сохранения всех компонентов в режиме перезагрузки до стабилизации питания и системных тактовых импульсов. Сигнал power good блока питания подается после достижения требуемого уровня напряжения на всех шинах питания. Сигнал Power Good отключается, как только любое напряжение падает ниже указанного уровня. Дополнительную информацию можно найти в спецификации блоков питания EPS12V.

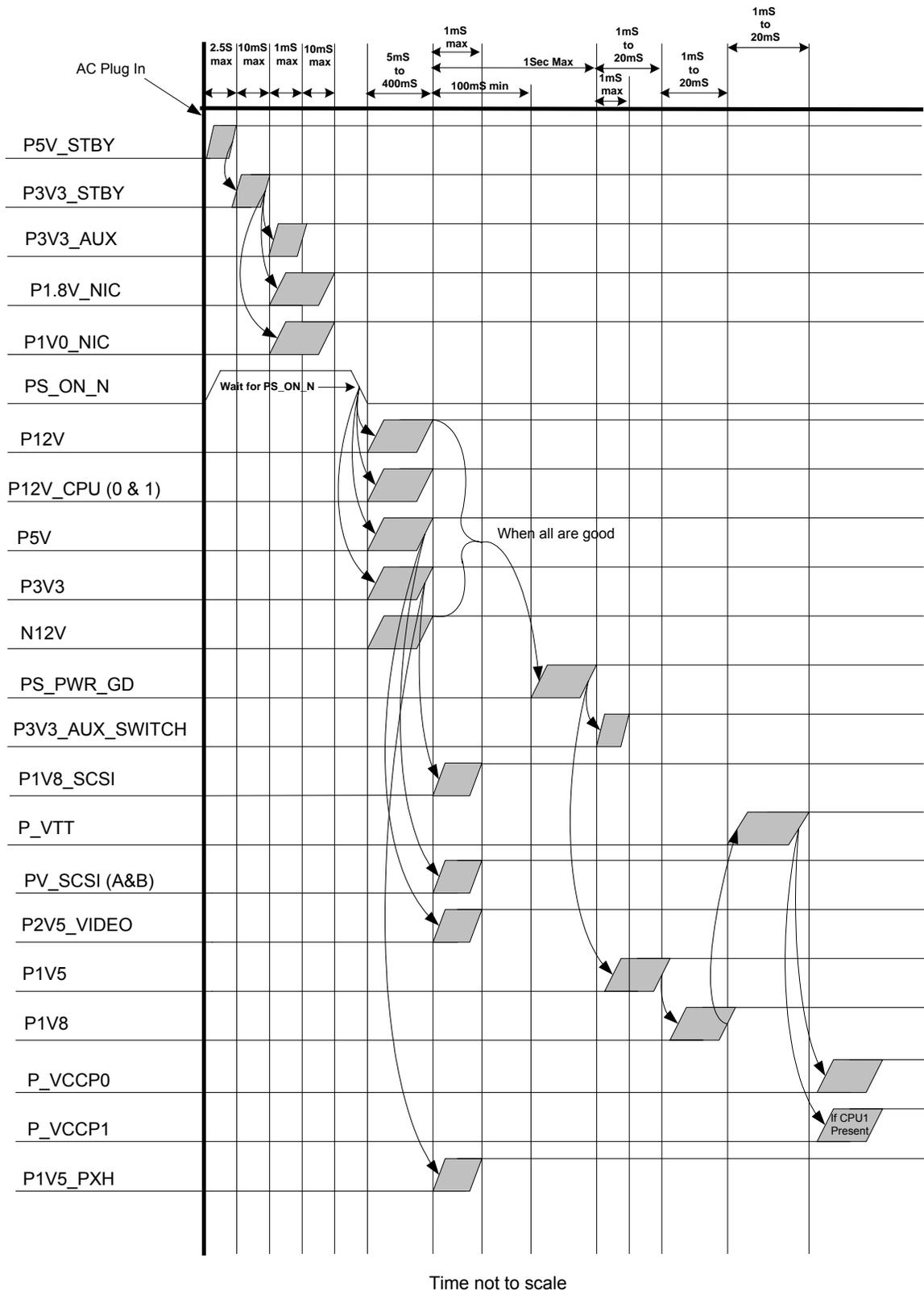


Рисунок 18. Таблица упорядочения питания серверной системной платы Intel® SE7520BB2

7.3 Требования к воздушному потоку

7.3.1 Отказ от ответственности за последствия использования системных плат

Серверные платы производства корпорации Intel содержат интегрированные с высокой плотностью компоненты питания и компоненты VLSI, для охлаждения которых требуется адекватный воздушный поток. Процедура разработки и тестирования корпусов в корпорации Intel гарантирует, что при совместном использовании серверных компонентов Intel® полностью интегрированная система будет удовлетворять требования к температуре этих компонентов. Системный интегратор, решающий не использовать серверные компоненты Intel®, обязан ознакомиться со спецификациями поставщиков и рабочими параметрами оборудования, чтобы убедиться в наличии воздушного потока, достаточного для конкретных условий эксплуатации. Корпорация Intel не несет ответственность за неисправность компонентов серверной платы или самой серверной платы, если условия их эксплуатации не соответствуют установленным.

7.4 Расчетные данные среднего времени наработки на отказ системной платы

Номинальное среднее время наработки на отказ составит 102 000 часов. Как показано, фактическая средняя наработка на отказ для нескольких систем равна 32656 часов. Несмотря на то, что наш проверочный тест продолжался около 32000 часов для нескольких серверов, мы подтверждаем, что фактические данные по средней наработке на отказ, основанные на статистической регрессии, составляют более 102000 часов.

7.4.1 Технология Intel SpeedStep®

Двухъядерные процессоры Intel® Xeon™ LV поддерживают функцию «Geyserville3» (GV3) технологии Intel SpeedStep®. Эта функция изменяет тактовую частоту и напряжение процессора так же, как и функция Thermal Monitor 2 (TM2). Платформы на базе наборов микросхем E7520 поддерживают функцию GV3 в сочетании с функцией TM2.

7.5 Соответствие продукции нормам и правилам

7.5.1 Соответствие продукции нормам безопасности

Серверная плата Intel® SE7520BB2 соответствует следующим требованиям безопасности:

- UL60950 – CSA60950 (США/Канада)
- EN 60950 (CENELEC Европа)
- IEC60950 (международный)
- CE – Директива о низком напряжении (73/23/EEE) (Европейские стандарты CENELEC)
- Сертификация и отчет CB, IEC60950 (отчет, включающий все национальные отклонения по странам)
- ГОСТ Р 50377-92 – лицензия (Россия) ¹
- Белорусская лицензия (Беларусь) ¹

Примечание: Сертификации системных плат в России и Беларуси не требуются законом, однако для упрощения импортирования системных плат в эти страны, они должны иметь лицензию ГОСТ на системном уровне. Также можно получить добровольный сертификат соответствия ГОСТ для каждой системной платы.

7.5.2 Соответствие продукции нормам электромагнитной совместимости

Система на базе системной платы SE7520BB2 была протестирована на соответствие нижеперечисленным нормам и правилам по электромагнитной совместимости при установке в совместимый корпус Intel и признана удовлетворяющей требованиям этих норм и правил. Информацию по совместимым корпусам можно получить у представителя корпорации Intel в Вашем регионе.

- FCC /ICES-003 (класс A) Испускаемое и передаваемое излучение (США/Канада)
- CISPR 22 (Класс A) – Испускаемые и передаваемые электромагнитные излучения (Международные стандарты)
- EN55022, (Класс A) – Испускаемые и передаваемые излучения (Европа CENELEC).
- EN55024, Устойчивость (Европейские стандарты CENELEC)
- CE – Директива по электромагнитной совместимости (89/336/ЕЕС) (Европейские стандарты CENELEC)
- VCCI (Класс A) – Испускаемое и передаваемое излучение (Япония) – Только проверка соответствия
- AS/NZS 3548 (Класс A) – Испускаемые и передаваемые излучения (Австралия/Новая Зеландия)
- BSMI CNS13438 (Класс A) – Испускаемые и передаваемые электромагнитные излучения (Тайвань)
- ГОСТ Р 29216-91 (Класс A) Испускаемые и передаваемые излучения (Россия) ¹
- ГОСТ Р 50628-95 (устойчивость) (Россия) ¹
- RRL, MIC Notice No. 1997-41 (EMC) и 1997-42 (EMI) (Корея)

Примечание: Сертификации системных плат в России и Беларуси не требуются законом, однако для упрощения импортирования системных плат в эти страны, они должны иметь лицензию ГОСТ на системном уровне. Также можно получить добровольный сертификат соответствия ГОСТ для каждой системной платы.

7.5.3 Обязательные / стандартные: сертификаты, регистрация, декларации

- UL (США/Канада)
- Декларация соответствия нормам ЕС
- FCC /ICES-003 (класс A) Испускаемое и передаваемое излучение (США/Канада)
- Сертификация VCCI (Япония) – Только проверка
- Декларация соответствия C-Tick (Австралия)
- Декларация соответствия MOC(Новая Зеландия)
- Сертификат BSMI (Тайвань)
- ГОСТ Р – Сертификация/лицензия (Россия) ¹
- Беларусь – Сертификация/лицензия (Россия) ¹
- Сертификат RRL (Корея)
- Декларация ECMA TR/70 (международная)

Примечание: Сертификации системных плат в России и Беларуси не требуются законом, однако для упрощения импортирования системных плат в эти страны, они должны иметь лицензию ГОСТ на системном уровне. Также можно получить добровольный сертификат соответствия ГОСТ для каждой системной платы.

7.5.4 Соответствие продукции нормам и правилам маркировки

Настоящая продукция содержит следующую сертификационную маркировку.

- Маркировка cURus
- Маркировка ЕС
- Маркировка ГОСТ РФ
- Маркировка C-Tick (Австралия)
- Маркировка RRL MIC (Корея)
- Сертификационный номер BSMI R33025 и предупреждение BSMI по электромагнитной совместимости

7.5.5 Замечания по электромагнитной совместимости

7.5.5.1 Европа (декларация соответствия ЕС)

Данная продукция была протестирована на соответствие Директиве о низком напряжении (73/23/ЕЕС) и Директиве по электромагнитной совместимости (89/336/ЕЕС) и была признана соответствующая данным требованиям. Для подтверждения данного соответствия продукция была маркирована соответствующим образом.

7.5.5.2 Министерство связи Австралии (ACA) (декларация соответствия C-Tick)

Данная продукция была протестирована на соответствие стандартам AS/NZS 3548 и требованиям по излучению ACA, была признана соответствующей этим стандартам. Продукция должна быть маркирована знаком C-Tick для подтверждения этого соответствия.

7.5.5.3 Декларация соответствия требованиям министерства экономического развития Новой Зеландии

Данная продукция была протестирована на соответствие стандартам AS/NZS 3548 и была признана соответствующей требованиям министерства экономического развития Новой Зеландии к электромагнитному излучению.

7.5.5.4 BSMI (Тайвань)

Маркировка сертификационного номера BSMI R33025 сделана трафаретной печатью на внутренней стороне серверной платы. На серверной плате изображено предупреждение BSMI по электромагнитной совместимости.

<p>警告使用者：</p> <p>這是甲類的資訊產品，在居住的環境中使用時，可能會造成射頻干擾，在這種情況下，使用者會被要求採取某些適當的對策。</p>
--

7.5.6 Замена резервной батареи

Литиевая батарея серверного корпуса обеспечивает питание часов реального времени в течение 10 лет при отсутствии других источников питания. Когда батарея начинает садиться, подаваемое ею напряжение падает и настройки сервера, хранящиеся в памяти CMOS RAM (например, дата и время) могут исказиться. Список утвержденных устройств Вы можете получить у своего дилера или представителя службы поддержки.

ОСТОРОЖНО

Опасность взрыва при неправильной замене батареи. Батарея может быть заменена только на аналогичное устройство или устройство аналогичного типа, рекомендованное производителем оборудования. Утилизация использованных батарей должна производиться согласно инструкциям производителя.

ADVARSEL!

Lithiumbatteri - Eksplosionsfare ved fejlagtig håndtering. Udskiftning må kun ske med batteri af samme fabrikat og type. Levér det brugte batteri tilbage til leverandøren.

ADVARSEL

Lithiumbatteri – Eksplosjonsfare. Ved utskifting benyttes kun batteri som anbefalt av apparatfabrikanten. Brukt batteri returneres apparatleverandøren.

VARNING

Explosionsfara vid felaktigt batteribyte. Använd samma batterityp eller en ekvivalent typ som rekommenderas av apparattillverkaren. Kassera använt batteri enligt fabrikantens instruktion.

VAROITUS

Paristo voi räjähtää, jos se on virheellisesti asennettu. Vaihda paristo ainoastaan laitevalmistajan suosittelemaan tyyppiin. Hävitä käytetty paristo valmistajan ohjeiden mukaisesti.

Глоссарий

В данном приложении содержатся термины, используемые в предшествующих главах. Для удобства использования сначала приведены термины, начинающиеся с цифр (например, «82460GX»), а затем остальные термины в алфавитном порядке (например, «AGP 4x»). Затем в первую очередь вводятся акронимы, а затем идут простые термины.

Слово/Акроним	Определение
Интерфейс ACPI	Расширенный интерфейс конфигурации и питания
BMC	Контроллер управления шиной
CEK	Набор CEK
DVI	Интерфейс цифрового видео
FML	Fast Management Link (FML)
FMM	Модуль управления встроенным ПО
Частота системной шины	Системная шина
KCS	
LPC	Малое количество контактов (Low pin count)
mBMC	Мини контроллер управления шиной
MCH	Контроллер-концентратор памяти
NMI	Немаскируемое прерывание
PATA	Параллельный ATA
PCB	Печатная плата
PLL	Цикл фазовой блокировки
PWM	Широтно-импульсная модуляция
RTC	Часы реального времени
SATA	Драйверы Serial ATA
SIO	Super I/O (Ввод / Вывод)
SM	Системное управление
SMC	Контроллер управления системой
USB	Универсальная последовательная шина (Universal Serial Bus)
VRD	Регулятор напряжения (VRD)

Справочная документация

Дополнительную информацию можно получить из следующих документов:

- *Спецификация ACPI 1.0b* 1996, 1997, 1998. Корпорация Intel, корпорация Microsoft, корпорация Toshiba.
- *Design for Test R18*. BIOS/ Встроенное ПО Корпорация Intel
- *Выделение адресов I2C*, версия 1.13. 1997. Корпорация Intel
- *Спецификация IPMI 1.0*, версия 1,5. 2000. Корпорация Intel, компания Hewlett-Packard, корпорация NEC, корпорация Dell Computer.
- *Определение хранения информации FRU для управления платформой*, версия 1.0. 1998. Корпорация Intel, компания Hewlett-Packard, корпорация NEC, корпорация Dell Computer. <http://developer.intel.com/design/servers/ipmi/сpec.htm>
- *Информационный материал по управлению питанием серверов*, версия 0.93. 5 ноября 1998 года. Корпорация Intel.
- *Спецификация SMBus*, корпорация Intel

Процессор

- Руководство по написанию LV BIOS для двухъядерного процессора Intel® Xeon™, конфиденциальный документ Intel (19802)
- AP-485 Идентификация процессоров Intel и функция CPUID.
 - <http://www.intel.com/design/xeon/applnotes/241618.htm>
- AP-485 Идентификация процессоров Intel и функция CPUID.

Набор микросхем

- Спецификация BIOS концентратора MCH RS-E7520, конфиденциальный документ (13090)
- Спецификация BIOS RS-Intel® ICH5-R, конфиденциальный документ (12630)
- Спецификация BIOS RS-Intel® ICH5-R, конфиденциальный документ (12939)
- Концентратор RS-Intel® PCI-X Hub (PXH)

Стандарты

- *Расширенная спецификация по конфигурированию и интерфейсу питания*, версия 1,0b, февраль 1999 года, <http://www.acpi.info/>
- *Спецификация загрузки BIOS*, версия 1.01, 11 января 1996 г., <http://developer.intel.com/ial/WfM/wfm20/design/BIBLIOG.HTM>
- *Спецификация El Torito CD-ROM Boot*, версия 1.0., <http://www.phoenix.com/resources/specs-cdrom.pdf>
- *Спецификация Extensible Firmware Interface Reference*, версия 1.0., <http://www.intel.com/technology/efi/index.htm>

- Спецификация *Extensible Firmware Interface Reference*, версия 1.1, <http://www.intel.com/technology/efi/index.htm>
- Спецификации для 3,5-дюймовых флоппи-дисководов для настольных ПК и ноутбуков, <http://www.teac.com/dsp/catalog.html>
- Спецификация IPMI версия 1.5 <http://developer.intel.com/design/servers/ipmi/spec.htm>
- Спецификация многопроцессорных систем, версия 1.4, май 1997 г. <http://developer.intel.com/design/pro/datashts/242016.htm>
- Указания Microsoft по проектированию автоматических устройств. <http://www.microsoft.com/HWDEV/PLATFORM/server/headless/default.asp>
- Рекомендации по проектированию сетевых систем, версия 1.0, <http://www.intel.com/managedpc/standard>
- Руководство по разработке системы PC99, <http://www.pcdesguide.com/>
- Руководство по разработке системы PC2001, <http://www.pcdesguide.com/>
- Спецификация локальной шины PCI, версия 2.2, <http://www.pcisig.org/>
- Спецификация моста PCI-PCI, версия 1.1, <http://www.pcisig.org/>
- Спецификация PCI BIOS, версия 2.1, <http://www.pcisig.org/>
- Спецификация управления питанием PCI, версия 1.0, <http://www.pcisig.org/>
- Спецификация маршрутизации IRQ на шине PCI, версия 1.0, корпорация Microsoft.
- Спецификация менеджера памяти POST, версия 1.01, <http://www.phoenix.com/techs/specs.html>
- Спецификация Plug and Play BIOS, версия 1.0a, <http://www.microsoft.com/hwdev/respec/pnpspecs.htm>.
- Спецификация BIOS системного управления, версия 2.3.1, <http://developer.intel.com/ial/WfM/wfm20/design/BIBLIOG.HTM>.
- Спецификация требований к вспомогательному интерфейсу SYSID BIOS, версия 1.2, <http://developer.intel.com/ial/WfM/wfm20/design/BIBLIOG.HTM>
- Спецификация USB, версия 1.1, <http://www.usb.org/developers/docs.html>.
- Спецификация WFM 2.0, <http://developer.intel.com/ial/WfM/wfm20/design/BIBLIOG.HTM>
- Определение групп системных стандартов DMTF, <http://developer.intel.com/ial/WfM/wfm20/design/BIBLIOG.HTM>