



Серверная система Intel® S870BN4 (Набор плат)

**Технические спецификации системных
плат**



Версия 2.5

Июнь 2003

**Подразделение корпоративных платформ и
служб**

Описание

Дата	Номер версии	Изменения
Июнь 2003	2.5	Первая версия не для внутреннего пользования.

Отказ от ответственности

ДАННАЯ СПЕЦИФИКАЦИЯ [ДОКУМЕНТ] ПРЕДОСТАВЛЯЕТСЯ “КАК ЕСТЬ” (“AS IS”) БЕЗ КАКИХ-ЛИБО ГАРАНТИЙ, ВКЛЮЧАЯ ГАРАНТИИ ТОВАРНОГО СОСТОЯНИЯ, ОТСУТСТВИЯ НАРУШЕНИЙ ИЛИ ПРИГОДНОСТИ ДЛЯ КАКИХ-ЛИБО ОСОБЫХ НАМЕРЕНИЙ, ИЛИ ГАРАНТИЙ, ВОЗНИКАЮЩИХ ВСЛЕДСТВИЕ ПРЕДСТАВЛЕНИЯ КАКИХ-ЛИБО ПРЕДЛОЖЕНИЙ, СПЕЦИФИКАЦИЙ ИЛИ ОБРАЗЦОВ. Корпорация Intel снимает с себя всякую ответственность, в том числе ответственность за нарушение чьих-либо имущественных прав, связанную с информацией, содержащейся в настоящей спецификации. Этот документ не предоставляет никакой лицензии, прямой или косвенной, на использование интеллектуальной собственности.

Серверная системная плата Intel® S870BN4 может содержать конструктивные дефекты или погрешности (errata), которые могут вызвать отклонение поведения продукции от предусмотренного в опубликованных спецификациях. Сведения о выявленных погрешностях и отклонениях предоставляются по требованию.

I²C – двухпроводной коммуникационный протокол/шина, разработанный компанией Philips. SMBus – подраздел протокола/шины I²C, разработанный корпорацией Intel. Для использования протокола/шины I²C или протокола/шины SMBus могут потребоваться лицензии от различных компаний, в том числе Philips Electronics N.V. и North American Philips Corporation.

Intel и Itanium являются товарными знаками или зарегистрированными товарными знаками корпорации Intel и ее подразделений в США и других странах.

* Другие наименования и товарные знаки являются собственностью своих законных владельцев.

Корпорация Intel, 2003 ©

Содержание

1.	Введение	15
2.	Плата процессоров	17
2.1	Характеристики	17
2.2	Структура глав и описание документа	17
2.3	Введение	18
2.3.1	Блок-схема	19
Блок-схема		19
2.3.2	Схема размещения	21
Схема размещения		21
2.4	Функциональная архитектура	22
2.4.1	Системная шина Itanium® 2	22
2.4.2	Интерфейс памяти	23
2.4.3	Интерфейс шины ввода/вывода порта масштабируемости	23
Интерфейс шины ввода/вывода порта масштабируемости		23
2.4.4	Распределение синхронизирующих импульсов	24
2.4.5	Стабилизаторы напряжения	25
2.4.6	Power Good/Reset	30
2.4.7	Программируемые логические устройства	34
2.4.8	Установка перемычек платы процессоров	44
2.4.9	Блок управления сервером	46
2.4.10	Схема адресов I ² C	46
2.4.11	Порт отладки (JTAG)	50
2.4.12	Интерфейс ISP	53
2.4.13	Концентратор встроенного микрокода	54
2.5	Описания сигналов	54
2.5.1	Сигналы системной шины процессоров Intel® Itanium® 2	55
2.5.2	Сигналы шины порта масштабируемости (SP)	55
2.5.3	Сигналы интерфейса памяти	55
2.5.4	Сигналы интерфейса управления сервером	56
2.5.5	Подключение питания	57
2.6	Электрические спецификации, механические спецификации и спецификации рабочей среды	57
2.6.1	Электрические спецификации	57
2.6.2	Механические спецификации	68
2.6.3	Механизм крепления процессора	69
Механизм крепления процессора		69
2.6.4	Температурные требования	70
2.6.5	Показатели качества и надежности	71
3.	Блок памяти	72
3.1	Описание	72
1.1	3.2 Функциональная архитектура	73
3.2.1	Массив памяти DDR	73
3.2.2	DMH	76
3.2.3	Интерфейс управления системой	76
3.2.4	Встроенный преобразователь постоянного тока 2,5 В в 1,25 В	77
3.3	Описания сигналов	77
3.3.1	Сигналы Rambus	77
3.3.2	Сигналы DDR	77
Сигналы DDR		77
3.3.3	Другие сигналы	78
3.3.4	Сигналы обозначения напряжения	79

3.4	Электрические спецификации, механические спецификации и спецификации рабочей среды	79
3.4.1	Абсолютные максимальные ограничения	79
3.4.2	Температурное.....	80
3.4.3	Температурные требования платы памяти	80
3.4.4	Электрические	80
3.4.5	Допустимые отклонения напряжения	80
3.4.6	Механические.....	82
3.4.7	Разъемы	83
	Разъемы.....	83
4.	Плата ввода/вывода	84
4.1	Характеристики.....	84
4.2	Архитектура	84
4.3	Шины и интерфейсы.....	86
	Шины и интерфейсы	86
4.3.1	Интерфейс промежуточной платы.....	86
4.3.2	Интерфейс отсека для дисков промежуточной платы	87
4.3.3	Шины PCI.....	87
4.3.4	Интерфейс переходной платы ввода/вывода	87
4.3.5	Интерфейс горячего подключения вентиляторов	88
4.3.6	Интерфейс управления питанием PCI.....	88
4.3.7	Интерфейс управления горячей установкой устройств PCI	88
4.3.8	Интерфейс питания D2D	89
4.3.9	Интерфейс статуса аппаратного обеспечения.....	89
4.3.10	Интерфейс ITP	89
4.4	Схемы расположения компонентов.....	89
4.5	Функциональные и логические блоки.....	91
4.5.1	Интерфейс промежуточной платы.....	91
4.5.2	Серверный концентратор ввода/вывода (SIOH)	95
4.5.3	R64H2	95
4.5.4	Шины PCI.....	96
4.5.5	Интерфейс горячей установки устройств PCI	102
4.5.6	Интерфейс управления питанием PCI.....	105
4.5.7	Интерфейс SCSI	107
4.5.8	Интерфейс IDE.....	109
4.5.9	Интерфейс переходной платы ввода/вывода	110
4.5.10	Функции управления сервером	113
4.5.11	Шина ISP	121
4.5.12	Система питания.....	123
4.5.13	Логика генерирования синхронизирующих сигналов.....	131
4.5.14	Логика генерирования сигналов перезагрузки	135
4.5.15	Прерывания и ошибки	137
4.5.16	Логика обработки ошибок.....	139
4.5.17	Интерфейс передней панели	140
4.5.18	Внутренний разъем включения питания.....	141
4.5.19	Режим производства.....	141
4.5.20	Разъемы ICMB/IPMB.....	141
4.5.21	Идентификатор версии платы.....	142
4.5.22	Общие температурные спецификации платы	142
4.5.23	Температурные требования платы ввода/вывода.....	143
4.5.24	Средства снижения электромагнитных помех	143
4.5.25	Механические характеристики	144
4.5.26	Защита 240 ВА	146

4.5.27	ИТР.....	147
5.	Переходная плата ввода/вывода	150
5.1	Характеристики.....	150
5.2	Архитектура	150
5.3	Основные компоненты	153
5.3.1	ICH4	153
5.3.2	ВМС	157
5.3.3	Концентратор встроенного микрокода.....	159
5.3.4	Суперконтроллер ввода/вывода	160
5.3.5	Графическое решение	160
5.3.6	82540EM* 10/100/1000 Ethernet.....	160
5.4	Шины и интерфейсы.....	162
5.4.1	Интерфейс Hublink 1.5.....	162
5.4.2	Интерфейс IDE.....	162
5.4.3	Шина LPC	162
5.4.4	Интерфейс PCI.....	163
5.5	Порты и интерфейсы ввода/вывода.....	164
5.5.1	Порт USB.....	164
5.5.2	Порт Ethernet.....	165
5.5.3	Последовательный порт.....	166
5.5.4	Видеоразъем.....	166
5.5.5	Коннектор POST-кодов I ² C*	167
5.5.6	Коннекторы ISP	167
5.5.7	Переключатель	167
5.5.8	Перемычка	167
5.6	Управление сервером	169
5.6.1	Блок-схема управления сервером	169
5.6.2	Последовательность включения питания	169
5.7	Перезагрузка переходной платы ввода/вывода	170
5.7.2	I ² C, IPMB и FRU.....	171
5.7.3	Шина ICMB и порт аварийного управления (EMP).....	172
5.7.4	JTAG	173
5.7.5	ISP Chain	174
5.7.6	Интерфейс передней панели	175
5.7.7	Интерфейс CPLD	175
5.8	Сигнал.....	179
5.9	IRQ и хозяин шины	181
	IRQ и хозяин шины.....	181
5.10	Интерфейс переходной платы ввода/вывода и платы ввода/вывода.....	183
5.11	Питание/Питание режима ожидания	186
5.12	Описание полос	189
	Описание полос.....	189
6.	Промежуточная плата.....	192
6.1	Введение.....	192
6.2	Аппаратная конструкция	192
6.2.1	Промежуточная плата S870BN4	192
6.2.2	Блок-схема	192
	Блок-схема.....	192
6.2.3	Расположение компонентов	193
	Расположение компонентов	193
6.2.4	Номера компонентов	195
6.2.5	Порт масштабируемости	196
6.3	Схемы контактов разъемов.....	196

6.3.1	Интерфейс промежуточной платы и распределительной платы питания.....	196
6.3.2	Интерфейс промежуточной платы и передней панели	197
6.3.3	Интерфейс промежуточной платы и платы процессоров.....	197
6.3.4	Интерфейс промежуточной платы и платы ввода/вывода.....	206
6.3.5	Интерфейс промежуточной платы / объединительной платы SCSI	216
6.4	Электрические и механические спецификации	216
6.4.1	Температурные требования промежуточной платы	217
6.4.2	Требования к питанию	217
6.4.3	Внешний вид	217
6.4.4	Вентиляционные отверстия	218
ПРИЛОЖЕНИЕ А: Глоссарий		I
Приложение В: Справочная документация		III

Список рисунков

Рисунок 2-1. Плата процессоров без платы памяти	2-3
Рисунок 2-2: Блок-схема платы процессоров	2-4
Рисунок 2-3: Расположение компонентов платы процессоров (главная сторона)	2-5
Рисунок 2-4: Расположение компонентов платы процессоров (вторая сторона)	2-6
Рисунок 2-5: Распределение синхронизирующих импульсов платы процессора	2-9
Рисунок 2-6: Последовательность включения шин питания.	2-16
Рисунок 2-7: Система контроля последовательности включения питания платы процессоров	2-17
Рисунок 2-8: Логическая схема RESETO_L	2-23
Рисунок 2-9: Логическая схема сигнала TRST для процессоров	2-24
Рисунок 2-10: Логическая схема сигнала TRST для SNC-M	2-24
Рисунок 2-11: Логическая схема выбора идентификатора концентратора встроенного микрокода	2-25
Рисунок 2-12: Включение порта масштабируемости SP	2-25
Рисунок 2-13: Схема счетчика защиты от сбоев.	2-26
Рисунок 2-14: Примеры синхронных и несинхронных выходов	2-28
Рисунок 2-15: Схема системы управления серверными системами Intel® SR870BN4	2-30
Рисунок 2-16: Использование JTAG в блоке процессоров/памяти.	2-34
Рисунок 2-17: Схема пропуска процессоров Intel® Itanium® 2	2-36
Рисунок 2-18: Блок-схема цепи программирования платы процессоров	2-37
Рисунок 2-19: Блок-схема LPC	2-38
Рисунок 2-20: Механическая схема платы процессоров (главная сторона)	2-51
Рисунок 2-21: Механическая схема платы процессоров (задняя сторона)	2-52
Рисунок 2-22: Механизм крепления процессора	2-53
Высокоуровневая блок-схема подсистемы памяти серверной системы Intel® SR870BN4	3-2
Рисунок 3-2. Сигналы памяти	3-3
Рисунок 3-3. Синхронизирующие сигналы	3-4
Рисунок 3-4. Сигналы перезагрузки	3-5
Рисунок 3-5. Остальные сигналы	3-6
Рисунок 3-6. Механическая схема платы памяти	3-15
Рисунок 4-1. Блок-схема платы ввода/вывода	4-2
Рисунок 4-2. Схема размещения компонентов на плате ввода/вывода	4-6
Рисунок 4-3. Схема управления PCI AUX и событиями PME	4-23
Рисунок 4-4. Блок-схема системы управления сервером	4-31
Рисунок 4-5. Датчики системы управления сервером	4-32

Рисунок 4-6. Схема ISP.....	4-38
Рисунок 4-7. Распределение питания.....	4-40
Рисунок 4-8. Последовательность включения питания.....	4-45
Рисунок 4-9. Последовательность включения питания.....	4-46
Рисунок 4-10. Блок-схема синхронизирующих импульсов.....	4-48
Рисунок 4-11. Блок-схема перезагрузки системы.....	4-51
Рисунок 4-12. Последовательность событий при перезагрузке.....	4-52
Рисунок 4-13. Временные параметры перезагрузки.....	4-53
Рисунок 4-14. Блок-схема прерываний.....	4-55
Рисунок 4-15. Схема логической цепи обработки ошибок.....	4-56
Рисунок 4-16. Схема платы и основные размеры.....	4-61
Рисунок 4-17. Схема опасной зоны 240 ВА.....	4-63
Рисунок 4-18. Схема ИТР.....	4-65
Рисунок 5-1. Блок-схема переходной платы ввода/вывода серверной системы Intel® S870BN4.....	5-3
Рисунок 5-2. Расположение индикаторов и разъема RJ45.....	5-16
Рисунок 5-3. Блок-схема системы управления сервером.....	5-19
Рисунок 5-4. Шины I ² C и адреса устройств серверной системы Intel® SR870BN4.....	5-22
Рисунок 5-5. Блок-схема цепи ISP серверной системы Intel® SR870BN4.....	5-25
Рисунок 5-6. PLD2.....	5-29
Рисунок 5-7. Распределение синхронизирующих импульсов переходной платы ввода/вывода серверной системы Intel® S870BN4.....	5-31
Рисунок 5-8. Маршрутизация IRQ ICH4.....	5-33
Рисунок 5-9. Схема контактов GPIO.....	5-34
Рисунок 6-1. Блок-схема промежуточной платы.....	6-2
Рисунок 6-2. Главная сторона промежуточной платы серверной системы Intel® S870BN4 (со стороны процессора).....	6-3
Рисунок 6-3. Задняя сторона промежуточной платы серверной системы Intel® S870BN4 (со стороны задней панели ввода/вывода).....	6-4
Рисунок 6-4. Расположение сигналов разъемов VHDM.....	6-5
Рисунок 6-5. Разъем HDM.....	6-27
Рисунок 6-6. Механические спецификации промежуточной платы серверной системы Intel® S870BN4 (со стороны процессора).....	6-30
Рисунок 6-7. Спецификация вентиляционных отверстий промежуточной платы серверной системы Intel® S870BN4 (тип 1).....	6-30
Рисунок 6-8. Спецификация вентиляционных отверстий промежуточной платы серверной системы Intel® S870BN4 (тип 2).....	6-31

Список таблиц

Таблица 2-1: Таблица частоты синхронизирующих импульсов	2-9
Таблица 2-2: Таблица VID встроенных стабилизаторов	2-11
Таблица 2-3: Таблица AD2D VID.....	2-11
Таблица 2-4: Напряжения 1,2 В и Vref и допустимые погрешности	2-13
Таблица 2-5: Допустимые отклонения 1,5 В.....	2-13
Таблица 2-6: Допустимые отклонения 1,8 В.....	2-14
Таблица 2-7: Допустимые отклонения 1,3 В.....	2-14
Таблица 2-8. Интерфейсные сигналы Power Good/Reset платы процессоров и платы ввода/вывода.....	2-15
Таблица 2-9: Сигналы перезагрузки, поддерживаемые платой процессоров.....	2-17
Таблица 2-10: Сигналы устройства Power Good/Reset PLD	2-19
Таблица 2-11: Входные/выходные сигналы программируемого логического устройства Legacy Synchronization PLD	2-26
Таблица 2-12: Определение различных переключек.....	2-28
Таблица 2-13: Интерфейсные сигналы коннектора ISP (J8C1).....	2-29
Таблица 2-14: Список устройств на шине I ² C.....	2-30
Таблица 2-15: Части области программирования DS1624* SEEPROM.....	2-31
Таблица 2-16: Пример поднабора информации FRU для платы процессоров серверной системы Intel® SR870BN4	2-31
Таблица 2-17: Сигналы шины I ² C_PROCESSOR и их использование системой управления сервером.....	2-32
Таблица 2-18: Сигналы, мониторинг которых производится модулем ADM1026*	2-32
Таблица 2-19: Сигналы интерфейса памяти, в том числе каналы RAMBUS 0, 1, 2, 3.....	2-39
Таблица 2-20: Интерфейс системы управления сервером	2-40
Таблица 2-21: Подключение питания	2-41
Таблица 2-22: Абсолютные максимальные ограничения платы процессоров	2-41
Таблица 2-23: Максимальные требования к питанию.....	2-41
Таблица 2-24: Спецификации разъемов платы процессоров	2-43
Таблица 2-25: Схема контактов SP и не SP	2-43
Таблица 2-26: Список сигналов, кроме сигналов порта SP.....	2-44
Таблица 2-27: Схема контактов разъема для подключения платы памяти (MegArray*) – Контакты A1-F40.....	2-48
Таблица 2-28: Разъем питания платы процессоров (VHDM*).....	2-50
Таблица 2-29. Важнейшие компоненты платы процессоров.....	2-54
Таблица 3-1. Конфигурации памяти.....	3-7
Таблица 3-2. Адреса устройства в зависимости от разъема MegArray* на плате процессора	

.....	3-9
Таблица 3-3. Сигналы Rambus	3-10
Таблица 3-4. Сигналы DDR	3-11
Таблица 3-5. Другие сигналы	3-11
Таблица 3-6. Сигналы обозначения напряжения.....	3-12
Таблица 3-7. Абсолютные максимальные ограничения	3-12
Таблица 3-8. Важнейшие компоненты платы памяти	3-13
Таблица 3-9. Допустимые отклонения напряжения	3-13
Таблица 3-10. Энергопотребление	3-14
Таблица 3-11. Расчеты энергопотребления – шина питания 2,5 В.....	3-14
Таблица 3-12. Расчеты энергопотребления – шина питания 1,8 В.....	3-14
Таблица 3-13. Расчеты энергопотребления – шина питания 1,25 В.....	3-15
Таблица 3-14. Спецификации разъемов для модулей памяти	3-16
Таблица 4-1. Обозначения компонентов платы ввода/вывода	4-7
Таблица 4-2. Список сигналов системного разъема промежуточной платы	4-8
Таблица 4-3. Схема контактов разъема питания VHDM промежуточной платы	4-9
Таблица 4-4. Список сигналов и схема контактов разъема для отсека для дисков промежуточной платы	4-10
Таблица 4-5. Номинальный ток разъема промежуточной платы	4-11
Таблица 4-6. Характеристики разъемов PCI	4-13
Таблица 4-7. Схема идентификаторов IDSEL# для сегмента А шины PCI	4-13
Таблица 4-8. Схема идентификаторов IDSEL# для сегмента В шины PCI	4-14
Таблица 4-9. Схема идентификаторов IDSEL# для сегмента С шины PCI	4-14
Таблица 4-10. Схема идентификаторов IDSEL# для сегмента D шины PCI	4-15
Таблица 4-11. Схема идентификаторов IDSEL# для сегмента Е шины PCI	4-15
Таблица 4-12. Схема идентификаторов IDSEL# для сегмента F шины PCI	4-16
Таблица 4-13. Электрические уровни PCI	4-16
Таблица 4-14. Описания сигналов PCI	4-16
Таблица 4-15. Схема контактов разъемов PCI с рабочим напряжением 3,3 В	4-17
Таблица 4-16. Разъем HPIB	4-21
Таблица 4-17. Описания сигналов SCSI	4-24
Таблица 4-18. Схема контактов разъема SCSI – Режим LVDS.....	4-26
Таблица 4-19. Описания сигналов IDE	4-27
Таблица 4-20. Номинальный ток разъема переходной платы ввода/вывода	4-28
Таблица 4-21. Схема контактов разъема переходной платы ввода/вывода	4-29
Таблица 4-22. Адресное пространство системы управления сервером.....	4-33
Таблица 4-23. Описание сигналов разъемов для вентиляторов	4-34

Таблица 4-24. Схема контактов разъемов для вентиляторов.....	4-34
Таблица 4-25. Сигналы управления вентиляторами	4-35
Таблица 4-26. Список датчиков напряжения.....	4-36
Таблица 4-27. Сигналы управления преобразователями постоянного тока системы управления сервером.....	4-36
Таблица 4-28. Другие сигналы системы управления сервером	4-37
Таблица 4-29. Шунтирующие резисторы ISP	4-39
Таблица 4-30. Схема контактов разъема преобразователя постоянного тока T-D2D 5B4-41	
Таблица 4-31. Схема контактов разъема преобразователя постоянного тока T-D2D VID4-42	
Таблица 4-32. Индикаторы ошибок преобразователей постоянного тока	4-43
Таблица 4-33. Спецификации преобразователей 1,3 В, 1,5 В, 1,8 В, -12 В.....	4-43
Таблица 4-34. Требования к входной мощности.....	4-44
Таблица 4-35. Ограничения шин питания PCI 3,3 В и 5 В	4-44
Таблица 4-36. Рабочий режим SK429S	4-49
Таблица 4-37. Синхронизирующие импульсы и объекты SKFF	4-50
Таблица 4-38. Схема IRQ	4-54
Таблица 4-39. Интерфейс передней панели	4-57
Таблица 4-40. Схема контактов внутреннего разъема включения питания (J9E1).....	4-57
Таблица 4-41. Схема контактов разъема ICMB (J9C1)	4-58
Таблица 4-42. Схема контактов разъема IPMB (J9D1)	4-58
Таблица 4-43. Идентификатор версии платы.....	4-58
Таблица 4-44. Общие температурные спецификации платы	4-59
Таблица 4-45. Основные компоненты платы ввода/вывода	4-59
Таблица 4-46. Резисторы монтажных отверстий	4-60
Таблица 4-47. Схема контактов разъема ITP	4-64
Таблица 5-1. Сигналы ICH4.....	5-5
Таблица 5-2. Опции полосы ICH4	5-7
Таблица 5-3. Контакты BMC и описание группы сигналов	5-8
Таблица 5-4. Контакты ввода общего назначения на концентраторе встроенного микрокода	5-10
Таблица 5-5. Описание резистора видеоцепи	5-10
Таблица 5-6. Описание сигналов 82540EM.....	5-11
Таблица 5-7. Схема контактов интерфейса Hublink (HL)	5-12
Таблица 5-8. Список контактов шины LPC	5-13
Таблица 5-9. Распределение PCI IRQ, DMA и IDSEL	5-13
Таблица 5-10. Схема ICH4	5-15
Таблица 5-11. Схема контактов видеоразъема (J1B1)	5-16

Таблица 5-12. Список сигналов ICMB	5-23
Таблица 5-13. Список сигналов порта аварийного управления	5-23
Таблица 5-14. Опции JTAG переходной платы ввода/вывода серверной системы Intel® S870BN4.....	5-23
Таблица 5-15. Интерфейс передней панели.....	5-25
Таблица 5-16. Синхронизирующие сигналы переходной платы ввода/вывода серверной системы Intel® S870BN4	5-29
Таблица 5-17. Схема IRQ и хозяев шины / DMA	5-32
Таблица 5-18. Схема контактов соединительного разъема переходной платы ввода/вывода	5-34
Таблица 5-19. Требования к питанию переходной платы ввода/вывода серверной системы Intel® SR870BN4	5-38
Таблица 6-1. Описание промежуточной платы S870BN4	6-1
Таблица 6-2. Номера разъемов	6-4
Таблица 6-3. Интерфейс промежуточной платы и распределительной платы питания....	6-6
Таблица 6-4. Интерфейс промежуточной платы и передней панели	6-6
Таблица 6-5. Интерфейс промежуточной платы и платы процессоров (VHDM).....	6-7
Таблица 6-6. Значения NODEID и BUSID.	6-16
Таблица 6-7. Midplane / I/O Board Interface (VHDM*).....	6-17
Таблица 6-8. Идентификатор промежуточной платы	6-26
Таблица 6-9. Схема контактов модуля питания HDM (объединительная плата SCSI)....	6-27
Таблица 6-10. Требования к мощности промежуточной платы серверной системы Intel® S870BN4.....	6-29

<Данная страница преднамеренно оставлена пустой.>

1. Введение

Техническая спецификация серверной системы Intel® S870BN4 (набор плат) содержит подробную техническую информацию по системной архитектуре и набору характеристик. Данная система предназначена для первого микропроцессора на базе архитектуры Intel® Itanium®, процессора Itanium® 2. Процессор Itanium 2 расширяет возможности архитектуры Intel® (IA), обеспечивая новый уровень производительности и новые возможности. Серверная система SR870BN4 основана на наборе микросхем Intel® E8870.

В настоящем документе объединены спецификации платы процессора, платы памяти, промежуточной платы, платы ввода/вывода и переходной платы ввода/вывода, являющихся компонентами серверной системы SR870BN4.

Данный документ может быть изменен. Для обеспечения точности содержащейся в данном документе информации были предприняты все возможные меры. В некоторые из документов, использованных при создании этого документа, в будущем планируется внести изменения, что, в свою очередь, потребует внесения изменений в настоящий документ.

<Данная страница преднамеренно оставлена пустой.>

2. Плата процессоров

В настоящей главе описывается архитектура платы процессоров Intel® Itanium® 2/Intel® E8870. Данная плата содержит процессоры Itanium 2, масштабируемый контроллер узлов Intel E8870-McKinley (SNC-M), два разъема для платы памяти и вспомогательные электрические цепи. Две платы памяти подключаются к плате процессоров через два разъема MegArray* с высокой плотностью размещения контактов. Плата процессоров подключается к промежуточной плате серверной системы SR870BN4 через 360-контактный (6 x 60) разъем VHDM для подключения к системе ввода/вывода сервера на базе процессора Itanium® 2.

2.1 Характеристики

Плата процессоров имеет следующие характеристики:

- Четыре разъема для процессоров Itanium® 2
- Модуль преобразования питания постоянного тока на 48 В для каждого процессора Itanium® 2
- Преобразователи постоянного тока для шин питания 2,5 В, 3,3 В
 - Два преобразователя постоянного тока 48 В – 2,5 В для поддержки памяти DDR
 - Один дополнительный преобразователь постоянного тока 48 В – 3,3 В
- Интегрированные стабилизаторы 1,2 В, 1,5 В, 1,8 В и 1,3 В
 - От 3,3 В до 1,2 В
 - От 3,3 В до 1,5 В
 - От 3,3 В до 1,8 В
 - Линейный стабилизатор 1,8 В – 1,3 В
- Один компонент SNC-M набора микросхем Intel E8870
- Три концентратора встроенного микрокода для BIOS и утилиты System Configuration Utility (SCU)
- Два разъема для платы памяти, поддерживающие по 2 канала Rambus
- Один 360-контактный разъем VHDM для подключения платы ввода/вывода
- Порт отладки для использования с ITP (только для отладки)
- Две шины системного управления I²C (SMBus)

2.2 Структура глав и описание документа

Содержащаяся в данной главе информация делится на четыре части. Информация представлена в модульном формате, заголовки каждой темы и подтемы пронумерованы. Краткое содержание разделов:

Раздел 2,3:	Введение Описание платы процессоров, функциональных блоков и схемы платы.
Раздел 2,4:	Функциональная архитектура Описание работы функциональных блоков платы процессоров.
Раздел 2,5:	Описания сигналов Описание названий контактов разъемов платы процессоров и их значений. Мнемоника сигналов описывается в разных местах этой главы.

Раздел 2,6: Электрические спецификации, механические спецификации и спецификации рабочей среды
Рабочие параметры, важные моменты, схемы контактов разъемов.

2.3 Введение

Плата процессоров Itanium® 2/E8870 серверной системы S870BN4 предназначена для использования в качестве компонента систем с четырьмя и более процессорами. Плата процессоров Itanium 2 поддерживает установку от одного до четырех процессоров Itanium® 2, для каждого из которых выделяется отдельный модуль питания. Системный контроллер содержится в микросхеме Intel® E8870 SNC-M, взаимодействующей с системной шиной процессора Itanium® 2, памятью DDR через интерфейс Rambus и подсистемой ввода/вывода через порт масштабируемости. Интерфейс LPC поддерживает локализацию встроенного ПО. Плата процессоров включает следующие функциональные блоки:

- Процессоры Itanium 2
- Контроллер E8870 SNC-M для интерфейсов системной шины Itanium® 2, памяти и порта масштабируемости
- Интерфейс и разъем памяти Rambus
- Порт масштабируемости/интерфейс питания системы и разъем
- Распределение синхронизирующих сигналов
- Стабилизаторы напряжения/модуль питания Itanium® 2
- Перезагрузка процессора/системы
- Управление сервером
- Порт отладки для ITP

На рисунке ниже показана плата процессоров без плат памяти и процессоров Itanium® 2.

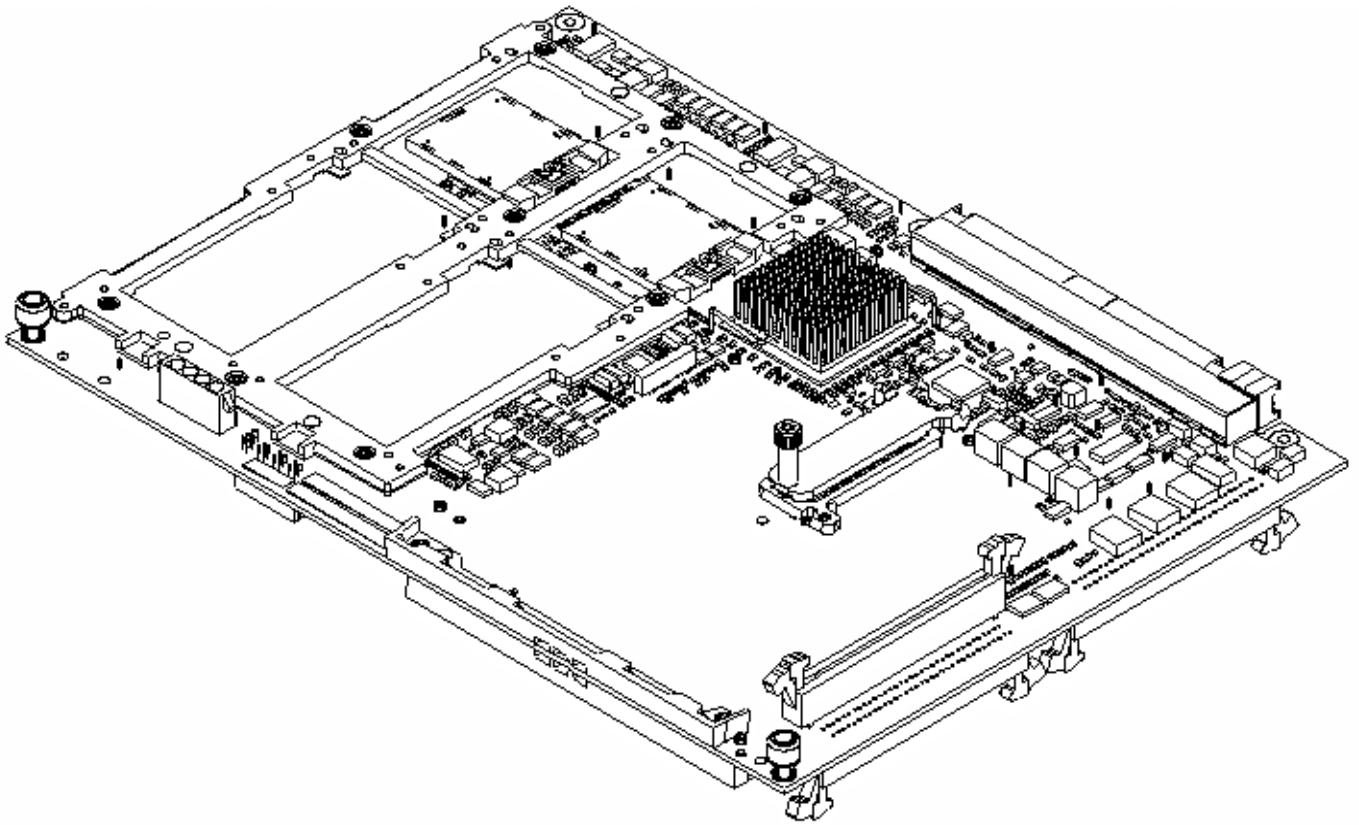


Рисунок 2-1. Плата процессоров без платы памяти

2.3.1 Блок-схема

На рисунке показана общая архитектура платы процессоров.

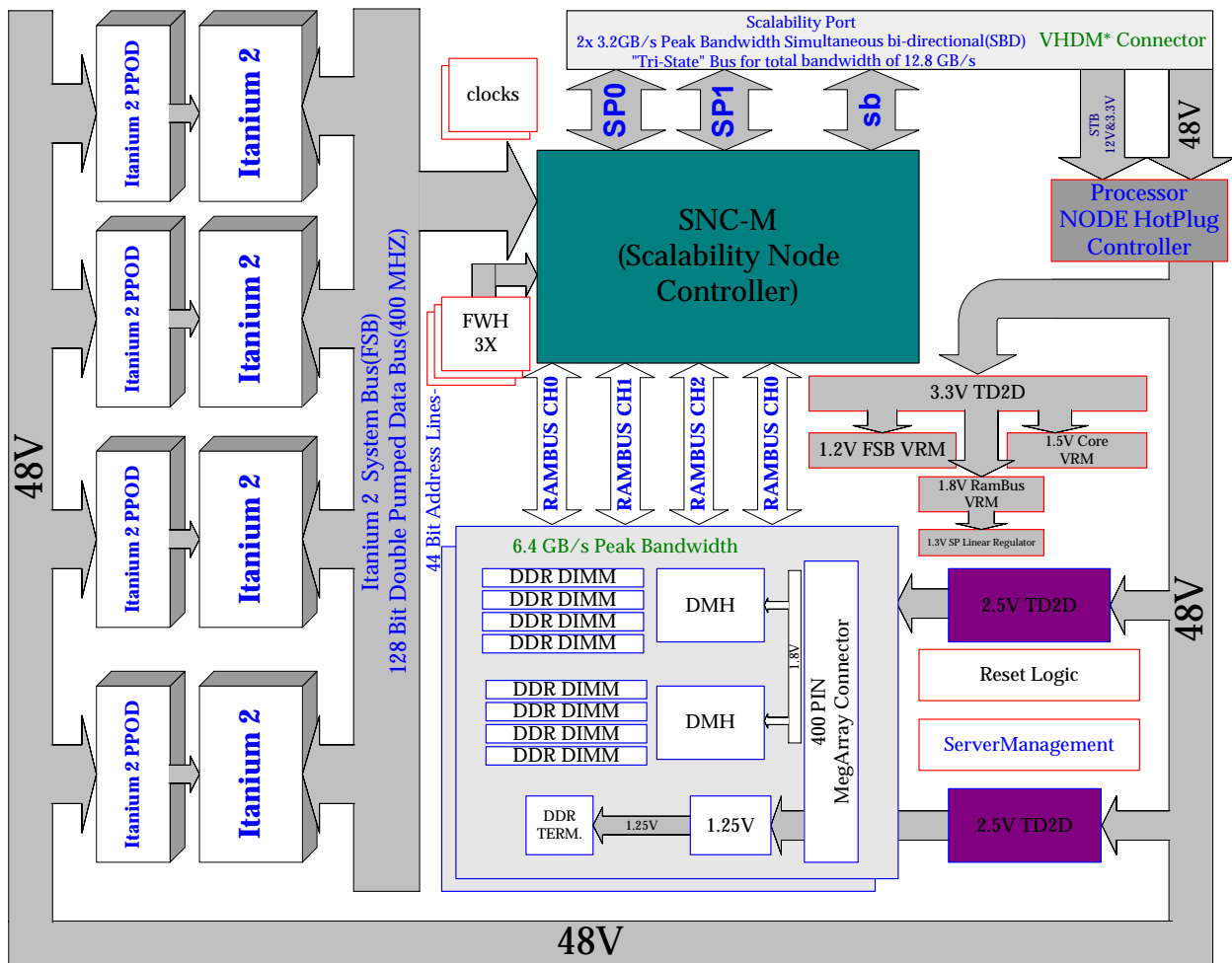


Рисунок 2-2. Блок-схема платы процессоров

2.3.2 Схема размещения

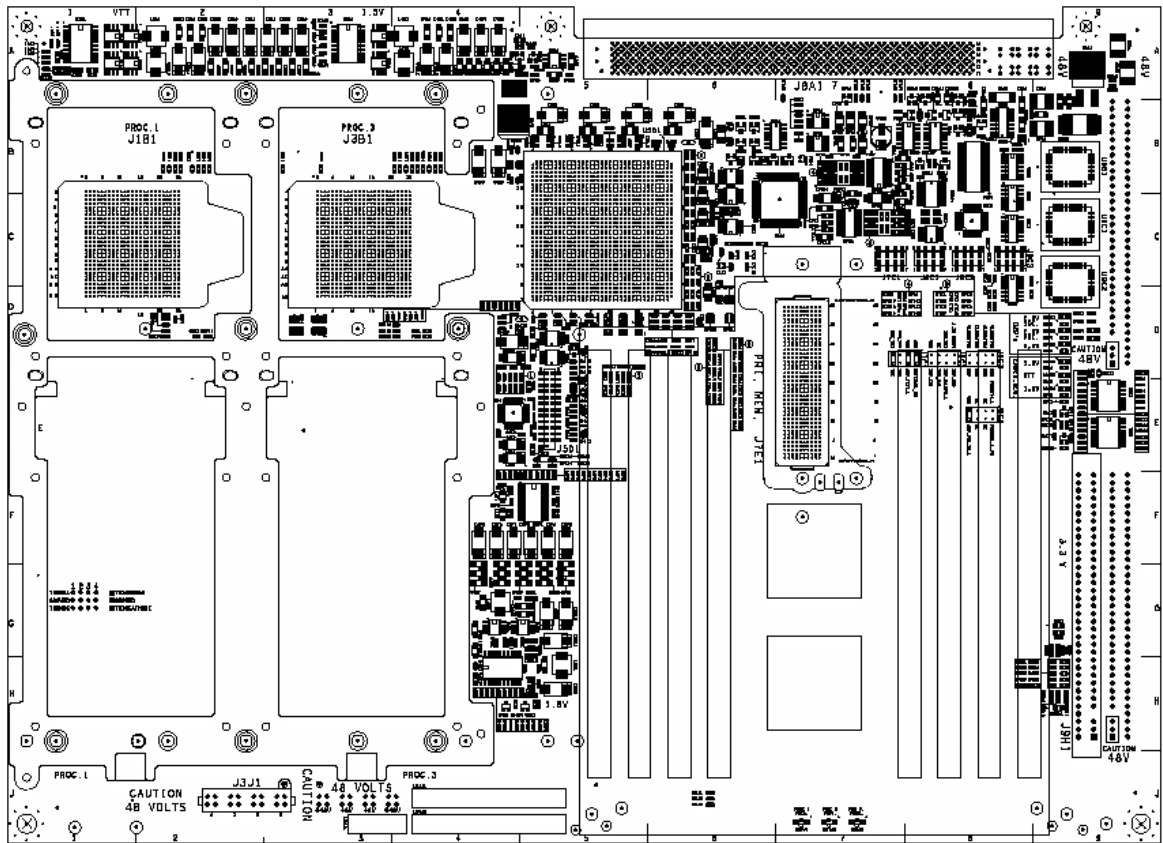


Рисунок 2-3. Расположение компонентов платы процессоров (главная сторона)

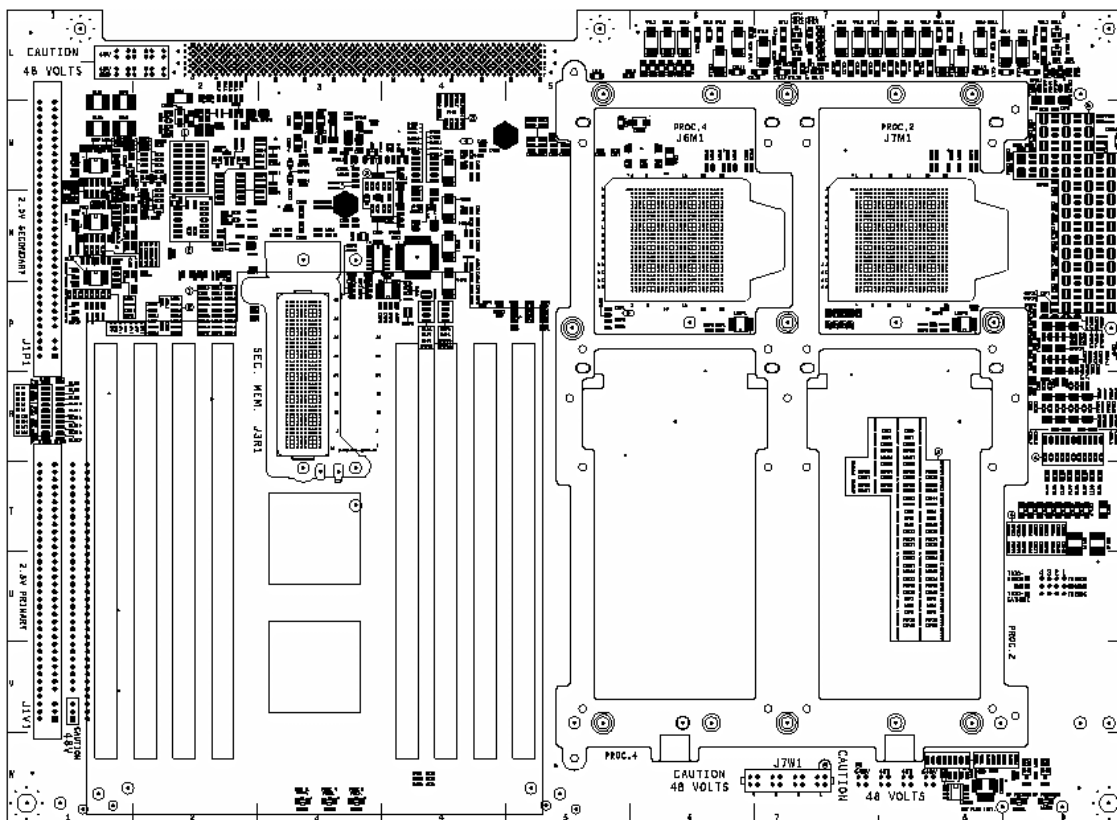


Рисунок 2-4. Расположение компонентов платы процессоров (вторая сторона)

На рисунках 2-3 и 2-4 по казано расположение основных компонентов и разъемов платы процессора.

2.4 Функциональная архитектура

В данном разделе представлено подробное архитектурное описание функциональных блоков платы процессора.

2.4.1 Системная шина Itanium® 2

Все четыре процессора Itanium® 2 подключаются к контроллеру E8870/SNC-M посредством системной шины. Системная шина включает 44-битную шину адресации и 128-битную шину данных. Адреса и контрольные сигналы имеют защиту четности. На шине данных используется код коррекции ошибок для каждой 64-битной половины 128-битной шины данных. Сигналы шины используют технологию AGTL+ и обладают полной функциональной совместимостью с шиной процессора Itanium®. Системная шина производит стробирование данных на обоих концах кривой сигнала 200 МГц для обеспечения синхронной передачи данных со скоростью 400 МГц. Структура шины поддерживает до пяти устройств, включая четыре процессора и один контроллера SNC-M. Процессоры устанавливаются по обеим сторонам платы процессоров для ограничения длины шины. Сигналы системной шины доходят до резисторов на обоих концах шины (подача оконечного напряжения на контроллер SNC-M производится автоматически). Благодаря этому устраняется необходимость использования терминаторов при отсутствии процессоров. Плата процессоров поддерживает до четырех процессоров.

Системная шина имеет следующие характеристики:

- Полная поддержка четырех процессоров
- 200 МГц с двойным стробированием, аналогично работе в режиме 400 МГц
- Пиковая пропускная способность 6,4 ГБ/с
- 128-битная шина данных
- 128 байт – размер строки кэш-памяти
- Использование 44 бит 50-битной шины адресов процессора
- Защита четности адресов и контрольных сигналов; код коррекции ошибок для сигналов с данными
- Технология драйверов шины AGTL+
- Улучшенная функция отказа для доставки данных не по порядку
- Задержка прерываний системной шины (архитектура SAPIC)
- Поддерживает специальный цикл процессоров Itanium® 2.

2.4.2 Интерфейс памяти

Подсистема памяти Itanium 2/E8870 включает две платы памяти, подключаемые к плате процессора через 400-контактные разъемы MegArray. Каждая плата памяти включает две микросхемы повторителя памяти (DMH), по одной на каждый канал RDRAM, поддерживающие до четырех 72-битных модулей DIMM. DMH транслирует транзакции Rambus в SDRAM DDR. Модули DIMM могут быть основаны на технологии 64, 128, 256, 512 Мбит, 1 и 2 Гбит. Каждая плата памяти поддерживает до 16 ГБ системной памяти.

Примечание: Модули памяти, подключенные к каждому DMH должны быть симметричны модулям памяти, подключенным к другим DMH. Это означает, что к каждому DMH должны быть подключены модули DIMM одного типа. Модернизация памяти проводится рядами из четырех модулей DIMM, по одному на каждом основном канале, с коллективной линией кэш-памяти.

SNC-M и DMH включает интерфейс Rambus с частотой 400 МГц. Данные передаются с обеих сторон синхронизирующих импульсов, фактически обеспечивая частоту шины 800 МГц, ширину данных 16 бит и 2 бита кода коррекции ошибок с общей скоростью 1,6 ГГц на каждом порту. Каждый из четырех портов Rambus контроллера SNC-M подключен к одному DMH.

Второй порт памяти размещается на другой стороне платы процессоров, чтобы обеспечить минимальные размеры платы и сократить длину шины адресов/управления, ведущей к модулю памяти. В результате этого модули DIMM первой платы памяти располагаются с верхней стороны, а модули DIMM второго модуля памяти располагаются с нижней стороны. Учтите, что в системе должны быть установлены обе платы памяти, и на каждой плате должно быть установлено не менее двух модулей DIMM.

Примечание: Для правильной работы узла процессоров должны быть установлены обе платы памяти.

2.4.3 Интерфейс шины ввода/вывода порта масштабируемости

Основным интерфейсом между платой ввода/вывода и платой процессоров служит шина порта масштабируемости (SP) контроллера SNC-M. Порт масштабируемости представляет собой трехуровневую шину с поддержкой одновременной передачи данных в двух направлениях, обеспечивающую высокоскоростное соединение между платой процессоров и

платой ввода/вывода или SPS. Каждый порт представляет собой 4-байтовую, шину 200 МГц (4x). Это обеспечивает пропускную способность в 3,2 ГБ/с в каждом направлении на каждой шине SNC-M. SNC-M имеет два порта масштабируемости общей пропускной способностью 6,4 ГБ/с в каждом направлении или общей пропускной способностью 12,8 ГБ/с в двух направлениях.

Примечание: Максимальная длина пересылки сигнала по шине порта масштабируемости составляет 20 дюймов плюс два разъема VHDM между SNC-M и SIOH/SPS. Приблизительно 3,5 дюйма используется на плате процессоров Itanium® 2.

Спецификации шины можно найти во *Внешней спецификации Intel® E8870 и электрической, механической и температурной спецификации*.

Помимо сигналов шины порта масштабируемости, между платой процессоров и платой ввода/вывода передаются другие сигналы, обеспечивающие поддержку обработки ошибок, перезагрузки и управления питанием, а также мониторинга и настройки конфигурации системы (BIOS и Server Management). В таблице 2-26 приведен список сигналов шины (не шины порта масштабируемости).

2.4.4 Распределение синхронизирующих импульсов

На рисунке 2-5 показана архитектура распределения синхронизирующих импульсов платы процессоров Itanium® 2/E8870. В серверной системе SR870BN4 синхронизирующие импульсы 200 МГц обеспечиваются платой ввода/вывода. Плата процессора обеспечивает буферы/драйверы для распределения синхронизирующих импульсов.

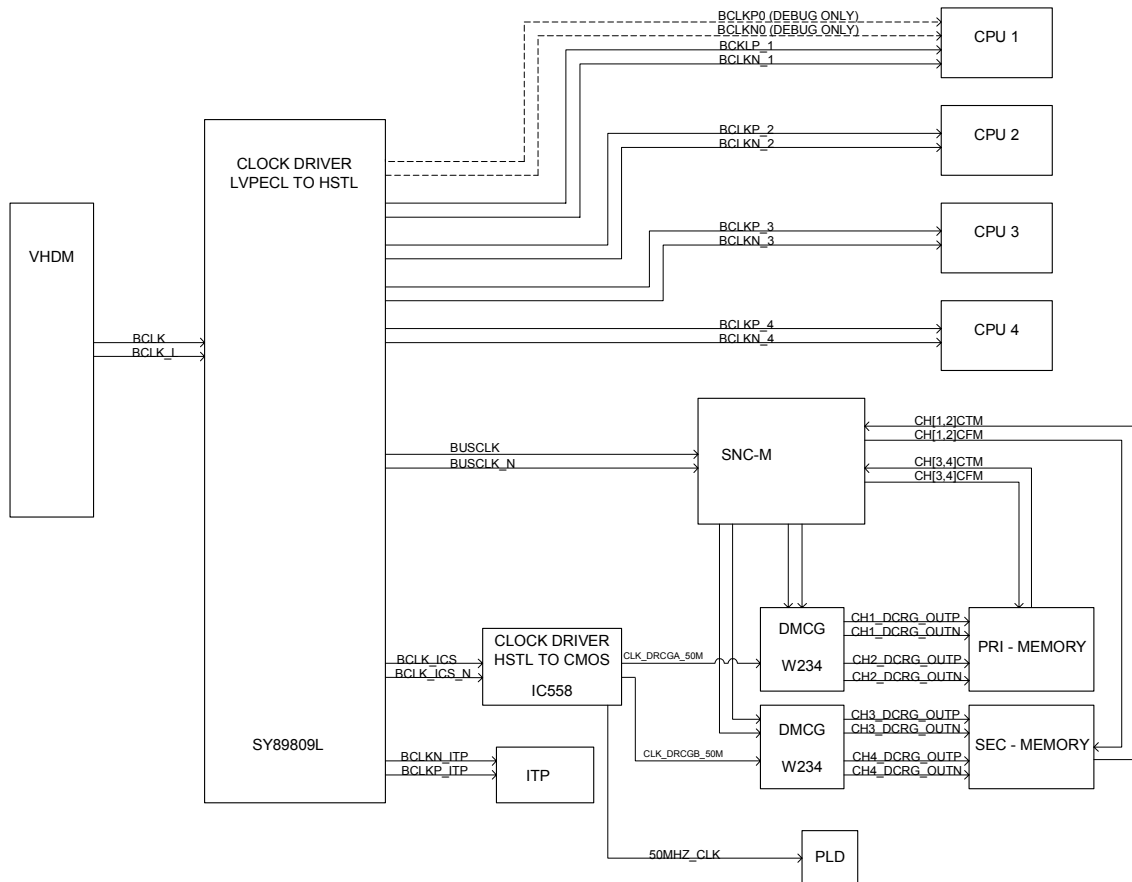


Рисунок 2-5. Распределение синхронизирующих импульсов платы процессора

Таблица 2-1. Таблица частоты синхронизирующих импульсов

Сигнал	Описание	Семейство логики	Тактовая частота
BCLK/BCLK_L	Синхронизирующий импульс основной шины с платы ввода/вывода	HSTL	200 МГц
BCLKP_1/BCLKN_1	Синхронизирующий импульс процессора 1	HSTL	200 МГц
BCLKP_1/BCLKN_1	Синхронизирующий импульс процессора 1	HSTL	200 МГц
BCLKP_1/BCLKN_1	Синхронизирующий импульс процессора 1	HSTL	200 МГц
BCLKP_1/BCLKN_1	Синхронизирующий импульс процессора 1	HSTL	200 МГц
BUSCLK/BUSCLK_L	Синхронизирующий импульс SNC-M	HSTL	200 МГц
BCLK_IC/BCLK_IC_S_N	Синхронизирующий импульс ICS558	HSTL	200 МГц
BCLKN_ITP/BCLKP_ITP	Синхронизирующий импульс ввода ITP	HSTL	200 МГц
CLK_DRCGA_50M	Входной синхронизирующий импульс DRCG (генератор синхронизирующих импульсов Rambus)	CMOS	50 МГц
CLK_DRCGB_50M	Входной синхронизирующий импульс DRCG	CMOS	50 МГц
50Mhz_Clk	Входной синхронизирующий импульс PLD	CMOS	50 МГц
Ch1_DRCG_OUTP/Ch1_DRCG_OUTN	Синхронизирующий импульс Rambus, канал 1	RSL (Rambus Signal Level)	400 МГц
Ch2_DRCG_OUTP/Ch2_DRCG_OUTN	Синхронизирующий импульс Rambus, канал 2	RSL (Rambus Signal Level)	400 МГц
Ch3_DRCG_OUTP/Ch3_DRCG_OUTN	Синхронизирующий импульс Rambus, канал 3	RSL (Rambus Signal Level)	400 МГц
Ch4_DRCG_OUTP/Ch4_DRCG_OUTN	Синхронизирующий импульс Rambus, канал 4	RSL (Rambus Signal Level)	400 МГц
CH[1,2]_CTM	Синхронизирующий импульс памяти	RSL	400 МГц
CH[3,4]_CTM	Синхронизирующий импульс памяти	RSL	400 МГц
CH[1,2]_CFM	Синхронизирующий импульс из памяти	RSL	400 МГц
CH[3,4]_CFM	Синхронизирующий импульс из памяти	RSL	400 МГц

2.4.5 Стабилизаторы напряжения

На плате процессоров установлено три стабилизатора напряжения постоянного тока, обеспечивающие преобразование напряжения 48 В в 2,5 В и 3,3 В. Преобразователи постоянного тока 2,5 В обеспечивают напряжение на интерфейс DIMM микросхемы DMH, устройства DDR DRAM и стабилизатор напряжения 1,25 В (для окончательного напряжения DDR). Напряжение 3,3 В используется для внутренней логики, интерфейса встроенного ПО, драйверов синхронизирующих импульсов и подает напряжение на интегрированные стабилизаторы 1,2 В, 1,5 В и 1,8 В.

Плата процессора имеет три встроенных регулятора напряжения, один для окончательного

напряжения AGTL+ (1,2 В), требующийся системной шине, один стабилизатор 1,8 В для синхронизирующих импульсов и логики сигнального уровня Rambus (RSL) между SNC-M и DMH, и один для питания SNC-M (1,5 В). Также имеется один линейный стабилизатор для подачи питания на порт масштабируемости (1,3 В). Стабилизаторы преобразуют напряжение шины питания +3,3 в требующиеся напряжения. Стабилизатор порта масштабируемости преобразовывает напряжение 1,8 В в 1,3 В. Кроме встроенных стабилизаторов для процессоров Itanium® 2 требуются отдельные модули питания, подающие напряжение питания для ядра и кэш-памяти каждого процессора. Модуль питания подключается непосредственно к процессору Itanium® 2 и имеет рабочее напряжение +48 В.

2.4.5.1 Таблица идентификаторов напряжения (VID) встроенных стабилизаторов

Таблица 2-2. Таблица VID встроенных стабилизаторов

VID25 mV	Название контакта VID				Vout	VID25 mV	Название контакта VID				Vout
	VID3	VID2	VID1	VID0			VID3	VID2	VID1	VID0	
0	0	1	0	0	1.050	0	1	1	0	0	1.450
1	0	1	0	0	1.075	1	1	1	0	0	1.475
0	0	0	1	1	1.100	0	1	0	1	1	1.500*
1	0	0	1	1	1.125	1	1	0	1	1	1.525
0	0	0	1	0	1.150	0	1	0	1	0	1.550
1	0	0	1	0	1.175	1	1	0	1	0	1.575
0	0	0	0	1	1.200*	0	1	0	0	1	1.600
1	0	0	0	1	1.225	1	1	0	0	1	1.625
0	0	0	0	0	1.250	0	1	0	0	0	1.650
1	0	0	0	0	1.275	1	1	0	0	0	1.675
0	1	1	1	1	1.300	0	0	1	1	1	1.700
1	1	1	1	1	1.325	1	0	1	1	1	1.725
0	1	1	1	0	1.350	0	0	1	1	0	1.750
1	1	1	1	0	1.375	1	0	1	1	0	1.775
0	1	1	0	1	1.400	0	0	1	0	1	1.800*
1	1	1	0	1	1.425	1	0	1	0	1	1.825

Примечание: 0 = установленный резистор 0 ом

1 = не установлен

* Для используемых стабилизаторов используется конфигурация VID.

2.4.5.2 Спецификация AD2D VID

Таблица 2-3. Таблица AD2D VID

Название контакта VID ¹					Vout	Название контакта VID					Vout
VID4	VID3 ²	VID2	VID1	VID0		VID4	VID3	VID2	VID1	VID0	
1	1	1	1	1	2.0	0	1	1	1	1	1.30
1	1	1	1	0	2.1	0	1	1	1	0	1.35
1	1	1	0	1	2.2	0	1	1	0	1	1.40
1	1	1	0	0	2.3	0	1	1	0	0	1.45
1	1	0	1	1	2.4	0	1	0	1	1	1.50
1	1	0	1	0	2.5*	0	1	0	1	0	1.55
1	1	0	0	1	2.6	0	1	0	0	1	1.60
1	1	0	0	0	2.7	0	1	0	0	0	1.65
1	0	1	1	1	2.8	0	0	1	1	1	1.70
1	0	1	1	0	2.9	0	0	1	1	0	1.75
1	0	1	0	1	3.0	0	0	1	0	1	1.80
1	0	1	0	0	3.1	0	0	1	0	0	1.85
1	0	0	1	1	3.2	0	0	0	1	1	1.90
1	0	0	1	0	3.3*	0	0	0	1	0	1.95
1	0	0	0	1	3.4	0	0	0	0	1	2.00
1	0	0	0	0	3.5	0	0	0	0	0	2.05

Примечание: (1): 0 = установленный резистор 0 Ом (ЗЕМЛЯ)
1 = резистор не установлен (открыт)

(2): Для поддержки TD2D используется контакт 9, устанавливающий напряжение 2,5 В или 3,3 В Учтите, что TD2D является подразделом спецификации AD2D.

*Текущая конфигурация преобразователей напряжения платы процессоров.

2.4.5.3 Модуль питания процессора

На каждый из четырех процессоров напряжение подается независимо от модуля питания. Каждый модуль питания подает на процессор и кэш-память требуемое напряжение с шины питания +48 В на плате процессоров. Напряжение 48 В подается на модули памяти процессора с помощью Y-образного кабеля, подключаемого к четырехконтактному разъему на плате процессоров.

Стабилизаторы модулей питания имеют следующие характеристики:

- 48 В входное напряжение при 3,85 А +/- 10%
- 48 В возврат тока через землю
- Выход: 0,95 В – 1,70 В при 130 Вт
- При мощности 130 Вт эффективность составляет 77%

2.4.5.4 Стабилизатор +3,3 В

Преобразователь 3,3 В на плате процессора обеспечивает подачу питания на стабилизатор SNC-M, стабилизатор системной шины, стабилизатор 1,8 В для окончного напряжения Rambus, концентраторы встроенного микрокода, цепи буферизации/подачи синхронизирующих импульсов и другие логические цепи.

Ниже приведен список характеристик стабилизатора постоянного тока 3,3 В (Источник: *Расширенная спецификация преобразователей постоянного тока A-D2D на 48 В для распределенного питания серверов*)

- 48 В входное напряжение при 2,37 А +/- 10%
- 48 В возврат тока через землю
- Выход: 3,3 В при 30 А (макс.)

2.4.5.5 Стабилизатор +2,5 В

Стабилизатор 2,5 В на плате процессоров обеспечивает подачу питания на контакты DIMM DMH, стабилизатор 1,25 В на плате памяти и модули DDR DRAM. На плате установлено два стабилизатора постоянного тока 2,5 В, сконфигурированные для разделения тока.

В списке ниже описываются характеристики стабилизатора постоянного тока 2,2 В (источник: *Расширенная спецификация преобразователей постоянного тока A-D2D на 48 В для распределенного питания серверов*)

- 48 В входное напряжение при 2,37 А +/- 10%
- 48 В возврат тока через землю
- Выход: 2,5 В при 32 А (макс.)

2.4.5.6 Встроенный стабилизатор +1,2 В

Цель стабилизатора напряжения 1,2 В использует контроллер HIP4006E*, обеспечивающий точную подачу программируемого напряжения питания на шину процессора. В списке ниже описаны характеристики встроенного стабилизатора напряжения.

- Максимальный выходной ток от 0 до 16 А
- Эффективность 85% при максимальной нагрузке
- Выход с открытым коллектором с активным высоким уровнем сигнала PWRGD
- Активный низкий уровень выходного сигнала, отключение входного сигнала
- Защита от короткого замыкания

Таблица 2-4. Напряжения 1,2 В и Vref и допустимые погрешности

Напряжение	Описание	Мин. Значение	Тип	Макс. Значение	Относительная погрешность
3,3 В	Входное напряжение	3,003 В	3,3 В	3,597 В	3.3 V +/-9%
12 В Stdbby	Входное напряжение смещения	10,8 В	12 В	13,2 В	12 В +/-10%10%
1,2 В	Выходной буфер и оконечное напряжение для драйверов GTL+	1,182 В	1,2 В	1,218 В	1,2 V +/-1,5%
Vref	Поляризирующее напряжение для приемников GTL+		(2/3)*(1.2 В) В		

2.4.5.7 Встроенный стабилизатор +1,5 В

Цель стабилизатора напряжения 1,5 В использует контроллер HIP4006E*, обеспечивающий точную подачу программируемого напряжения питания на компонент E8870 SNC-M платы процессора. В списке ниже описываются характеристики стабилизатора постоянного тока 1,5 В:

- Максимальный выходной ток от 0 до 16 А
- Эффективность 85% при максимальной нагрузке
- Выход с открытым коллектором с активным высоким уровнем сигнала PWRGD
- Активный низкий уровень выходного сигнала, отключение входного сигнала
- Защита от короткого замыкания

Таблица 2-5. Допустимые отклонения 1,5 В

Напряжение	Описание	Мин. Значение	Тип	Макс. Значение	Относительная погрешность
3,3 В	Входное напряжение	3,003 В	3,3 В	3,597 В	3.3 V +/-9%
12 В Stdbby	Входное напряжение смещения	10,8 В	12 В	13,2 В	12 V +/-10%
1,5 В	Подает напряжение питания на компонент Intel® E8870 SNC-M	1,45 В	1,5 В	1,53 В	1,5 V +/-3%

2.4.5.8 Встроенный стабилизатор +1,8 В

Цепь стабилизатора напряжения 1,8 В использует контроллер HIP4006E, обеспечивающий точную подачу программируемого напряжения питания на компонент E8870 SNC-M платы процессора и определяет логику RSL. В списке ниже описываются характеристики стабилизатора постоянного тока 1,8 В:

- Максимальный выходной ток от 0 до 16 А
- Эффективность 85% при максимальной нагрузке
- Выход с открытым коллектором с активным высоким уровнем сигнала PWRGD
- Активный низкий уровень выходного сигнала, отключение входного сигнала
- Защита от короткого замыкания

Таблица 2-6. Допустимые отклонения 1,8 В

Напряжение	Описание	Мин. Значение	Тип	Макс. Значение	Относительная погрешность
3,3 В	Входное напряжение	3,003 В	3,3 В	3,597 В	3.3 V +/-9%
12 В Stdbby	Входное напряжение смещения	10,8 В	12 В	13,2 В	12 V +/-10%
1,8 В	Подает напряжение питания на компонент Intel® E8870 SNC-M	1,74 В	1,8 В	1,85 В	1,8 V +/-3%
Vref(RSL)	Поляризирующее напряжение для приемников логики RSL		(77% 1.8 В) В		

2.4.5.9 Линейный стабилизатор +1,3 В

Цепь стабилизатора напряжения 1,3 В использует линейный стабилизатор EZ1581, обеспечивающий точную подачу напряжения на шину порта SP E8870 SNC-M на плате процессоров. В списке ниже описываются характеристики встроенного стабилизатора напряжения 1,3 В:

- Максимальный выходной ток 2,0 А
- Эффективность 70% при максимальной нагрузке
- Защита от короткого замыкания, отключение при превышении температурных ограничений
- Активный высокий уровень выходного сигнала, отключение входного сигнала (3,3 В включает цепь, 0 В отключает выход)
- Защита выходного сигнала Schottky для входа

Таблица 2-7. Допустимые отклонения 1,3 В

Напряжение	Описание	Мин. Значение	Тип	Макс. Значение	Относительная погрешность
1,8 В	Входное напряжение	1,74 В	1,8 В	1,85 В	1,8 В +/-3%
1,3 В	Напряжение смещения возбуждителя шины порта SP	1,235 В	1,3 В	1,365 В	1,3 В +/-5%

2.4.6 Power Good/Reset

Информация Reset и power good передается между платой ввода/вывода и платой процессора с помощью нескольких сигналов. Плата процессоров использует вводимые сигналы, чтобы контролировать порядок включения шин питания и компонентов платы. Плата ввода/вывода использует выходы платы процессоров для контроля циклов питания системы. В таблице 2-8 описаны сигналы power good и reset, совместно используемые платой процессоров и платой ввода/вывода. В разделах после таблицы описаны события цикла питания платы процессора и поддерживаемые типы перезагрузки.

Сигналы Power Good/Reset платы процессоров и платы ввода/вывода имеют следующие характеристики (дополнительная информация приведена в описании разъема VHDM).

Направления сигналов буфера

Тип буфера	Направление
I	Исходные данные
O	Вывод

Дескрипторы сигналов

Тип буфера	Описание
CMOS	Двухтактный CMOS
OD	С открытым стоком

Таблица 2-8. Интерфейсные сигналы Power Good/Reset платы процессоров и платы ввода/вывода

Сигнал	Тип	Описание
SYS_PWRGOOD	I 3.3V STDBY CMOS	System Power Good: Выходной сигнал платы ввода/вывода, сообщающий плате процессоров о нормальной работе всех шин питания в системе.
CD2D33EN	I 3.3V STDBY CMOS	3.3 V D2D Enable: Выходной сигнал платы ввода/вывода, подаваемый, когда подсистема ввода/вывода готова к включению платой процессора стабилизатора 3,3 В.
PPODOE	I 3.3V STDBY CMOS	Power Pod Output Enable: Выходной сигнал платы ввода/вывода, подаваемый, когда подсистема ввода/вывода готова к включению платой процессора модулей питания процессора.
RESETI_L	I 3.3V STDBY CMOS	RESET Input: Выходной сигнал платы ввода/вывода, подаваемый, когда подсистема ввода/вывода собирается перезагрузить процессоры и Intel® E8870 SNC-M.
AIPPODGD	O 3.3VSTDBY OD	All Installed Power Pod Good: Сигнал подается, когда хотя бы один из установленных процессоров подает сигнал power good для модуля питания процессора.
PROCESSOR_PRESENT_L	O 1.5 В OD	Processor Present: Этот сигнал подается, когда в системе установлен хотя бы один процессор. Этот сигнал расположен только на плате процессоров.
NODE_PG	O 3.3 В STDBY CMOS	Node Power Good: Сообщает подсистеме ввода/вывода о нормальной работе всех шин питания на плате процессора.
RESETO_L	O 3.3 В STDBY CMOS	Reset Output: Этот сигнал подается, чтобы сообщить подсистеме ввода/вывода об аппаратной перезагрузке SNC-M и перезагрузке ITP (описывается в разделе 2.4.6.2, "Перезагрузка").

2.4.6.1 Последовательность включения питания

При включении системы шины питания должны включаться в определенном порядке. Этот порядок обеспечивается определенными событиями, которые сообщают остальной системе о работоспособности шин питания. Последовательность событий описывается в списке ниже.

Последовательность включения питания

- По умолчанию шины питания 12 В режима ожидания и 3,3 В режима ожидания должны

быть включены при подключении системы к электросети. Эти шины питания включены на плате процессоров, когда плата/вывода выводит сигнал STDBYEN на переключатели режима ожидания для горячей установки устройств, расположенные на плате процессора.

- Плата ввода/вывода включает сигнал 48VEN, чтобы включить подачу напряжения +48 В на плату процессора.
- Стабилизатор постоянного тока 3,3 В включается, если обе платы памяти и плата ввода/вывода подают сигнал CD2D33EN.
- Сигнал power good стабилизатора 3,3 В включает стабилизатор 1,5 В.
- Сигнал power good встроенного стабилизатора 1,5 В включает стабилизатор 1,2 В.
- Сигнал power good встроенного стабилизатора 1,5 В включает стабилизатор 1,8 В.
- Сигнал power good встроенного стабилизатора 1,2 В включает выход для установленных модулей питания процессора.
- Сигнал power good встроенного стабилизатора 1,5 В включает линейный стабилизатор 1,3 В.
- Стабилизатор 2,5 В включается при получении сигналов power good от стабилизатора 1,8 В и стабилизатора 3,3 В.
- Сигнал Node power good (Node_PG) подается на плату ввода/вывода, когда все встроенные стабилизаторы, преобразователи постоянного тока, шины питания 1,25 В на плате памяти и модули питания процессоров работают нормально. Плата ввода/вывода использует сигнал NODE_PG, чтобы определить, когда плата процессора и шины питания всей системы работают нормально.
- Синхронизирующие импульсы включаются (ALLCLKSEN) при подаче сигнала Node_pg.
- Плата процессоров подает сигнал power good для установленного модуля питания процессора (AIPPODGD) на плату ввода/вывода, когда любой из установленных процессоров подает сигнал power good для модуля питания (PPODGD).
- Плата процессоров включает процессоры на плате при получении сигнала SYS_PWRGOOD с платы ввода/вывода и подаче сигнала power good всеми модуля питания процессоров (PROC[4:1]_PPODGD).
- Сигнал SYS_PWRGOOD платы ввода/вывода включает SNC-M, DMH и модули памяти DIMM.

На рисунке 2-6 показан порядок в котором включаются шины питания платы процессоров.

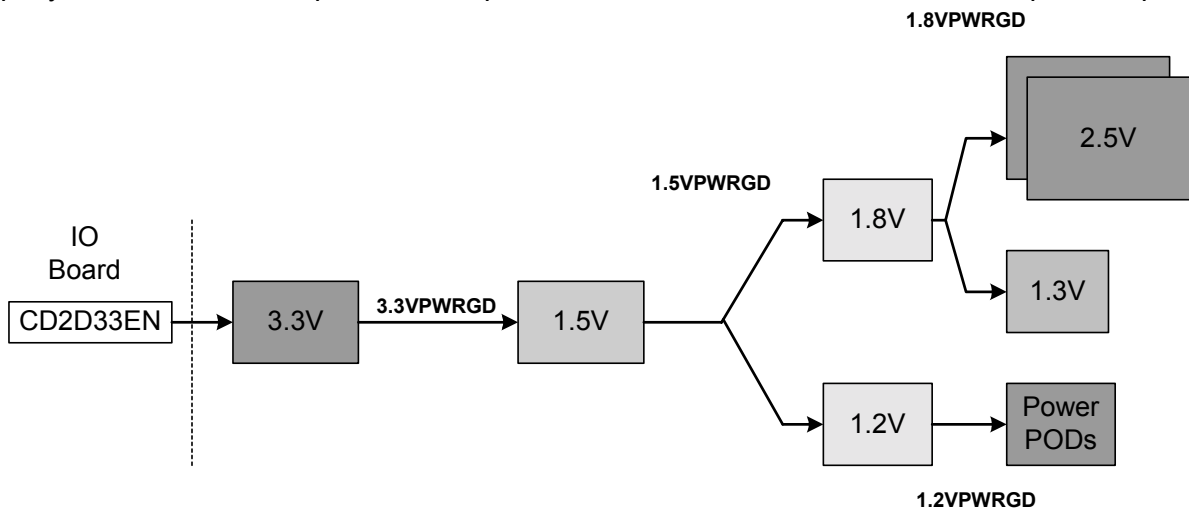


Рисунок 2-6. Последовательность включения шин питания

На рисунке 2-7 показана блок-схема системы контроля последовательности включения питания платы процессоров.

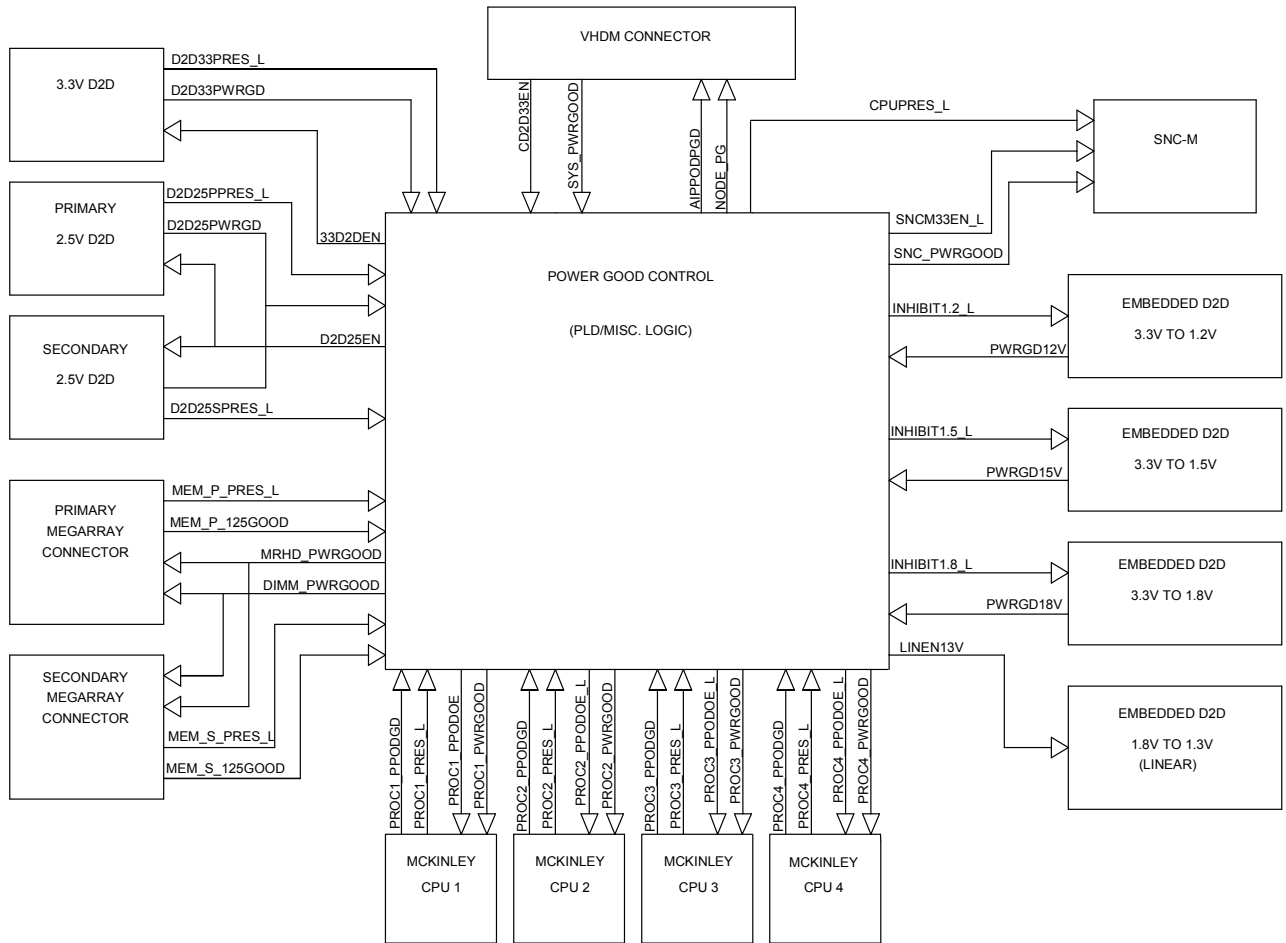


Рисунок 2-7. Система контроля последовательности включения питания платы процессоров

2.4.6.2 Очистить

Плата процессоров использует шесть типов сигналов перезагрузки системы. Их описание приведено в таблице 2-9.

Таблица 2-9. Сигналы перезагрузки, поддерживаемые платой процессоров

Тип перезагрузки	Описание
Перезагрузка по сигналу Power-Good	Производится, когда логическая цепь питания системы подает сигнал power good. При этом производится перезагрузка конфигурации и состояния транзакций SNC-M, а также процессоров. Такая перезагрузка производится всегда, когда включается питание системы.
Аппаратная перезагрузка	Перезагрузка системы по сигналу RESET1_L. В результате аппаратной перезагрузки процессоры, SNC-M и шина памяти перезагружаются в последнее известное состояние.
Аппаратная перезагрузка только процессоров	Перезагрузка системы, при которой перезагружаются только процессоры. Это событие активируется с помощью командных бит

	SAVCFG, SAVMEM и SNC RESET в реестре SNC System Reset (SYRE).
Локальная аппаратная перезагрузка SNC-M	Горячая перезагрузка, при которой производится только перезагрузка процессоров, DMH и LPC. Такая перезагрузка производится с использованием бита конфигурации SNCReset в реестре системной перезагрузки SNC-M (SYRE).
Сигнал шины процессора BINIT_L	Производится только перезагрузка SNC-M, процессоры переходят на вектор BINIT. Такая перезагрузка производится, когда шина процессора подает низкий сигнал BINIT_L. После подачи низкого сигнала BINIT_L доступна только локальная память.
Программная перезагрузка	Процессоры начинают выполнение кода загрузочного вектора. Программная перезагрузка производится при подаче сигнала INIT_L на шину процессора. Сигнал INIT_L подается SNC-M (когда установлен бит конфигурации SoftReset в реестре системной перезагрузки [SYRE]) или ICHX (в результате события ввода/вывода).

Дополнительную информацию по вариантам перезагрузки можно найти в *Спецификации системной архитектуры Intel® E8870*.

2.4.7 Программируемые логические устройства

На плате процессоров имеется два программируемых логических устройства (PLD). Первое устройство – Power Good/Reset PLD. Оно отвечает за последовательность включения питания, описанную в разделе 2.4.6.1. Также это устройство PLD обеспечивает логику перезагрузки, управления сервером и функции JTAG.

Второе устройство называется Legacy Synchronization PLD и поддерживает синхронизацию стандартных сигналов прерываний и сигнала RESET_L, обеспечивая их детерминистическую подачу на процессоры. Также это устройство PLD контролирует инициализацию концентратора встроенного микрокода. Устройства PLD Power Good/Reset и Legacy Synchronization описаны в разделах 2.4.7.1 и 2.4.7.2. Для описания устройств PLD используются следующие обозначения.

Направления сигналов буфера

Тип буфера	Направление
I	Исходные данные
O	Вывод

Дескрипторы сигналов

Тип буфера	Описание
CMOS	Двухтактный CMOS
OD	С открытым стоком
OC	Открытый коллектор.

2.4.7.1 Устройство Power Good/Reset PLD

Программируемое логическое устройство Power Good/Reset PLD включает большую часть логической цепи последовательности включения питания и перезагрузки на плате процессора. Это устройство PLD также содержит логику включения/отключения портов масштабируемости и подает сигнал TRST_L процессорам и SNC-M.

В качестве устройства Power Good/Reset PLD используется компонент Lattice* ISPLSI2064VE.

Этот компонент работает от шины питания 3,3 В режима ожидания и поддерживает интегрированное программирование. ISPLSI2064VE имеет 64 контакта ввода/вывода, 64 регистра и может определять выходы с открытым стоком. В плате процессоров используется 100-контактная версия TQFP. Обратитесь к спецификации Lattice для получения дополнительной информации по устройству ISPLSI2064VE. В таблице 2-10 определяются сигналы PLD, номера контактов и названия контактов. Устройство PLD работает от шины питания 3,3 В режима ожидания. Однако в нем могут использоваться выходы с открытым стоком, и поэтому для напряжения может требоваться внешняя цепь.

Таблица 2-10. Сигналы устройства Power Good/Reset PLD

Сигнал	Тип	Описание	Контакт	Обозначение контакта
ALLCLKSEN	O 3.3 В OD	Enable All Clocks : Этот сигнал включает синхронизирующие импульсы платы процессора. Он подается, когда все шины памяти платы процессоров и плат памяти работают нормально.	48	IO23
AIPPODGD	O 3.3 В STDBY CMOS	All installed Power Pod Power Good : Сигнал подается, когда хотя бы один из установленных процессоров подает сигнал power good для модуля питания процессора.	22	IO4
CD2D33EN	I 3.3 В STDBY CMOS	3.3 V D2D Enable : Выходной сигнал платы ввода/вывода, подаваемый, когда подсистема ввода/вывода готова к включению платой процессора стабилизатора 3,3 В.	34	IO14
CPUPRES_L	O 1.5 В OD	PROCESSOR Present : Этот сигнал подается, когда в системе установлен хотя бы один процессор.	24	IO6
D2D25EN	O 3.3 В STDBY CMOS	2,5 V Enable : Включает шину питания 2,5 В.	2	IO58
D2D33EN	O 3.3 В STDBY CMOS	3.3 V Enable : Включает шину питания 3,3 В.	91	IO49
D2D25PWRGD	I 3.3В STDBY OC	2,5 V Power Good : Подается, если первичный и вторичный выходы стабилизатора 2,5 В функционируют нормально.	57	IO30
D2D33PWRGD	I 3.3VSTDBY OC	3.3 V Power Good : Подается, когда шина 3,3 В функционирует нормально.	55	IO28
D2D33PRES_L	I 3.3 В STDBY CMOS	3.3 V D2D Enable : Подается при наличии стабилизатора.	5	IO60
D2D25PPRES_L	I 3.3 В STDBY CMOS	2.5 V Primary Side D2D Present : Подается при наличии стабилизатора.	53	IO27
D2D25SPRES_L	I 3.3 В STDBY	2.5 V Secondary Side D2D Present : Подается при наличии стабилизатора.	27	IO8

	CMOS			
EMBEN12V	O 3.3 B STDBY CMOS	1,2 V Embedded Regulator Enable: Включает стабилизатор 1,2 В.	56	IO29
EMBEN15V	O 3.3 B STDBY CMOS	1,5 V Embedded Regulator Enable: Включает стабилизатор 1,5 В.	96	IO53
EMBEN18V	O 3.3 B STDBY CMOS	1.8 V Embedded Regulator Enable: Включает стабилизатор 1,8 В.	93	IO51
FWH_ID_L	O 3.3 B STDBY OD	Firmware Hub ID: Этот сигнал подается для замены идентификационных бит FWH 0 и 2. Сигнал должен подаваться в течение всего времени, когда идентификаторы должны быть заменены.	46	IO21
ITPRESET_L	I 3.3V CMOS	In Target Probe (ITP) Reset: Этот сигнал подается для аппаратной перезагрузки по инициативе ITP.	84	IO46
JMP_FWH_ID_L	I 3.3V CMOS	Jumper FWH ID: Этот сигнал подается при установленной идентификационной перемычке FWH ID. Когда этот сигнал активен, система меняет идентификаторы концентраторов встроенного микрокода 0 и 2.	49	IO24
JMP_TRST_L	I 3.3 B STDBY CMOS	Jumper TRST_L: Этот сигнал подается, если установлена перемычка TRST.	98	IO55
LINEN13V	O 3.3 B STDBY CMOS	1,3 V Embedded Regulator Enable: Включает встроенный стабилизатор 1,3 В.	52	IO26
LPC_CTRL_L	O 3.3 B STDBY CMOS	LPC Control Signal: Этот сигнал включает шину LPC.	99	IO56
MEM_P_PRES_L	I 3.3 B STDBY CMOS	Primary-side Memory Board Present: Этот сигнал подается, когда плата памяти подключена к главной стороне платы процессоров.	85	IO47
MEM_S_PRES_L	I 3.3 B STDBY CMOS	Secondary-side Memory Board Present: Этот сигнал подается, когда плата памяти подключена к другой стороне платы процессоров.	23	IO5
MEM_P_125GOOD	I 3.3 B STDBY CMOS	Primary Memory 1.25 V Power Good: Этот сигнал подается, когда шина питания 1,25 В платы памяти, подключенной к главной стороне платы процессоров, работает нормально.	83	IO45
MEM_S_125GOOD	I 3.3 B STDBY CMOS	Secondary Memory 1.25 V Power Good: Этот сигнал подается, когда шина питания 1,25 В платы памяти, подключенной к другой стороне платы процессоров, работает нормально.	90	IO48

MRHD_PWRGD_L	O 3.3 В STDBY CMOS	MRHD Power Good: Этот сигнал подается, когда шины питания, необходимые DMH, работают нормально.	70	IO35
NODE_PG	O 3.3 В STDBY CMOS	Node Power Good: Сообщает подсистеме ввода/вывода о нормальной работе всех шин питания на плате процессора.	33	IO13
PPODOE	I 3.3 В STDBY CMOS	Power Pod Output Enable: Выходной сигнал платы ввода/вывода, подаваемый, когда подсистема ввода/вывода готова к включению платой процессора модулей питания процессора.	42	IO18
PWRGD12V	I 3.3V CMOS	Power Good 1,2 V: Подается, когда шина 1,2 В функционирует нормально.	18	IO1
PWRGD15V	I 3.3V CMOS	Power Good 1,5 V: Подается, когда шина 1,5 В функционирует нормально.	26	IO7
PWRGD18V	I 3.3V CMOS	Power Good 1.8 V: Подается, когда шина 1,8 В функционирует нормально.	68	IO33
PROC1_PPODGD	I 3.3 В STDBY CMOS	Processor Power Pod Good: Подается, когда модуль питания процессора 1 функционирует нормально.	43	IO19
PROC2_PPODGD	I 3.3 В STDBY CMOS	Processor Power Pod Good: Подается, когда модуль питания процессора 2 функционирует нормально.	51	IO25
PROC3_PPODGD	I 3.3 В STDBY CMOS	Processor Power Pod Good: Подается, когда модуль питания процессора 3 функционирует нормально.	35	IO15
PROC4_PPODGD	I 3.3 В STDBY CMOS	Processor Power Pod Good: Подается, когда модуль питания процессора 4 функционирует нормально.	47	IO22
PROC1_PPODOE	O 3.3 В STDBY CMOS	Processor 1 Power Pod Output Enable: Включает модуль питания процессора 1.	20	IO3
PROC2_PPODOE	O 3.3 В STDBY CMOS	Processor 2 Power Pod Output Enable: Включает модуль питания процессора 2.	19	IO2
PROC3_PPODOE	O 3.3 В STDBY CMOS	Processor 3 Power Pod Output Enable: Включает модуль питания процессора 3.	28	IO9
PROC4_PPODOE	O 3.3 В STDBY CMOS	Processor 4 Power Pod Output Enable: Включает модуль питания процессора 4.	17	IO0
PROC1_PRES_L	I 3.3 В CMOS	Processor 1 Present: Этот сигнал подается, когда процессор 1 подключен к плате процессоров.	79	IO42
PROC2_PRES_L	I 3.3 В CMOS	Processor 2 Present: Этот сигнал подается, когда процессор 2 подключен к	95	IO52

	3.3 В CMOS	плате процессоров.		
PROC3_PRES_L	I 3.3 В CMOS	Processor 3 Present: Этот сигнал подается, когда процессор 3 подключен к плате процессоров.	92	IO50
PROC4_PRES_L	I 3.3 В CMOS	Processor 4 Present: Этот сигнал подается, когда процессор 4 подключен к плате процессоров.	74	IO38
PROC1_PWRGD_L	O 3.3 В STDBY CMOS	Processor 1 Power Good: Этот сигнал подается процессором 1, когда на процессор подается питание.	73	IO37
PROC2_PWRGD_L	O 3.3 В STDBY CMOS	Processor 2 Power Good: Этот сигнал подается процессором 2, когда на процессор подается питание.	41	IO17
PROC3_PWRGD_L	O 3.3 В STDBY CMOS	Processor 3 Power Good: Этот сигнал подается процессором 3, когда на процессор подается питание.	67	IO32
PROC4_PWRGD_L	O 3.3 В STDBY CMOS	Processor 4 Power Good: Этот сигнал подается процессором 4, когда на процессор подается питание.	69	IO34
PROC_TRST_L	O 1.5 В OD	Processor TRST: Сигнал JTAG TRST, отправляемый процессорам.	7	IO62
RAMTRM_PWRGD_L	O 3.3 В STDBY CMOS	Memory Power Good: Этот сигнал подается, когда на платы памяти подается требуемое оконечное напряжение.	80	IO43
RESETO_L	O 3.3 В STDBY CMOS	Reset Output: Этот сигнал подается, чтобы сообщить подсистеме ввода/вывода об аппаратной перезагрузке SNC-M и перезагрузке ITP (описывается в разделе 2.4.6.2, "Перезагрузка").	40	IO16
RESETOTTL_L	I 3.3 В STDBY CMOS	Reset Output TTL: Выход RESETO с уровня SNC-M переходит на уровень напряжения 3,3 В. Этот сигнал сообщает об аппаратной перезагрузке SNC-M.	3	IO59
SM_FWH_ID_L	I 3.3 В STDBY CMOS	Server Management Firmware ID Control: Этот сигнал подается системой управления сервером для замены идентификаторов FWH 0 и 2. Сигнал должен подаваться в течение всего времени, когда идентификаторы должны быть заменены. .	97	IO54
SM_RSVD2	Нет	Server Management Reserved: В настоящее время не используется	45	IO20
SNCM_PWRGD_L	O 3.3 В STDBY CMOS	SNC-M Power Good: Этот сигнал подается, когда все шины питания SNC-M функционируют нормально.	76	IO39
SNCM_TRST_L	O 1.5 В OD	SNCM_TRST_L: Вход JTAG TRST_L для SNC-M.	32	IO12

SNCM33EN	O 3.3VSTDBY OD	SNC-M 3.3V Rail Enable: Включает шину питания 3,3 В SNC-M и компонент SMC-M шины I2C*.	29	IO10
SP0_PORT_ENABLE	I 3.3 В STDBY CMOS	SP0 Port Enable: Этот сигнал подается, когда система управления сервером хочет включить порт масштабируемости SP 0.	58	IO31
SP1_PORT_ENABLE	I 3.3 В STDBY CMOS	SP1 Port Enable: Этот сигнал подается, когда система управления сервером хочет включить порт масштабируемости SP 1.	6	IO61
SP0PRES_CTRL_L	O 3.3 В STDBY CMOS	SP0 Present Control: Этот сигнал включает порт масштабируемости SP 0.	82	IO44
SP1PRES_CTRL_L	O 3.3 В STDBY CMOS	SP1 Present Control: Этот сигнал включает порт масштабируемости SP 1.	78	IO41
SYS_PWRGD	I 3.3 В STDBY CMOS	System Power Good: Буферизованная версия сигнала SYS_PWRGOOD платы ввода/вывода, сообщающая плате процессоров о нормальной работе всех шин питания системы.	8	IO63
TIME_EN_L	O 3.3VSTDBY OD	Timer Enable: Этот сигнал, подаваемый на низком уровне, включает счетчик защиты от неисправностей. Счетчик неисправностей отсчитывает время, когда сигнал подается на высоком уровне, однако для запуска счетчика сигнал должен быть подан на низком уровне.	72	IO36
TIME_EXP_L	I 3.3VSTDBY CMOS	Timer Expire: Сообщает об истечении времени отсчета счетчика защиты от сбоев, включенного сигналом TIMER_EN_L .	77	IO40
TRST_TTL_L	I 3.3 В STDBY CMOS	TRST_L TTL: Сигнальный уровень JTAG TRST_L переключен на уровни напряжения TTL.	1	IO57
50MHZ_CLK	I 3.3VSTDBY CMOS	PLD CLOCK: Синхронизирующий импульс частотой 50 МГц. В настоящее время не используется на плате процессоров.	10	Y0

2.4.7.1.1 Логика последовательности включения питания

Блок последовательности включения питания устройства PLD включает асинхронную логическую цепь, реализующую последовательность включения питания, описанную в разделе 2.4.6.1. Дополнительная информация содержится в разделе 2.4.6.1.

2.4.7.1.2 Логика перезагрузки

Блок перезагрузки программируемого логического устройства отвечает за подачу сигнала **RESETO_L** на плату ввода/вывода. Логика программируемого логического устройства подает сигнал **RESETO_L**, когда система получает сигнал об аппаратной перезагрузке ITP или когда SNC-M подает сигнал **RESETOTTL_L** на низком уровне. Для этого требуется только один логический шлюз. См. схему ниже.

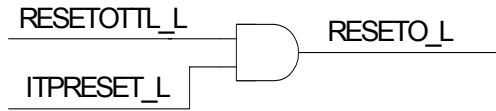


Рисунок 2-8. Логическая схема RESETO_L

2.4.7.1.3 JTAG TRST_L для процессоров и SNC-M

Программируемое логическое устройство подает сигнал TRST_L на процессоры и SNC-M при выполнении определенных условий. В этом разделе описываются эти условия, а также логика PLD. В разделе 2.4.11 более подробно описана цепь отладки платы процессоров.

Сигнал TRST_L процессорам

Сигнал TRST_L подается на процессоры, когда шины питания системы работают нормально и когда включен сигнал TRST_L. Это означает, что сигнал PROC_TRST_L подается только при подаче сигналов SYS_PWRGD и TRST_TTL_L. На рисунке 2-9 показана логика, обеспечивающая своевременную подачу сигнала PROC_TRST_L.

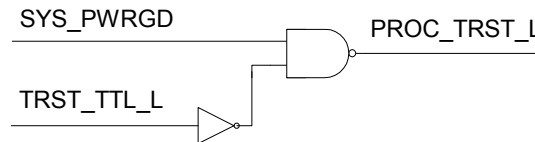


Рисунок 2-9. Логическая схема сигнала TRST для процессоров

Сигнал TRST_L для SNC-M

Сигнал TRST_L подается на SNC-M несколько другим способом, чем на процессоры. На плате процессоров имеется переключатель TRST, которая может быть установлена для подачи сигнала SNCM_TRST_L вне зависимости от того, подается ли сигнал TRST_L на PLD. Учтите, что для подачи сигнала SNCM_TRST_L шины питания системы должны работать нормально, и что при установленной переключателе сигнал TRST_TTL_L будет игнорироваться. Когда переключатель не установлен, сигнал SNCM_TRST_L будет подаваться так же, как и сигнал PROC_TRST_L. На рисунке 2-10 показана логическая схема SNCM_TRST_L.

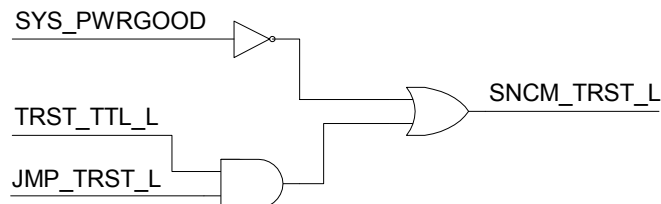


Рисунок 2-10. Логическая схема сигнала TRST для SNC-M

2.4.7.1.4 Выбор идентификатора концентратора встроенного микрокода

На плате процессоров используется третий концентратор встроенного микрокода, хранящий резервную копию загрузочного блока на случай порчи загрузочного блока в концентраторе 0. Сигнал PLD для выбора идентификатора концентратора встроенного микрокода определяет, будет ли плата процессоров использовать загрузочный блок концентратора 2 для нормальной загрузки или восстановления.

Процесс выбора идентификатора концентратора встроенного микрокода может быть запущен системой управления сервером или с помощью переключки на плате процессоров. Система управления сервером контролирует этот процесс с помощью сигнала SM_FWH_ID_L. При установке переключки подается сигнал JMP_FWH_ID_L, также контролирующей этот процесс.

Выбор идентификатора производится следующим образом. Устройство PLD подает сигнал FWH_ID_L всегда, когда подается сигнал JMP_FWH_ID_L или SM_FWH_ID_L. Когда подан сигнал FWH_ID_L, идентификатор концентратора 2 становится главным идентификатором (ID 0), а идентификатор концентратора 0 становится идентификатором концентратора 2. Когда концентратор встроенного микрокода с идентификатором 2 становится главным, его загрузочный блок используется для нормального восстановления или нормальной загрузки. Учтите, что сигналы SM_FWH_ID_L и JMP_FWH_ID_L подаются до тех пор, пока пользователь не восстановит информацию загрузочного блока или пока он не захочет вернуть первоначальные параметры идентификаторов концентраторов. На схеме ниже показана логическая цепь платы процессора, отвечающая за выбор идентификатора концентратора встроенного микрокода.

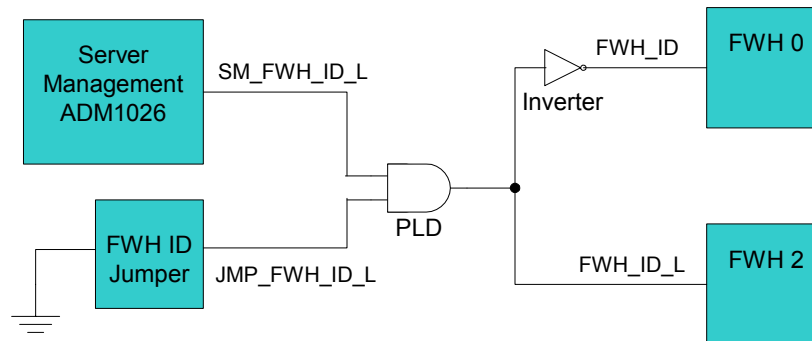


Рисунок 2-11. Логическая схема выбора идентификатора концентратора встроенного микрокода

2.4.7.1.5 Включение портов масштабируемости SP

Устройство power good/reset PLD включает и отключает порты SP на SNC-M при нормальной работе и при горячей установке устройств. Когда на систему только подается питание, порты SP на SNC-M отключаются до тех пор, пока все шины питания системы не будут работать нормально. После того, как все шины питания системы начинают работать нормально, PLD подает сигналы SP0_PRES_CTRL_L и SP1_PRES_CTRL_L для включения портов SP, если система управления сервером не требует отключить эти порты. При нормальной работе все происходит вышеописанным образом. Однако иногда система управления сервером отключает порты SP при включенном сигнале SYS_PWRGD. Это производится посредством отключения сигналов SP0_PORT_ENABLE или SP1_PORT_ENABLE. При отключении любого сигнала включения порта соответствующий порт SP отключается. Это означает, что система управления сервером может отключить любой порт SP, отправив низкий сигнал

SP_PORT_ENABLE. На рисунке ниже показана соответствующая логика PLD.

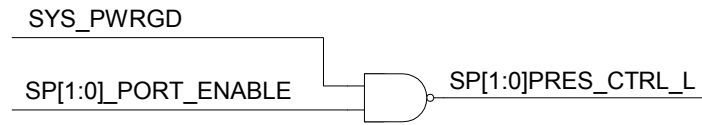


Рисунок 2-12. Включение порта масштабируемости SP

2.4.7.1.6 Защита от сбоев

В PLD имеется специальная цепь защиты от сбоев, предназначенная на случай сбоя внешнего сигнала или низкой скорости Edge Rate. Цепь защиты от сбоев использует счетчик, чтобы контролировать выборку данных при медленном нарастании входного уровня, чтобы неопределенные логические значения не вызывали ложные выходные уровни. В следующем разделе описываются функции счетчика защиты от сбоев.

Счетчик защиты от сбоев

Цепь защиты от сбоев использует счетчик, чтобы определить, когда проводить выборку медленных выходов и когда вносить изменения на выходах PLD. Счетчик защиты от сбоев представляет собой простой счетчик RC, включающий сигнал TIME_EXP_L (to the PLD) при истечении. Счетчик включается, когда сигнал TIME_EN_L подается на низком уровне в течение короткого времени, а потом отключается. Схема работы счетчика приведена на рисунке 2-13.

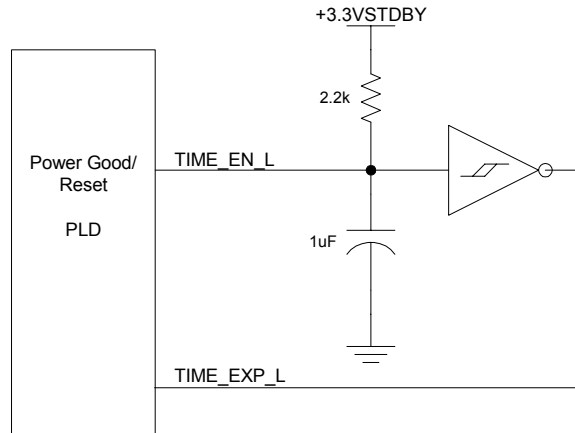


Рисунок 2-13. Схема счетчика защиты от сбоев.

2.4.7.2 Логическое программируемое устройство Legacy Synchronization PLD

Логическое программируемое устройство Legacy Synchronization PLD отвечает за подачу стандартных сигналов прерываний на процессоры и сигнала RESETI_L на SNC-M. Соответствующая логика содержится в устройстве PLD Lattice* ISPLSI2032VE. ISPLSI2032VE представляет собой компонент с тактовой частотой 300 МГц, работающий от шины 3,3 В

режима ожидания и поддерживающий программирование на системном уровне. Этот компонент имеет 32 контакта ввода/вывода, 32 регистра и может определять выходы с открытым стоком. Он может размещаться в различных корпусах. В плате процессоров используется 44-контактная версия TQFP. Обратитесь к спецификации Lattice для получения дополнительной информации по устройству ISPLSI2032VE. В таблице 2-11 определяются сигналы устройства PLD, а далее идет его подробное описание.

Таблица 2-11. Входные/выходные сигналы программируемого логического устройства Legacy Synchronization PLD

Сигнал	Тип	Описание
A20M_L	I 3.3 В STDBY CMOS	A20M_L: A20 Mask.
A20MGTL_L	O 1.2 В OD	A20M_L GTL Level: Маска A20 транслируется в сигнал GTL.
IGNNE_L	I 3.3 В STDBY CMOS	IGNNE_L: Игнорировать числовую ошибку.
IGNNEGTL_L	O 1.2 В OD	IGNNE_L GTL Level: IGNNE транслируется в сигнал GTL.
INTR	I 3.3 В STDBY CMOS	INTR: Запрос прерывания.
INIT_L	I 3.3 В STDBY CMOS	INIT_L: Сигнал инициализации процессора.
NMI	I 3.3 В STDBY CMOS	NMI: Немаскируемое прерывание.
PMI_L	I 3.3 В STDBY CMOS	PMI: Прерывание управления процессором.
PMIGTL_L	O 1.2 В OD	PMI_L GTL Level: PMI_L транслируется в сигнал GTL.
INITGTL_L	O 1.2 В OD	INIT_L GTL Level: INIT_L транслируется в сигнал GTL.
LINT0GTL	O 1.2 В OD	LINIT0 GTL: INTR транслируется в сигнал GTL.
LINT1GTL	O 1.2 В OD	LINIT1 GTL: Немаскируемое прерывание транслируется в сигнал GTL.
RESETI_L	I 3.3 В STDBY CMOS	RESETI_L: Подается, когда плата ввода/вывода хочет произвести аппаратную перезагрузку SNC-M и процессоров.
SNC_RESETI_L	O	SNC-M RESETI_L: RESETI_L транслируется в сигнал 1,5

	1.5 В OD	В.
SYNC_CLK	I 3.3 В STDBY CMOS	Synchronization Clock: Синхронизирующий импульс, используемый только при необходимости синхронизации стандартных сигналов и сигнала RESETI_L.
SYNCEN_L	I 3.3 В STDBY CMOS	Synchronization Enable: Когда этот сигнал включен, стандартные сигналы прерываний и сигнал RESETI_L синхронизируются с сигналом SYNC_CLK.

Синхронизация

Обычно стандартные сигналы прерываний и сигнал RESETI_L являются асинхронными, и устройство PLD выступает в качестве транслятора, передающего эти сигналы процессорам и SNC-M. При небольшом повышении выходного напряжения платы процессора этот режим устанавливается в качестве стандартного. Однако если сигнал SYNCEN_L подается на низком уровне, устройство PLD перейдет в синхронизированный режим и будет синхронизировать стандартные сигналы прерываний и сигнал RESETI_L с сигналом SYNC_CLK. Когда подается сигнал SYNCEN_L, устройство PLD считает данные всех синхронизируемых выходов нарастающего сигнала SYNC_CLK и передаст их на выходы следующего нарастающего сигнала SYNC_CLK. Благодаря этому выходы стандартных сигналов прерываний и сигнала RESETI_L становятся синхронными и детерминированными. На рисунке ниже показана характерная форма входных и выходных колебаний в нормальном режиме работы и в синхронном режиме.

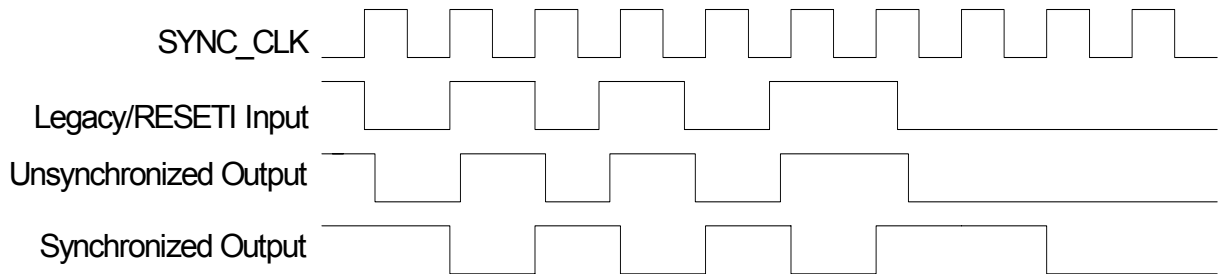


Рисунок 2-14. Примеры синхронных и несинхронных выходов

2.4.8 Установка переключателей платы процессоров

На плате процессоров имеется четыре блока переключателей. Основные функции этих блоков переключателей описаны в таблицах ниже.

Таблица 2-12. Определение различных переключателей

Сигнал	Описание
J7C1	
TDI	Конфигурационный переключатель TDI - SNC_TDI (контакты 1 – 2) установлена (нормальное положение)= TDI подключается к SNC_TDI (на контактах 3 – 4 переключатель быть не должно) Нет переключателя = Ничего (на контактах 3 – 4 должна быть установлена переключатель)

TDI	<p>Переключатель TDI - SNC_TDO. (пропустить SNC) (контакты 3 – 4)</p> <p>Переключатель установлен = TDI подключается к PROC4_TDI (на контактах 1 – 2 должно быть переключатель)</p> <p>Нет переключателя (нормальное положение) = Ничего (на контактах 1 – 2 должна быть установлена переключатель)</p>
JMP_TRST_L	<p>Низкий сигнал JMP_TRST_L (контакты 5 – 6)</p> <p>Переключатель установлен = сигнал JMP_TRST_L включен (активное положение)</p> <p>Переключатель не установлен (нормальное положение) = подается высокий сигнал JMP_TRST_L</p> <p>Описание уровней сигналов и их значений приведено в разделе 2.4.7 (Программируемые логические устройства).</p>
EXTERNAL_EN	<p>Определяет уровень сигнала EXTERNAL_EN.</p> <p>Переключатель установлен (нормальное положение) = Низкий уровень сигнала EXTERNAL_EN, благодаря чему плата процессоров включается в глобальную цепь ISP и запрещается локальное программирование устройств PLD (активное состояние).</p> <p>Переключатель не установлен = Высокий уровень сигнала EXTERNAL_EN, плата процессоров отключается от глобальной цепи ISP и разрешается локальное программирование устройств PLD.</p>
J8C2	
PROCESSOR_RATIO2	Бит 2 PROCESSOR Core Ratio (в активном состоянии переключатель установлен) (контакты 1 -2). Изначально не установлена
PROCESSOR_RATIO3	Бит 3 PROCESSOR Core Ratio (в активном состоянии переключатель установлен) (контакты 3 -4). Изначально не установлена
PROCESSOR_RATIO4	Бит 4 PROCESSOR Core Ratio (в активном состоянии переключатель установлен) (контакты 5 -6). Изначально не установлена
PROCESSOR_RATIO5	Бит 5 PROCESSOR Core Ratio (в активном состоянии переключатель установлен) (контакты 7 – 8). Изначально не установлена
J8C3	
JMP_FWH_ID_L	<p>Меняет адреса концентраторов встроенного микрокода 0 и 1 (контакты 1 – 2)</p> <p>Переключатель установлен = идентификаторы концентраторов заменены местами (активное положение)</p> <p>Нет переключателя (нормальное положение) = Работа в нормальном режиме</p>
N/C	(3 – 4, 5 – 6)
FWH0TBL_L	<p>Защита от запуска загрузочного блока FWH0.</p> <p>Переключатель установлен (начальное положение) = Высокий уровень сигнала FWH0TBL_L, запись в загрузочный блок концентратора встроенного микрокода 0 (64 КБ) разрешена.</p> <p>Переключатель не установлен = Сигнал FWH0TBL_L отключен, запись в загрузочный блок концентратора встроенного микрокода 0 (64 КБ) запрещена (активное положение).</p>

Примечание: Контакты 6 и 8 блока J7C1 - заземление. Контакты 1, 3, 5 и 7 блока J8C2 - заземление. Контакт 2 блока J8C3 - заземление.

Таблица 2-13. Интерфейсные сигналы коннектора ISP (J8C1)

Сигнал	Контакт	Контакт	Сигнал
ISP_TCK	1	2	Земля
ISP_TMS	3	4	NC
ISP_EN_L	5	6	ISP_TDI
ISP_SDO	7	8	Земля

2.4.9 Блок управления сервером

На рисунке 2-15 показана логика управления сервером платы процессоров Itanium 2/E8870 серверной системы SR870BN4. На плате процессоров имеется одна шина системного управления. Шина I²C_PROCESSOR соединяет все устройства управления сервером, а также SNC, память и четыре процессора Itanium 2. Эта шина используется для сбора различных типов информации (напряжение, температура, информация об устройствах) с различных устройств. Шина I²C_PROCESSOR используется ПО для управления сервером, например, Intel® Server Control (ISC), с помощью контроллера BMC.

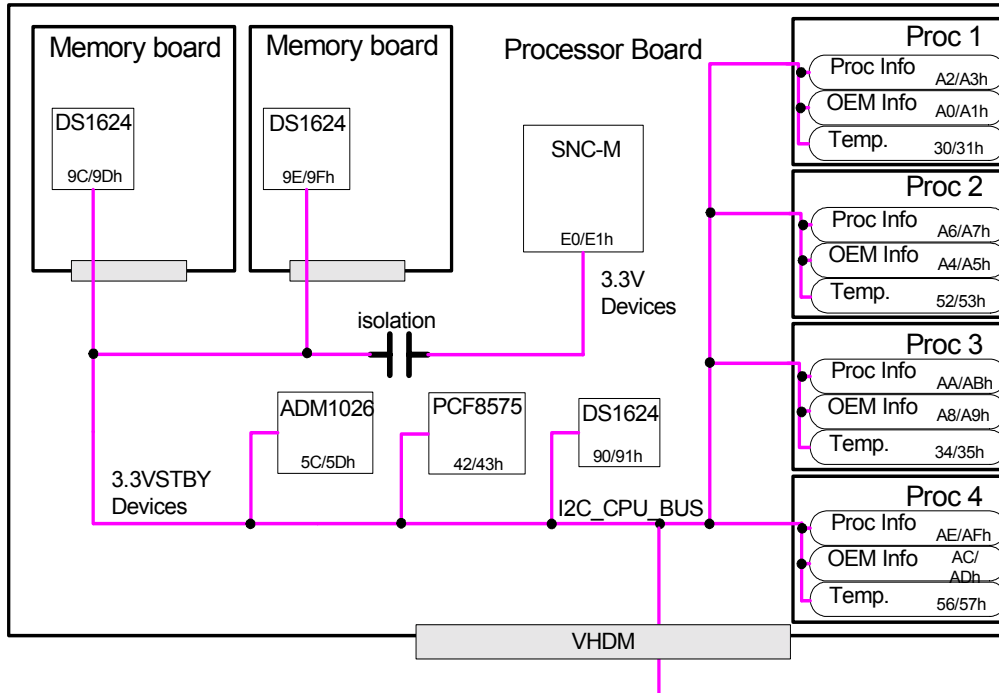


Рисунок 2-15. Схема системы управления серверными системами Intel® SR870BN4

2.4.10 Схема адресов I²C

Таблица 2-14. Список устройств на шине I²C

Устройство	Функция	Адреса I ² C	Напряжение питания
DS1624*	Датчик температуры и информация FRU	90h, 91h	3.3V STANDBY
PCF8575*	16 битGPIO	42h, 43h	3.3V STANDBY
ADM1026*	Мониторинг напряжения и GPIO.	5Ch, 5Dh	3.3V STANDBY
SNC-M	Доступ к реестрам	E0h, E1h ¹	3.3V (Switched in after power up)
PROCESSOR 1	Информация о процессорах	A2h, A3h	3.3V STANDBY
	EEPROM с заставкой OEM	A0h, A1h	3.3V STANDBY
	Термодиод ядра процессора	30h, 31h	3.3V STANDBY
PROCESSOR 2	Информация о процессорах	A6h, A7h	3.3V STANDBY
	EEPROM с заставкой OEM	A4h, A5h	3.3V STANDBY

	Термодиод ядра процессора	52h,53h	3.3V STANDBY
PROCESSOR 3	Информация о процессорах	AAh, Abh	3.3V STANDBY
	EEPROM с заставкой OEM	A8h, A9h	3.3V STANDBY
	Термодиод ядра процессора	34h,35h	3.3V STANDBY
PROCESSOR 4	Информация о процессорах	A Eh, A fh	3.3V STANDBY
	EEPROM с заставкой OEM	A Ch, A dh	3.3V STANDBY
	Термодиод ядра процессора	56h,57h	3.3V STANDBY
Primary Mem Brd DS1624	Датчик температуры и информация FRU	9Ch, 9Dh ²	3.3V STANDBY
Secondary Mem Brd DS1624	Датчик температуры и информация FRU	9E,h 9Fh ²	3.3V STANDBY

Примечание: 1. Идентификаторы устройств SMBus SNC-M устанавливается с помощью NODEID[3:0].
2. Бит 1 идентификатора устройства платы памяти DS1624 устанавливается на плате процессора.

2.4.10.1 DS1624* - Информация FRU и датчик температуры

Устройство DS1624* сообщает по шине I²C о температуре модуля, измеренного датчиком DS1624, а также информацию FRU, указанную в таблице 2-16. Память FD1624* SEEPROM имеет программируемую область 256 байт, разделенную на четыре части. Эти части описаны в таблице 2-15.

Таблица 2-15. Части области программирования DS1624* SEEPROM

Площадь	Размер	Описание
Общая область	8 байт	Программирование смещений для других областей.
Область внутреннего использования	48 байт	Эта область зарезервирована для использования продукцией Intel ¹ . Встроенное ПО управления сервером/Контроллеры.
Информация о плате	80 байт	Содержит информацию FRU, перечисленную в таблице 2-16.
Информация о продукции	120 байт	Может использоваться OEM-компаниями. ¹

1. Утилита загрузки FRU и SDR, предоставляемая корпорацией Intel, позволяет OEM-компаниям программировать любые устройства FRU SEEPROM серверной системы Intel® SR870BN4 (набор плат).
Дополнительная информация приведена во *Внешней спецификации утилиты FRU & SDR Load Utility*.

Помимо использования SEEPROM для хранения информации FRU платы процессоров серверной системы SR870BN4, устройство DS1624 также выступает в качестве датчика температуры. Датчик температуры имеет 13-разрядную строку значений, поддерживая диапазон от –55С до +125С с шагом 0,03125С. Дополнительную информацию по модулю DS1624 можно найти в техническом описании производителя.

Таблица 2-16. Пример поднабора информации FRU для платы процессоров серверной системы Intel® SR870BN4

Информацию	Описание	Example	Примечания
Изготовлено: Дата/время	Запрограммированные дата и время изготовления платы (в шестнадцатиричном формате) – количество минут, истекших с 0:00 1 января 1996 года.	01ff593h (Преобразование даты и времени показано ниже) f593 = 2094483 минуты = 3 года 358 дней и 1116 минут = 23 декабря 1999 г., 18:36	2

Производитель	Производитель платы	Процессор Intel	1
Наименование платы	Название/описание платы	Плата процессоров/памяти серверной системы SR870BN4	2
Серийный номер платы	Серийный номер платы Intel®	INBR42385906	2
Номер детали платы	Номер детали платы Intel®	A55955-200	2

- Примечания:
1. Реальный параметр, запрограммированный в плату.
 2. Пример. Реальный параметр определяется при изготовлении платы.

2.4.10.2 16-битный расширитель ввода/вывода PCF8575*

Устройство PCF8575*, доступ к которому производится по шине I²C_PROCESSOR_bus, может считывать и записывать информацию, используя определенные сигналы, привязанные к устройствам. В таблице 2-17 содержится список сигналов и их использования системой управления сервером.

Таблица 2-17. Сигналы шины I²C_PROCESSOR и их использование системой управления сервером

Сигнал	Интерфейс I ² C	Примечания/Описание
PCF8575* @ I²C Address 42h		
PROC1_PRES_L	Исходные данные	Сигнал присутствия процессора 1
PROC2_PRES_L	Исходные данные	Сигнал присутствия процессора 2
PROC3_PRES_L	Исходные данные	Сигнал присутствия процессора 3
PROC4_PRES_L	Исходные данные	Сигнал присутствия процессора 4
PROC1_PPODGD_L	Исходные данные	Сигнал Power Good модуля питания процессора 1
PROC2_PPODGD_L	Исходные данные	Сигнал Power Good модуля питания процессора 2
PROC3_PPODGD_L	Исходные данные	Сигнал Power Good модуля питания процессора 3
PROC4_PPODGD_L	Исходные данные	Сигнал Power Good модуля питания процессора 4
NODE_PG	Исходные данные	Сигнал Power Good узла:
12V_HP_FAULT_L	Исходные данные	Сигнал ошибки горячей установки на шине 12 В
12V_STDBY_PWRGD	Исходные данные	Сигнал Power Good шины 12 В режима ожидания
MEM_P_PRES_L	Исходные данные	Сигнал, сообщающий, что к главной стороне платы процессора подключена плата памяти
MEM_S_PRES_L	Исходные данные	Сигнал, сообщающий, что к другой стороне платы процессора подключена плата памяти
PROGRESS_LED	Вывод	Индикатор хода горячей установки
FAILURE_LED	Вывод	Индикатор ошибки при горячей установке

2.4.10.3 Модуль аппаратного мониторинга ADM1026*

Модуль аппаратного мониторинга системы ADM1026* измеряет различные параметры системы и сравнивает их с установленными ограничениями. Модуль ADM1026* производит мониторинг пяти датчиков напряжения, двух датчиков температуры и четырех датчиков цифровых сигналов. Таблица 2-18 показывает датчики напряжения, датчики температуры и сигналы данных, мониторинг которых проводится модулем ADM1024. Модуль ADM1024 располагается на шине I²C_PROCESSOR.

Таблица 2-18: Сигналы, мониторинг которых производится модулем ADM1026*

Сигнал	Интерфейс I ² C	Примечания/Описание
+3.3V (Standby)	Исходные данные	Датчик напряжения управления сервером, датчик рабочего напряжения устройства PLD
+3.3V	Исходные данные	Датчик выходного напряжения стабилизатора D2D и входного напряжения системы
+1.8V	Исходные данные	Датчик напряжения RSL
+1.5V	Исходные данные	Датчик рабочего напряжения набора микросхем Intel® E8870
+1.2V	Исходные данные	Датчик окончного напряжения системной шины
+1.3V	Исходные данные	Датчик напряжения шины SP
SSENSE_125	Исходные данные	Мониторинг шины 1,25 В второй платы памяти
PSENSE_125	Исходные данные	Мониторинг шины 1,25 В первой платы памяти
SNC-M Thermal Diode	Input (Cathode and Anode)	Термодиод #1. Мониторинг температуры ядра SNCM
FAULT48_L	Исходные данные	Мониторинг ошибок контроллера горячей установки (шина питания 48 В)
MEM_S_125GOOD	Исходные данные	Сигнал power good на шине питания 1,25 В второй платы памяти
MEM_P_125GOOD	Исходные данные	Сигнал power good на шине питания 1,25 В первой платы памяти
25SD2DOK_L	Исходные данные	Сигнал подключения второй шины питания 2,5 В к устройству D2D
D2D25SPRES_L	Исходные данные	Сигнал активного подключения второй шины питания 2,5 В к устройству D2D
25PD2DOK_L	Исходные данные	Сигнал подключения первой шины питания 2,5 В к устройству D2D
D2D25PPRES_L	Исходные данные	Сигнал активного подключения первой шины питания 2,5 В к устройству D2D
33D2DOK_L	Исходные данные	Сигнал подключения шины питания 3,3 В к устройству D2D
D2D33PRES_L	Исходные данные	Сигнал активного подключения шины питания 3,3 В к устройству D2D
SP0_PORT_ENABLE	Вывод	Порт SP0 включен
SP1_PORT_ENABLE	Вывод	Порт SP1 включен
SM_FWH_ID_L	Вывод	Сигнал изменения идентификаторов концентратора встроенного микрокода системы управления сервером
SM_RSVD2	Ввод/вывод	Зарезервированный системой управления сервера

		сигнал PLD
THERMTRIP0_L	Исходные данные	Температурный порог процессора 1
THERMTRIP1_L	Исходные данные	Температурный порог процессора 2
THERMTRIP2_L	Исходные данные	Температурный порог процессора 3
THERMTRIP3_L	Исходные данные	Температурный порог процессора 4

2.4.10.4 Интерфейс I²C набора микросхем Intel® E8870

Компонент SNC-M набора микросхем Intel® E8870 включает подчиненный порт I²C, принимающий команды контроллера управления сервером. Подчиненный порт I²C взаимодействует с конфигурационным устройством SNC-M, дающим контроллеру управления сервером доступ ко всем конфигурационным реестрам набора микросхем.

2.4.10.5 Функции управления сервером в процессорах Intel® Itanium® 2

Корпус процессоров Itanium® 2 включает интерфейс шины системного управления, обеспечивающий доступ к нескольким характеристикам процессора. В корпусе находятся два компонента памяти системного управления (EEPROM) и датчик температуры (цифровой термометр). Один модуль EEPROM содержит информацию о процессоре. Этот модуль полностью защищен от записи. На другой модуль EEPROM системным интегратором могут быть записаны любые другие данные.

Температурный датчик в корпусе процессора обеспечивает получение точной температуры ядра процессора. Температурный датчик подключен к термодиоду на ядре процессора. Сигнал THERMALERT# подается, когда температура термодиода ядра процессора превышает пороговую величину, запрограммированную в реестре высокой температуры датчика.

Дополнительную информацию можно найти в *Электрической, механической и температурной спецификации процессоров Intel® Itanium® 2*.

2.4.11 Порт отладки (JTAG)

Порт JTAG выступает в качестве интерфейса для отладки на уровне системы и на уровне компонентов. При тестировании и отладке системы все события и команды используют протокол JTAG для доступа к реестрам и памяти.

При отладке системы этот порт контролируется JTAG, т.е. картой PCI, управляемой приложением на ПК. Сигнал JTAG подается в асинхронном режиме по отношению к синхронизирующим импульсам системы и имеет частоту не 1/12,5 частоты шины или 16 МГц. Существует два пути доступа к цепи JTAG платы процессоров. Во-первых, доступ может быть осуществлен через коннектор JTAG на плате процессоров. Во-вторых, доступ может быть произведен с помощью сигнала IS_JTAGEN_L (см. рисунок ниже).

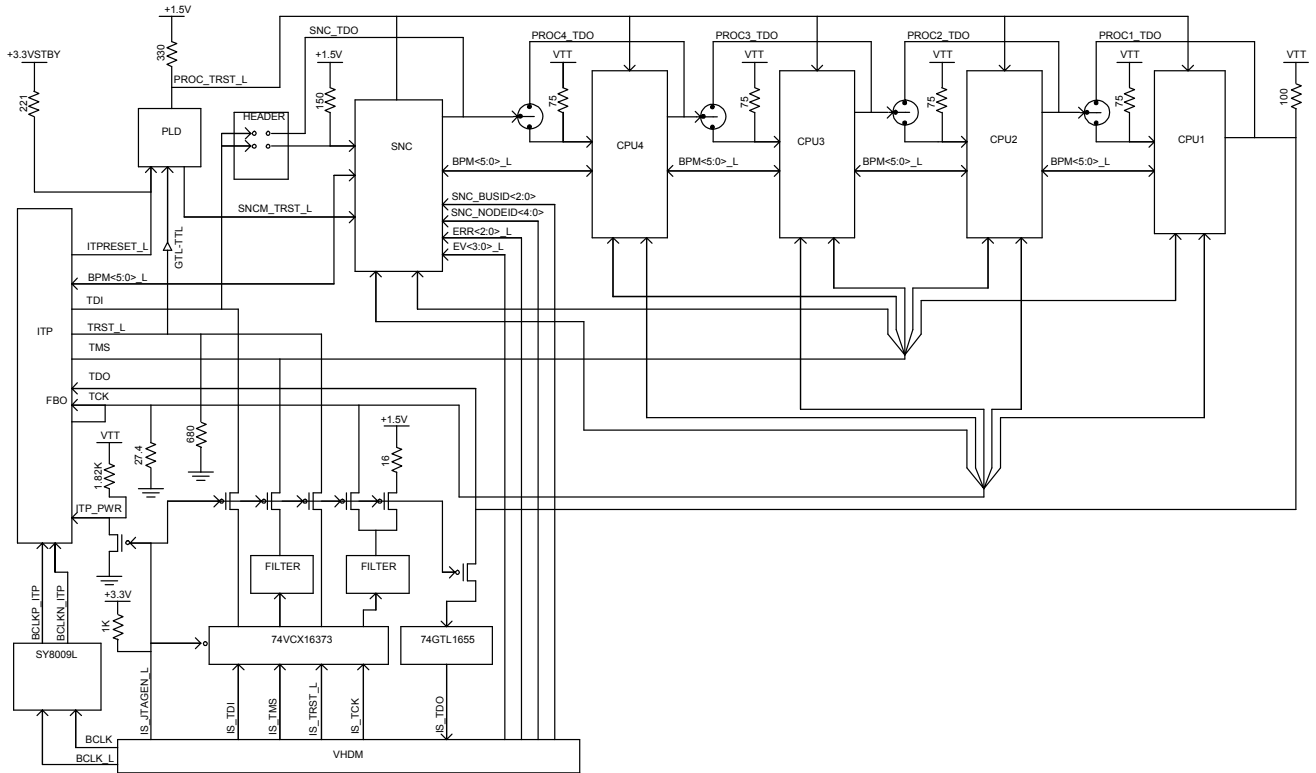


Рисунок 2-16. Использование JTAG в блоке процессоров/памяти.

2.4.11.1 Описание разъема ITP

Сигнал	Ввод/вывод	Примечания/Описание
PWR	Исходные данные	Сигнал PWR подается с уровня оконечного напряжения GTL+ системы-объекта. Этот сигнал является задающим для сигналов BPM[5:0]_L, RESET_L, TDO и FBO. Этот сигнал отключается при выключении питания системы или при подаче сигнала IS_JTAGEN_L подсистемой ввода/вывода.
BCLK(n/p)	Исходные данные	Дифференцированные синхронизирующие импульсы системы-объекта. Используются для отборки образцов сигналов команд и фазового выравнивания сигналов порта отладки.
DBA_L	Вывод	Активный сигнал порта отладки, передаваемый ITP на интерфейс системного порта TAP. Этот сигнал не используется блоком процессоров/памяти.
FBI	Вывод	Копия сигнала TCK без пассивного контроля краевой скорости.
FBO	Исходные данные	Этот сигнал используется для регистрации TDO в утилите ITP. FBO подключается к TCK посредством одного из лучей топологии «звезда» (см. рисунок выше).
DBR_L	Вывод	Сигнал, генерирующий аппаратную перезагрузку системы.
TCK	Вывод	Главный синхронизирующий импульс TAP. Порт отладки подает импульс с частотой до 16 МГц, если это

		ВОЗМОЖНО.
TDI	Вывод	Подача сигнала ввода данных на объект. Этот сигнал подается на вход первого устройства в цепи проверки.
TDO	Исходные данные	Прием сигнала вывода данных с объекта. Этот сигнал получается и регистрируется FBO. Это сигнал последнего устройства в цепи проверки.
TMS	Вывод	Сигнал управления состоянием TAP. Этот сигнал определяет, в каком режиме находятся механизмы TAP. TMS также используется для перезагрузки внутреннего сигнала TAP набора микросхем и процессоров.
TRST_L	Вывод	Асинхронная по отношению к TCK передача сигналов. При нормальной работе этот сигнал подается на низком уровне. Этот сигнал используется для асинхронной перезагрузки контроллера TAP для набора микросхем и процессоров.
BPM[5:0]_L	Исходные данные	Порт отладки получает эти сигналы, так же как и сигнал RESET_L, по отношению к BCLK. Они представляют собой входные точки перехода на уровне GTL+ процессоров Itanium® 2. В случае подачи процессорами сигнала BPM[5:0]_L, некоторые приложения могут использовать эти сигналы для включения других событий в программном обеспечении ITP.
RESET_L	Исходные данные	Порт отладки получает этот сигнал по отношению к BCLK. Это входной сигнал уровня GTL+, подаваемый Intel® E8870 SNC-M. В случае подачи сигнала Reset_L набором микросхем, программное обеспечение ITP может выполнить остановку или функцию, и/или сообщить пользователю о перезагрузке.
BPM5DR_L	Вывод	Отключение порта отладки при перезагрузке. Этот сигнал подключен к BPM5_L и подается асинхронно, с момента через 50 нс после подачи сигнала Reset_L до тех пор, пока после отключения сигнала Reset_L не пройдет хотя бы 25 с.

2.4.11.2 Выбор объекта проверки цепи JTAG

Платы памяти и процессоров поддерживают автоматическое определение конфигурации JTAG. Для каждого процессора в цепи существует функция пропуска, пересылающая TDO на TDI следующего устройства, если процессор неисправен или не установлен (см. рисунок ниже).

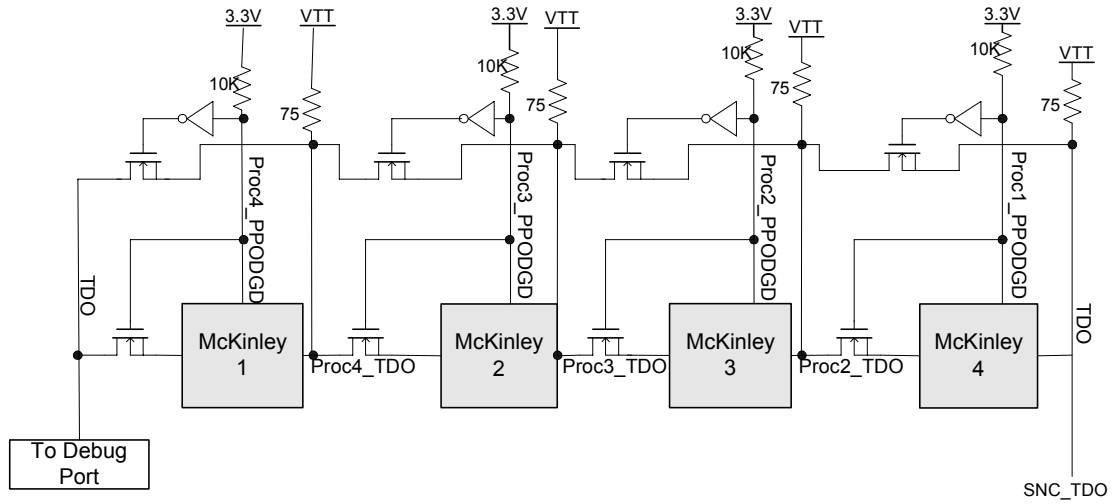


Рисунок 2-17. Схема пропуска процессоров Intel® Itanium® 2

2.4.12 Интерфейс ISP

Два программируемых логических устройства Lattice* на плате процессоров поддерживают функции программирования встроенного ПО (ISP). Эти компоненты программируются с помощью цепи JTAG ISP, располагающейся отдельно от цепи отладки JTAG. На рисунке 2-18 показана блок-схема цепи ISP платы процессоров..

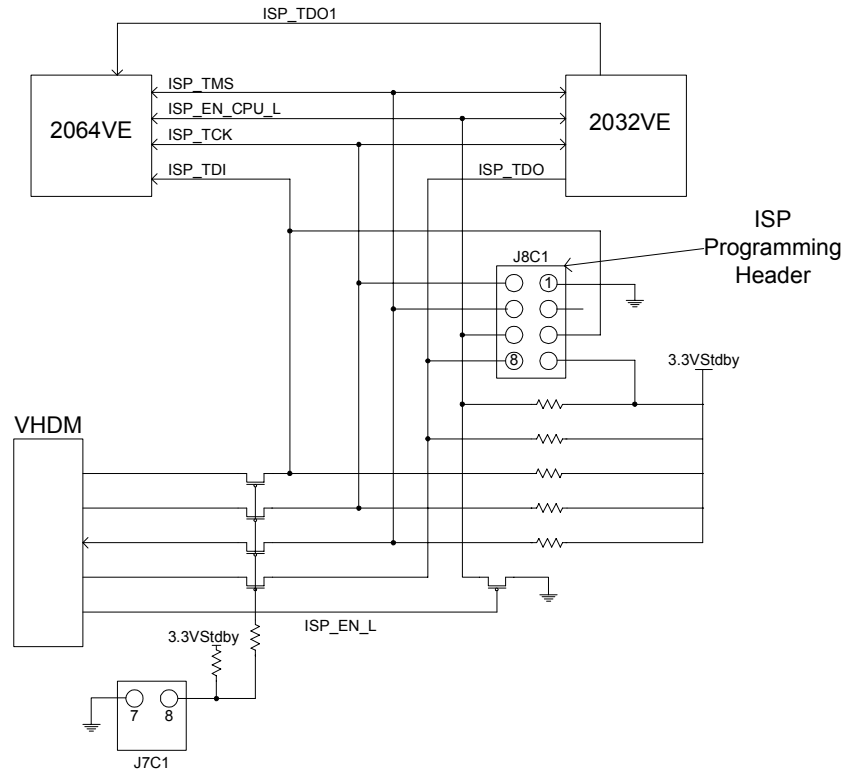


Рисунок 2-18. Блок-схема цепи программирования платы процессоров

Как показано на схеме выше, плату процессоров можно подключить к глобальной цепи ISP, установив переключку External Enable на плате процессора (см. раздел 2.4.8, "Установка переключек на плате процессора"). Когда переключка не установлена, устройства PLD на плате процессоров могут быть запрограммированы локально с помощью коннектора ISP J8C1. Учтите, что при локальном программировании платы сигнал ISP_EN_L платы ввода/вывода не должен быть включен. Схема контактов коннектора для локального программирования приведена в разделе 2.4.8, «Установка переключек на плате процессора».

2.4.13 Концентратор встроенного микрокода

Концентратор встроенного микрокода подключается к системе через интерфейс LPC/FWH в SNC. Поддержка протокола FWH позволяет подключать к SNC-M FWH-совместимые устройства для хранения встроенного ПО для процессоров.

Всего в системе установлены три концентратора встроенного микрокода Intel® 82802AC в 32-контактных корпусах PLCC. Каждый концентратор встроенного микрокода имеет емкость 8 Мбит, таким образом, общая емкость концентраторов встроенного микрокода на плате процессоров составляет 24 Мбит. Для программирования концентратора встроенного микрокода сигнал SNCFWHWP_L должен быть отключен переходной платой ввода/вывода.

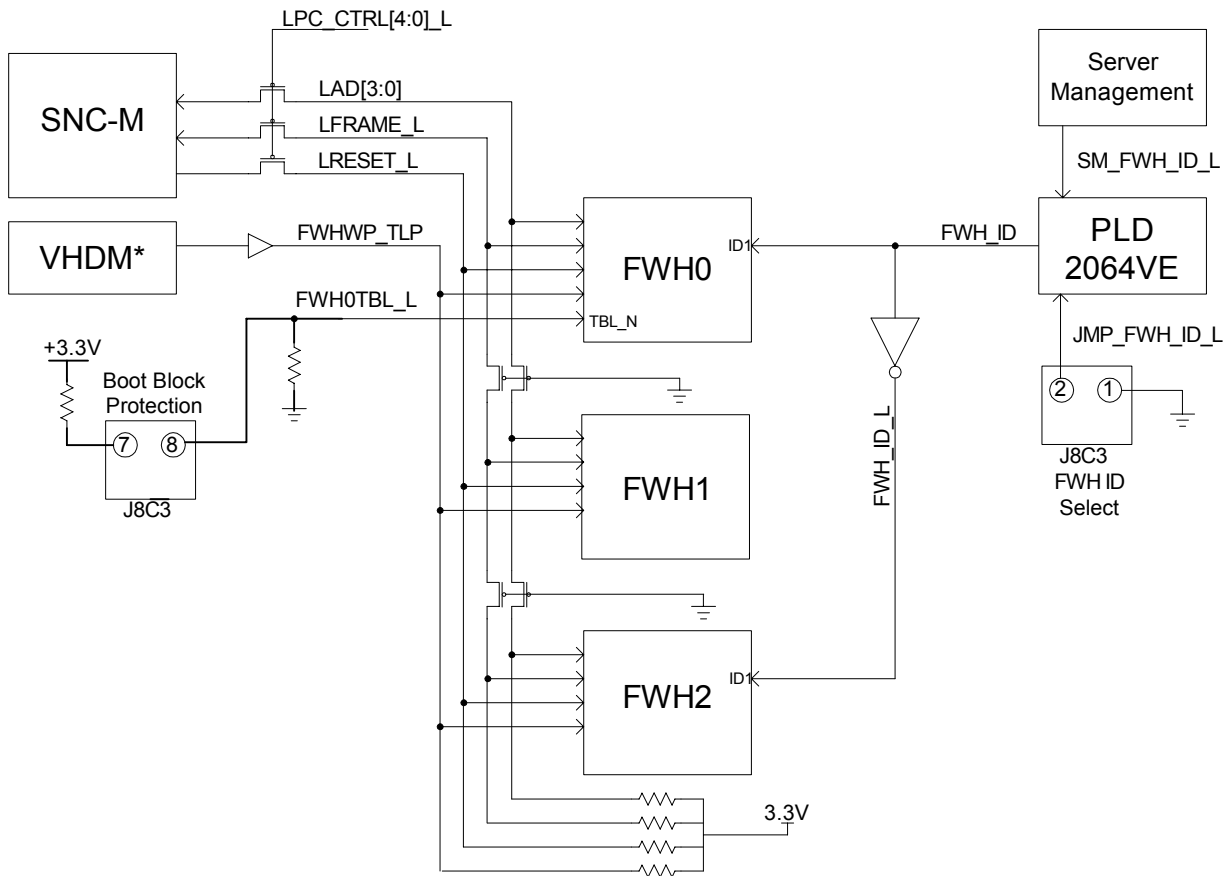


Рисунок 2-19. Блок-схема LPC

2.5 Описания сигналов

Для описания типов сигналов используются следующие обозначения:

Направления сигналов буфера

I	Контакт ввода
O	Контакт вывода
I/O	Двунаправленный контакт (ввод/вывод)
SBD	Двунаправленный контакт (одновременная передача по двум направлениям)

В описание сигнала также включен тип буфера, используемого для данного сигнала.

Типы технологий буферизации

Тип буфера	Описание
GTL+	Интерфейс GTL+ с открытым стоком
SBD	Одновременная передача по двум направлениям
Дифференциал	Дифференциальный вход, требующий обозначение напряжения или дополнение сигнала
CMOS	Буфер ввода/вывода типа CMOS с триггерным входом Schmitt
LPC	Буфер ввода/вывода LPC с триггерным входом Schmitt с уровнем напряжения 1,3 В, поддержкой 3,3 В и максимальной частотой до 25 МГц
JTAG	1,5 В, буфер ввода/вывода JTAG
Аналоговый	Обычно обозначение напряжения или специального блока питания

2.5.1 Сигналы системной шины процессоров Intel® Itanium® 2

Все сигналы системной шины подаются процессорами Itanium® 2 или компонентом SNC-M набора микросхем E8870. Все эти сигналы имеют сигнальный уровень GTL+. Подробное описание сигналов процессоров Itanium® 2 приведено в *Электрической, механической и температурной спецификации процессоров Intel® Itanium® 2*.

2.5.2 Сигналы шины порта масштабируемости (SP)

Порт масштабируемости служит для объединения узлов с целью создания масштабируемых многопроцессорных систем с общей памятью. Этот интерфейс типа точка/точка служит для подключения узлов процессоров к локальной памяти, узлам ввода/вывода и сетевым коммутаторам. Подробное описание сигналов шины Intel® E8870 SP содержится в *Электрической, механической и температурной спецификации процессоров Intel® Itanium® 2*.

2.5.3 Сигналы интерфейса памяти

В таблице 2-19 описываются сигналы, распределенные по функциональным группам: адресация/управления, проверка и питание. В этих таблицах приводится сводное описание сигнальных контактов памяти, в том числе мнемоника сигналов, электрические характеристики, полное название и краткое описание. Описание электрических характеристик приведено в начале этого раздела.

Таблица 2-19. Сигналы интерфейса памяти, в том числе каналы RAMBUS 0, 1, 2, 3

Сигнал	Тип	Описание
R{0/1/2/3}DQA[8:0]	I/O RSL 400 МГц [x2]	Rambus Data(A) : Сигналы данных, используемые для операций чтения/записи на шине данных Rambus A.

R{0/1/2/3}DQB[8:0]	I/O RSL 400 МГц [x2]	Rambus Data(B): Сигналы данных, используемые для операций чтения/записи на шине данных Rambus B.
R{0/1/2/3}RQ[7:0]	O RSL 400 МГц [x2]	Request Control Signals: R{0/1/2/3}RQ[7:0] используются для отправки контрольных пакетов на канал Rambus. Спецификация Rambus определяет соответствие пакетов Rambus этим строкам для RDRAM. Спецификация DMH определяет соответствие для DDR.
R{0/1/2/3}ExRC	O RSL 400 МГц [x2]	Row Expansion Signal: Этот сигнал выбирает один из двух DMH на каждом главном канале для приема пакета строки.
R{0/1/2/3}ExCC	O RSL 400 МГц [x2]	Column Expansion Signal: Этот сигнал выбирает один из двух DMH на каждом главном канале для приема пакета столбца.
R{0/1/2/3}CTM	I RSL 400 МГц	Clock to Master: Один из двух синхронизирующих импульсов передачи, используемых для операций RDRAM на соответствующем канале Rambus. Подается в SNC-M, создается внешним генератором синхронизирующих импульсов.
R{0/1/2/3}CTMN	I RSL 400 МГц	Clock To Rambus Master Complement: Один из двух синхронизирующих импульсов передачи, используемых для операций RDRAM на соответствующем канале Rambus. Дополняет синхронизирующий сигнал R{0/1/2/3}CTM.
R{0/1/2/3}CFM	O RSL 400 МГц	Clock from Master: Один из двух дифференциальных сигналов для синхронизации пакетов Rambus, отправляемых SNC.
R{0/1/2/3}CFMN	O RSL 400 МГц	Clock from Master Complement: Один из двух дифференциальных сигналов для синхронизации пакетов Rambus, отправляемых SNC.
R{0/1/2/3}SYNCLK	O CMOS 100 МГц	Phase Detect Signal: Этот сигнал отправляется DRCG для генерирования синхронизирующих импульсов 400 МГц. Этот сигнал генерируется SYNCLK соответствующего RAC. Задержка следа сигнала должна соответствовать следу R{0/1/2/3}PCLKN.
R{0/1/2/3}PCLKN	O CMOS 100 МГц	Phase Detect Signal: Этот сигнал отправляется DRCG для генерирования синхронизирующих импульсов 400 МГц. Этот сигнал генерируется синхронизирующим импульсом ядра SNC-M.
R{0/1/2/3}SCK	O CMOS 1 МГц или 100 МГц	Serial Clock: Этот сигнал обеспечивает синхронизацию доступов к реестрам (1 МГц) и выбор устройств RDRAM на соответствующем канале Rambus для управления питанием (100 МГц).
R{0/1/2/3}SIO	I/O CMOS 1 МГц или 100 МГц	Serial Input/Output: Двухнаправленный сигнал последовательных данных, используемый для инициализации устройств, операций с реестрами, управления режимом питания, перезагрузки устройств, и т.п.
R{0/1/2/3}CMD	O CMOS 1 МГц или 100 МГц	Serial Command: Последовательные команды устройств RDRAM, используемые для контроля режима питания, настройки цепочки SIO* и описания операций SIO.
VREF{0/1/2/3}[1:0]	I	DC Signal Voltage Reference: Обозначение напряжения (сигнал Vref) для входных буферов.

2.5.4 Сигналы интерфейса управления сервером

Взаимодействие платы процессоров с системой управления сервером (контроллером BMC) производится с использованием шины I²C. Таблица 2-20 содержит описания всех интерфейсных сигналов. Учтите, что два сигнала I²C, указанные в таблице, проходят через резисторы на 0 Ом и образуют несколько разных сигналов. Резисторы позволяют изолировать

устройства от шины, и поэтому эти сигналы не включены в таблицу.

Таблица 2-20. Интерфейс системы управления сервером

Signals(s)	Тип	Название и описание
I2C_PROCESSOR_SCL	3.3V CMOS	Server Management Clock: Синхронизирующий сигнал шины управления сервером, используемый контроллером BMC, платой процессоров и платой памяти.
I2C_PROCESSOR_SDA	3.3V CMOS	Server Management Serial Data: Канал данных шины управления сервером, используемый контроллером BMC, платой процессоров и платой памяти.

2.5.5 Подключение питания

Питание на плату процессоров Itanium® 2 подается через разъем VHDM. Линия 48 В и возвратная линия 48 В проходят через модули питания, а остальные сигналы питания проходят через сам разъем VHDM. В таблице 2-21 приведено описание контактов разъема питания, содержащее название, тип и краткое описание сигналов.

Таблица 2-21. Разъем питания

Signals(s)	Тип	Название и описание
GND	Аналоговый	Земля
+48 Return	Аналоговый	Возвратная линия 48 В
+3.3V	Аналоговый	+3,3 В (режим ожидания)
+12V	Аналоговый	+12 В (режим ожидания)
+48V	Аналоговый	+48 В

2.6 Электрические спецификации, механические спецификации и спецификации рабочей среды

В настоящем разделе описываются рабочие параметры и физические характеристики платы процессоров. Данная спецификация относится только к платам, Рабочие спецификации корпуса в данном документе не описываются.

В настоящем разделе описываются нормальные рабочие условия платы процессоров и механические спецификации модулей и разъемов платы.

2.6.1 Электрические спецификации

В следующих разделах описываются абсолютные максимальные ограничения температуры и напряжения, бюджет энергопотребления платы процессоров и схемы контактов внешних разъемов. В таблице 2-22 указаны абсолютные максимальные ограничения температуры и напряжения процессоров.

Таблица 2-22. Абсолютные максимальные ограничения платы процессоров

Пункт меню	Абсолютное максимальное ограничение
Температура эксплуатации	от 10°C до 35°C

2.6.1.1 Требования к питанию

В таблице 2-23 показаны требования к мощности платы процессоров Itanium 2 в максимальной конфигурации:

- Максимальная конфигурация:
Четыре процессора с энергопотреблением 130 Вт и две платы памяти с заполненными разъемами

Примечание: Числа показывают только ограничения конструкции. Реальное энергопотребление зависит от конфигурации.

Таблица 2-23. Максимальные требования к питанию

				Мощность (Вт)	Ток (А)
1,45 В – Основной источник питания – модуль питания процессоров Itanium 2				117.0	89.7
		Каждый		Расширенная	
Устройство	Кол-во	Мощность (Вт)	Ток (А)	Мощность (Вт)	Ток (А)
Ядро Itanium 2	4	130	89.66	468.0	358.8
Всего 1,45 В				468.0	358.8

				Мощность (Вт)	Ток (А)
2,5 В – Основной источник				111.7	60.1
		Каждый		Расширенная	
Устройство	Кол-во	Мощность (Вт)	Ток (А)	Мощность (Вт)	Ток (А)
Блок памяти	2	55.85	30.05	111.7	60.1
Всего 2,5 В				111.7	60.1

				Мощность (Вт)	Ток (А)
3,3 В – Основной источник				56.8	17.2
		Каждый		Расширенная	
Устройство	Кол-во	Мощность (Вт)	Ток (А)	Мощность (Вт)	Ток (А)
Стабилизатор системной шины 1,2 В	1	14.12	4.28	14.1	4.3
Стабилизатор SNC-M 1,5 В	1	13.55	4.11	13.6	4.1
Стабилизатор 1,8 В	1	17.82	5.40	17.8	5.4
Возбудитель шины SY89809L	1	0.3795	0.115	0.38	0.12
ICS558 PECL для CMOS	1	0.495	0.15	0.50	0.15
FWH	3	0.22	0.07	0.66	0.21
Оконечная нагрузка PECL (50 Ом)	10	0.066	0.02	0.7	0.2
Генератор синхронизирующих импульсов W234	2	0.33	0.1	0.7	0.2
Трансивер шины 74GTL1655	1	0.4125	0.125	0.4	0.1
Выключатель шины SN74CBT3125	7	0.5016	0.152	3.5	1.06

TL1431CDR Prog. Для реестров	1	0.4653	0.141	0.46	0.14
74ACT125, четыре/три	1	0.2508	0.076	0.3	0.1
Другая нагрузка	1	3.3	1	3.3	1.0
Всего 3,3 В				56.4	17.08

Требования к источнику питания

Блок питания должен соответствовать следующим требованиям:

- Задержка 10 мс (не менее) от подачи питания до подачи сигнала power good.
- Все шины питания (+48 В, +3,3 В режима ожидания, +12 В режима ожидания) должны достигнуть минимального уровня стабилизации с разницей во времени не более ± 50 мс. Допустимые отклонения для каждой шины питания приведены в разделе 2.4.5.

2.6.1.2 Спецификации разъема

В таблице 2-24 указаны справочные обозначения, количество, производитель и номер детали разъемов платы процессоров. Дополнительная информация содержится в документации производителя.

Таблица 2-24. Спецификации разъемов платы процессоров

Описание	Справочные обозначения	Кол-во	Производитель и номер детали	Описание
	J8A1	1	Molex* 0740300448	6 рядов X 60 столбцов VHDM и питание blade-сервера
	J7E1, J3R1	2	FCI* 74220-001	MegArray* Recpt. 400-контактов на плате процессора
	J1B1, J3B1, J6M1, J7M1	4	Foxconn* PZ70003-003-S	Разъем процессора Itanium 2

2.6.1.3 Схема контактов разъема VHDM* и описание сигналов, кроме сигналов порта SP

Плата процессоров подключается к промежуточной плате через 360-контактный разъем VHDM и трехконтактный модульный разъем питания VHDM.

Таблица 2-25. Схема контактов SP и не SP

Контакт	F	Pa	D	C	B	A
1	RSVD	GND	GND	RSVD	GND	RSVD
2	GND	RSVD	GND	GND	RSVD	GND
3	RSVD	GND	RSVD	RSVD	GND	RSVD
4	RSVD	RSVD	RSVD	GND	RSVD	RSVD
5	RSVD	RSVD	RSVD	RSVD	GND	RSVD
6	RSVD	RSVD	RSVD	RSVD	RSVD	GND
7	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
8	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
9	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
10	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD

11	12V_STDBY	12V_STDBY	RSVD	3.3V_STDBY	3.3V_STDBY	PROCESSOR_INTERLOC K0_L
12	RSVD	RSVD	BUSID2	BUSID1	I2C_PROCESSOR _SDA	I2C_PROCESSOR_SCL
13	STPCLK_L	PROCHOT_L	BUSID0	NODEID4	SP1GPIO	PPDOE
14	EV3_L	EV2_L	NODEID3	EV1_L	EV0_L	SP0GPIO
15	RSVD	RSVD	NODEID2	RSVD	HP_INT_L	THERMALERT_L
16	INT_OUT_L	BERROUT_L	NODEID1	ERR2_L	ERR1_L	ERR0_L
17	BERRIN_L	RSVD	RSVD	BINITIN_L	RSVD	RSVD
18	IS_TMS	IS_TRST_L	NODEID0	BINITOUT_L	CD2D33EN	AIPPODPG
19	IS_TDO	IS_TDI	IS_TCK	RSVD	FERR_L	PMI_L
20	NMI	INTR	RSVD	INIT_L	IGNNE_L	A20M_L
21	RESET0_L	RSVD	RESET1_L	RSVD	NODE_PG	SYS_PWRGOOD
22	SP1PRES	SP0PRES	GND	SP1SYNC	GND	SP0SYNC
23	SP1BD13	GND	SP1BD14	SP1BD6	GND	SP1BD5
24	SP1BD12	SP1BD15	GND	SP1BD4	SP1BD7	GND
25	GND	SP1BVREFH3	SP1BVREFL3	GND	SP1BVREFH1	SP1BVREFL1
26	SP1BD11	GND	SP1BSSO	SP1BD3	GND	SP1BEP0
27	SP1BRSVD	SP1BD10	GND	SP1BSTBN0	SP1BD2	GND
28	GND	SP1BSTBP1	SP1BSTBN1	GND	SP1BEP2	SP1BSTBP0
29	SP1BLLC	GND	SP1BD9	SP1BEP1	GND	SP1BD1
30	SP1BVREFL2	SP1BVREFH2	GND	SP1BVREFL0	SP1BVREFH0	GND
31	GND	SP1BD8	IS_JTAGEN_L	GND	SP1BD0	SNCFWHWP_L
32	IA64_IA32*	GND	SP1AD8	SNCFWHDIS_L	GND	SP1AD0
33	GND	SP1AVREFH2	SP1AVREFL2	GND	SP1AVREFH0	SP1AVREFL0
34	SP1AD9	SP1ALLC	GND	SP1AD1	SP1AEP2	GND
35	GND	SP1ASTBN1	SP1ASTBP1	GND	SP1ASTBN0	SP1ASTBP0
36	SP1AD10	GND	SP1ARSVD	SP1AD2	GND	SP1AEP1
37	SP1ASSO	SP1AD11	GND	SP1AEP0	SP1AD3	GND
38	GND	SP1AVREFL3	SP1AVREFH3	GND	SP1AVREFL1	SP1AVREFH1
39	SP1AD15	GND	SP1AD12	SP1AD7	GND	SP1AD4
40	SP1AD14	SP1AD13	GND	SP1AD5	SP1AD6	GND
41	SP0BD13	GND	SP0BD14	SP0BD6	GND	SP0BD5
42	SP0BD12	SP0BD15	GND	SP0BD4	SP0BD7	GND
43	GND	SP0BVREFH3	SP0BVREFL3	GND	SP0BVREFH1	SP0BVREFL1
44	SP0BD11	GND	SP0BSSO	SP0BD3	GND	SP0BEP0
45	SP0BRSVD	SP0BD10	GND	SP0BEP1	SP0BD2	GND
46	GND	SP0BSTBP1	SP0BSTBN1	GND	SP0BSTBP0	SP0BSTBN0
47	SP0BLLC	GND	SP0BD9	SP0BEP2	GND	SP0BD1
48	SP0BVREFL2	SP0BVREFH2	GND	SP0BVREFL0	SP0BVREFH0	GND
49	GND	SP0BD8	STDBYEN_L	GND	SP0BD0	RSVD
50	V48EN	GND	SP0AD8	33STDBY_GD	GND	SP0AD0
51	GND	SP0AVREFH2	SP0AVREFL2	GND	SP0AVREFH0	SP0AVREFL0
52	SP0AD9	SP0ALLC	GND	SP0AD1	SP0AEP2	GND
53	GND	SP0ASTBN1	SP0ASTBP1	GND	SP0ASTBP0	SP0AEP1
54	SP0AD10	GND	SP0ARSVD	SP0AD2	GND	SP0ASTBN0
55	SP0ASSO	SP0AD11	GND	SP0AEP0	SP0AD3	GND
56	GND	SP0AVREFL3	SP0AVREFH3	GND	SP0AVREFL1	SP0AVREFH1
57	SP0AD15	GND	SP0AD12	SP0AD7	GND	SP0AD4
58	SP0AD14	SP0AD13	GND	SP0AD5	SP0AD6	GND
59	ISP_SCLK	ISP_MODE	GND	GND	BCLK_L	BCLK

60	PROCESSOR_INTER LOCK1_L	ISP_EN_L	ISP_SDO	ISP_SDI	GND	GND
----	----------------------------	----------	---------	---------	-----	-----

* - Напряжение повышается до 3,3 В – всегда в режиме IA64.

Таблица 2-26. Список сигналов, кроме сигналов порта SP

Название:	Описание	Контакты	I/O	Источник	Результат	Технология
Сигналы, кроме сигналов порта SP		80				
Синхронизирующие импульсы		2				
BCLK	Системный синхронизирующий импульс 200 МГц	1	I	IO	Процессор	LVPECL
BCLK_L	Системный синхронизирующий импульс 200 МГц	1	I	IO	Процессор	LVPECL
Перезагрузка		6				
RESETI_L	Аппаратная перезагрузка с подсистемы ввода/вывода	1	I	IO	SNCM	3.3V
RESETO_L	Сигнал PLD для перезагрузки и системы ввода/вывода	1	O	PLD	IO	3.3V
NODE_PG	Сигнал Power good платы процессора	1	O	Процессор	IO	3.3V TTL
SYS_PWRGOOD	Сигнал Global power good платы ввода/вывода	1	I	IO (PLD)	Processor (PLD)	3.3V
SP{0/1}GPIO	GPIO порта масштабируемости	2	I/O	Processor / IO	IO / Процессор	1.5V CMOS OD
Стандартные		7				
A20M_L	A20 Mask	1	I	IO (ICH2)	Процессор	3.3V
IGNNE_L	Игнорировать числовую ошибку.	1	I	IO (ICH2)	Процессор	3.3V
INIT_L	Сигнал инициализации процессора.	1	I	IO (ICH2)	Процессор	3.3V
INTR	Запрос	1	I	IO	Процессор	3.3V

	прерывания			(ICH2)		
NMI	Немаскируемое прерывание	1	I	IO (ICH2)	Процессор	3.3V
FERR_L	Ошибка вычислений с плавающей запятой	1	O	Процессор	IO (ICH2)	3.3V
PMI_L	Прерывание управления процессором (SMI_L)	1	I	IO (ICH2)	Процессор	3.3V TTL
JTAG		5				
IS_TCK	Встроенный синхронизирующий импульс JTAG на плату процессора	1	I	IO	Процессор	3.3V
IS_TDI	Данные JTAG с платы процессора	1	O	Процессор	IO	3.3V
IS_TDO	Сигнал TDO на плату процессора	1	I	IO	Процессор	3.3V
IS_TMS	Сигнал выбора режима тестирования на плату процессора	1	I	IO	Процессор	3.3V
IS_TRST_L	Сигнал перезагрузки и тестирования на плату ввода/вывода	1	I	IO	Процессор	3.3V
IS_JTAGEN_L	Включает встроенный мастер JTAG	1	I	IO	Процессор	3.3V
ISP для программируемых логических устройств платы процессоров		5				
ISP_SDI	In-System Programming Data In	1	I	IO	Процессор	3.3V CMOS
ISP_SDO	Выходные данные ISP	1	O	Процессор	IO	3.3V CMOS
ISP_EN_L	Включение ISP	1	I	IO	Процессор	3.3V CMOS
ISP_MODE	In-System Programming Mode	1	I	IO	Процессор	3.3V CMOS
ISP_SCLK	In-System Programming Clock	1	I	IO	Процессор	3.3V CMOS
MISC		31				

IA64_IA32	Указывает тип процессора плате ввода/вывода	1	O	Процессор	IO	3.3V TTL or pulled to ground
BINITIN_L	BINIT от программируемого логического устройства на SNC-M	1	I	IO	SNC-M	1.5V
BERRIN_L	На SNC-M для генерирования машинной проверки частоты системной шины	1	I	IO	SNC-M	1.5V
BINITOUT_L	От SNC-M Используется только в 8-процессорных системах	1	O	SNC-M0	SNC-M1	3.3V
BERROUT_L	От SNC-M Используется только в 8-процессорных системах	1	O	SNC-M0	SNC-M1	3.3V
ERR[2:0]_L	Сигналы кода ошибки	3	I/O	SNC-M	IO (PLD)	1.5V CMOS OD
INT_OUT_L	Генерируется SNC-M	1	O	SNC-M	IO (PLD)	3.3V
HP_INT_L	Прерывание горячей установки	1	O	Процессор	IO	3.3V
BUSID[2:0]	Биты, указывающие номер шины конфигурации SNC-M	3	IO	Промежуточная плата	SNC-M	1.5V CMOS OD
NODEID[4:0]	Биты, указывающие идентификатор узла SNC-M	5	IO	Промежуточная плата	SNC-M	1.5V CMOS OD
EV[3:0]_L	Логика событий	4	I/O	SNCM/SPS/SIOH/Processor	SIOH/SPS/SNC-M/ IO	1.5V CMOS OD
THERMALERT_L	Указывает выход температуры процессора за пределы допустимого	1	O	Processor (proc's)	IO (PLD)	OD 3.3V

	диапазона					
PPODOE	Включение модулей питания процессора	1	I	IO (PLD)	Processor (PLD)	3.3V
AIPPODPG	Сигнал powergood для всех установленных модулей питания процессора	1	O	Процессор	IO	3.3V
CD2D33EN	Включает преобразователь постоянного тока 3,3 В на плате процессоров	1	I	IO	Процессор	3.3V
V48EN	Включает каналные транзисторы 48 В для горячей установки	1	I	IO (Sahalee/ PLD)	Processor (to FETs)	3.3V
STDBYEN	Включает резервные каналные транзисторы для горячей установки	1	I	IO	Процессор	3.3V
INTERLOCK0_L	Определение подключения разъема VHDM	1	I	IO	Процессор	3.3V
INTERLOCK1_L	Определение подключения разъема VHDM	1	O	Процессор	IO	3.3V
SNCFWHDIS_L	Отключение доступа к северному концентратору встроенного микрокода за SNC	1	I	IO	Процессор (SNC-M)	1.5V
SNCFWHWP_L	Разблокировка концентратора встроенного микрокода в SNC-M для обновлений	1	I	IO	Процессор (SNC-M)	1.5V
33STDBY_GD	Указывает состояние шины	1	O	Процессор	IO	3.3V

	питания 3,3 В режима ожидания плате процессоров					
SM		2				
I2C_PROCESSOR_SDA	Шина данных I2C подключена к плате процессоров и платам памяти	1	I/O	IO, Processor	Процессор, IO	3.3V CMOS
I2C_PROCESSOR_SCL	Шина синхронизирующих импульсов I2C подключена к плате процессоров и платам памяти	1	I	IO	Процессор	3.3V CMOS
Интерфейс ACPI		1				
STPCLK_L	Стоповый синхронизирующий импульс для поддержки IA32	1	I	IO (ICH2)	Процессор	3.3V
Зарезервирован		60				
Питание/Заземление		4				
48V	18 A	3 blades	I	IO	Процессор	Аналоговый
48VGND	18 A	3 blades	I	Процессор	IO	Аналоговый
12V_STDBY	1 A	2	I	IO	Процессор	Аналоговый
3.3V_STDBY	1 A	2	I	IO	Процессор	Аналоговый
GND			I	IO	Процессор	Аналоговый

2.6.1.4 Схема контактов платы памяти

Плата процессоров соединяется с платами памяти через 400-контактные разъемы Megarray* форм-фактора BGA. Для подключения плат памяти имеется один разъем на главной стороне платы процессоров и один разъем на задней стороне. Вместе эти два разъема поддерживают четыре канала Rambus для обмена сигналами между платой процессоров и платой памяти. Схема контактов разъема приведена в таблице 2-27.

Таблица 2-27. Схема контактов разъема для подключения платы памяти (MegArray*) – Контакты A1-F40

Col	Ряд	A	B	C	D	Pa	F	G	H	J	K
1	CH1 DQ	GND	MRHD PWRG	MEMRST0	+1.8V	+1.8V	I2C MEM	I2C MEM	GND	CH2 DQA	

	A8		OOD	_L			SCL	_SDA		8
2	GND	CH1_DQA7	GND(mem Interlock)	+1.8V	+1.8V	+1.8V	+1.8V	GND	CH2_DQA7	GND
3	CH1_DQA6	GND	+1.8V	CH1_VREF_TM	GND	GND	CH2_VREF_TM	+1.8V	GND	CH2_DQA6
4	GND	CH1_DQA5	+1.8V	+1.8V	GND	GND	+1.8V	+1.8V	CH2_DQA5	GND
5	CH1_DQA4	GND	GND	CH1_VREF_FM	+1.8V	+1.8V	CH2_VREF_FM	GND	GND	CH2_DQA4
6	GND	CH1_DQA2	GND	+1.8V	+1.8V	+1.8V	+1.8V	GND	CH2_DQA2	GND
7	CH1_DQA3	GND	+1.8V	DIMM_PWR_GOOD	GND	GND	GND	+1.8V	GND	CH2_DQA3
8	GND	CH1_DQA1	GND	GND	+2.5V	+2.5V	GND	GND	CH2_DQA1	GND
9	CH1_DQA0	GND	GND	GND	+2.5V	+2.5V	GND	GND	GND	CH2_DQA0
10	GND	CH1_CFMN	+2.5V	+2.5V	GND	GND	+2.5V	+2.5V	CH2_CFMN	GND
11	CH1_CFMN	GND	+2.5V	+2.5V	GND	GND	+2.5V	+2.5V	GND	CH2_CFMN
12	GND	CH1_CTMN	GND	GND	+2.5V	+2.5V	GND	GND	CH2_CTMN	GND
13	CH1_CTMN	GND	GND	GND	+2.5V	+2.5V	GND	GND	GND	CH2_CTMN
14	GND	CH1_DRG_OUTP	+2.5V	+2.5V	GND	GND	+2.5V	+2.5V	CH2_DRG_OUTP	GND
15	CH1_DRG_OUTN	GND	+2.5V	+2.5V	+2.5V	+2.5V	+2.5V	+2.5V	GND	CH2_DRG_OUTN
16	GND	CH1_RQ7	GND	GND	+2.5V	+2.5V	GND	GND	CH2_RQ7	GND
17	CH1_RQ6	GND	GND	GND	+2.5V	+2.5V	GND	GND	GND	CH2_RQ6
18	GND	CH1_EXRC	+2.5V	+2.5V	GND	GND	+2.5V	+2.5V	CH2_EXRC	GND
19	CH1_RQ5	GND	+2.5V	+2.5V	+2.5V	+2.5V	+2.5V	+2.5V	GND	CH2_RQ5
20	GND	CH1_RQ4	GND	GND	+2.5V	+2.5V	GND	GND	CH2_RQ4	GND
21	CH1_EXCC	GND	GND	GND	+2.5V	+2.5V	GND	GND	GND	CH2_EXCC
22	GND	CH1_RQ3	+2.5V	+2.5V	GND	GND	+2.5V	+2.5V	CH2_RQ3	GND
23	CH1_RQ2	GND	+2.5V	+2.5V	+2.5V	+2.5V	+2.5V	+2.5V	GND	CH2_RQ2
24	GND	CH1_RQ1	GND	GND	+2.5V	+2.5V	GND	GND	CH2_RQ1	GND
25	CH1_DQB0	GND	GND	GND	+2.5V	+2.5V	GND	GND	GND	CH2_DQB0
26	GND	CH1_RQ0	+2.5V	+2.5V	GND	GND	+2.5V	+2.5V	CH2_RQ0	GND
27	CH1_DQB1	GND	+2.5V	+2.5V	+2.5V	+2.5V	+2.5V	+2.5V	GND	CH2_DQB1

28	GND	CH1_DQB 2	GND	GND	+2.5V	+2.5V	GND	GND	CH2_DQ B2	GND
29	CH1_DQ B3	GND	GND	GND	+2.5V	+2.5V	GND	GND	GND	CH2_DQB 3
30	GND	CH1_DQB 4	+2.5V	+2.5V	GND	GND	+2.5V	+2.5V	CH2_DQ B4	GND
31	CH1_DQ B5	GND	+2.5V	+2.5V	+2.5V	+2.5V	+2.5V	+2.5V	GND	CH2_DQB 5
32	GND	CH1_DQB 6	GND	GND	+2.5V	+2.5V	GND	GND	CH2_DQ B6	GND
33	CH1_DQ B7	GND	GND	GND	+2.5V	+2.5V	GND	GND	GND	CH2_DQB 7
34	GND	CH1_DQB 8	+2.5V	+2.5V	GND	GND	+2.5V	+2.5V	CH2_DQ B8	GND
35	CH1_CM D	GND	+2.5V	+2.5V	+2.5V	+2.5V	+2.5V	+2.5V	GND	CH2_CMD
36	GND	CH1_SCK	GND	GND	+2.5V	+2.5V	GND	GND	CH2_SC K	GND
37	CH1_SIO	GND	GND	GND	+2.5V	+2.5V	GND	GND	GND	CH2_SIO
38	GND	+3.3VSTD BY	+2.5V	+2.5V	GND	GND	+2.5V	+2.5V	+2.5V	GND
39	+12VST DBY	MEM_P_1 25GOOD	+2.5V	+2.5V	GND	GND	+2.5V	+2.5V	MEM_P_ PRES_L	+3.3V
40	+12VST DBY	I2C_MRH D_SDA	I2C_MRHD_S CL	PSENSE_2 5_RTN	PSENSE_ 25	PSENSE_ 125	+2.5V	+2.5V	FRU1_S A0	+3.3V

2.6.1.5 Разъем питания процессора

Питание 48 В постоянного тока подается на плату процессоров с промежуточной платы через разъемы VHDM с ножевыми контактами. Схема контактов разъемов VHDM приведена в таблице 2-28. Напряжения 3,3 В и 12 В режима ожидания подаются на плату процессоров через разъем VHDM промежуточной платы, на каждое напряжение выделено два контакта. Каждый из ножевых контактов имеет номинальный ток 10 А, каждый сигнальный контакт имеет номинальный ток 1 А.

Таблица 2-28. Разъем питания платы процессоров (VHDM*)

Сигнал	Ток	Контакт	Номер контакта
+48 В	18 А	PA1 – PA4 PC1 – PC4 PE1 – PE4	3 blades
48V Return	18 А	PB1 – PB4 PD1 – PD4 PF1 – PF4	3 blades
+12 В (режим ожидания)	1 А	E11, F11	2 pins
3,3 В (режим ожидания)	1 А	B11, C11	2 pins
GND		See VHDM Pin List	GND blades + misc pins

2.6.1.6 Схема контактов разъема для процессоров Itanium® 2

Подробное описание сигналов и контактов процессоров Itanium® 2 приведено в

Электрической, механической и температурной спецификации процессоров Intel® Itanium® 2.

2.6.2 Механические спецификации

На рисунках 2-20 и 2-21 показаны механические характеристики платы процессоров и указано расположение разъемов. Плата имеет размеры 14,6 x 10,7 дюймов

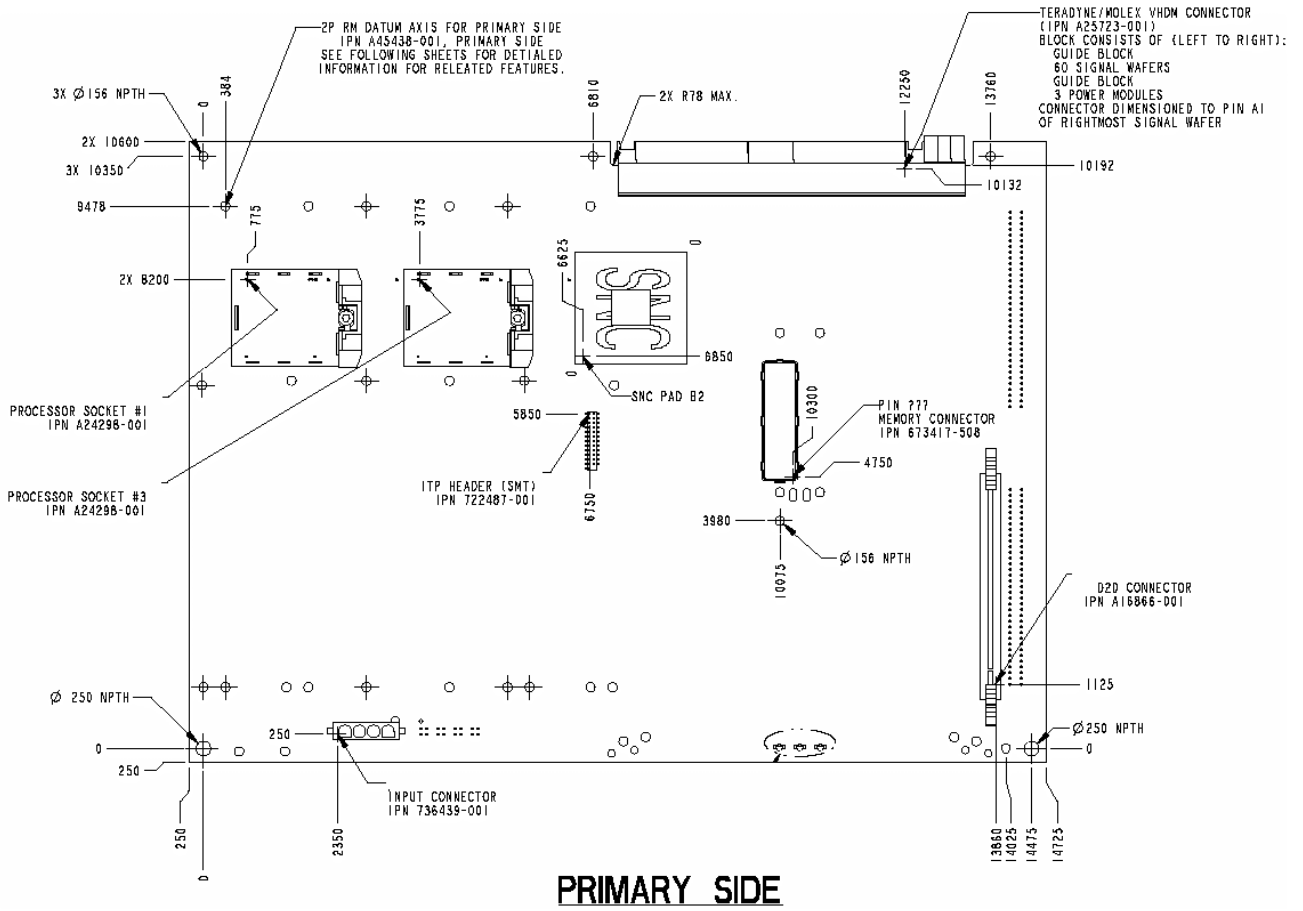


Рисунок 2-20. Механическая схема платы процессоров (главная сторона)

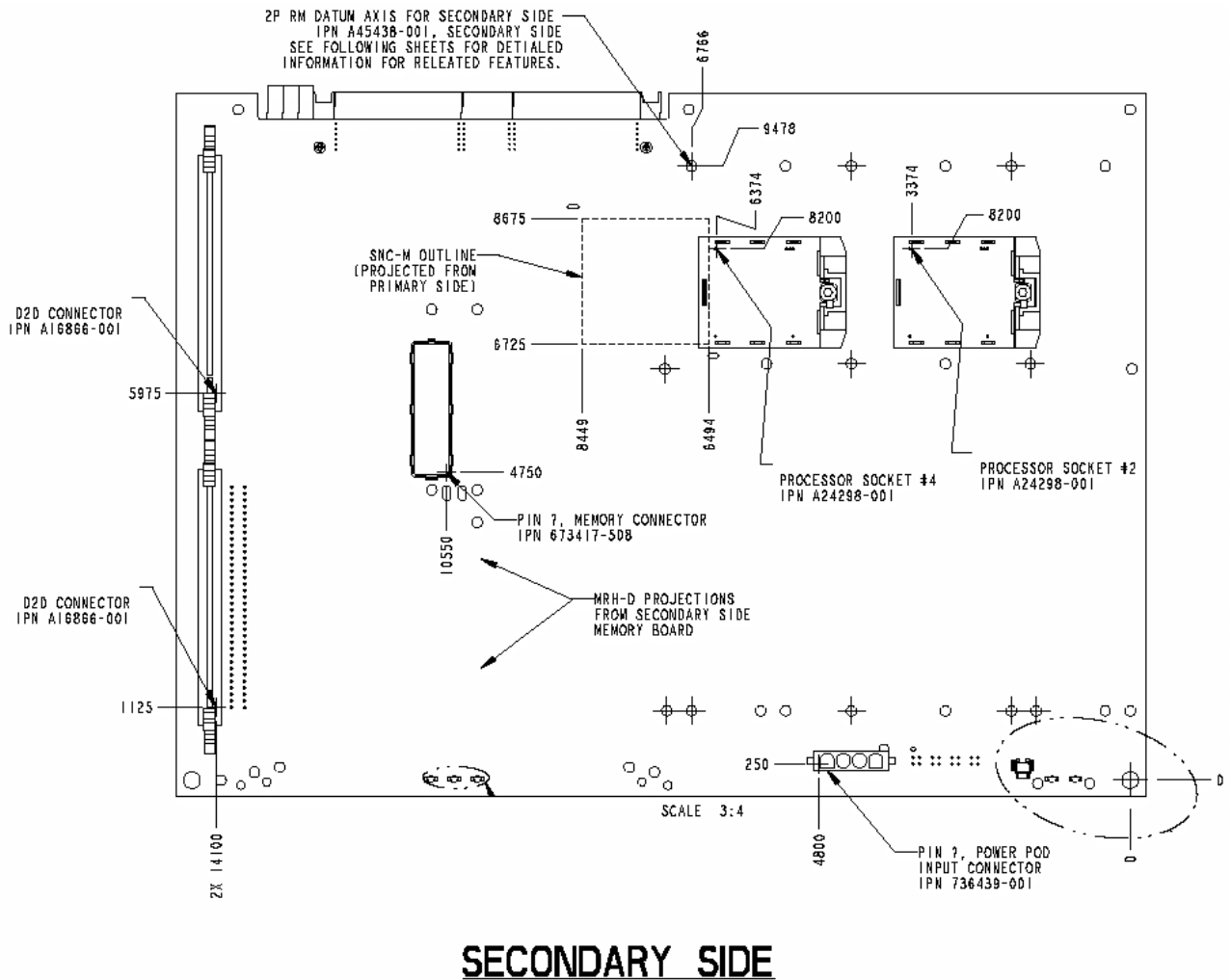


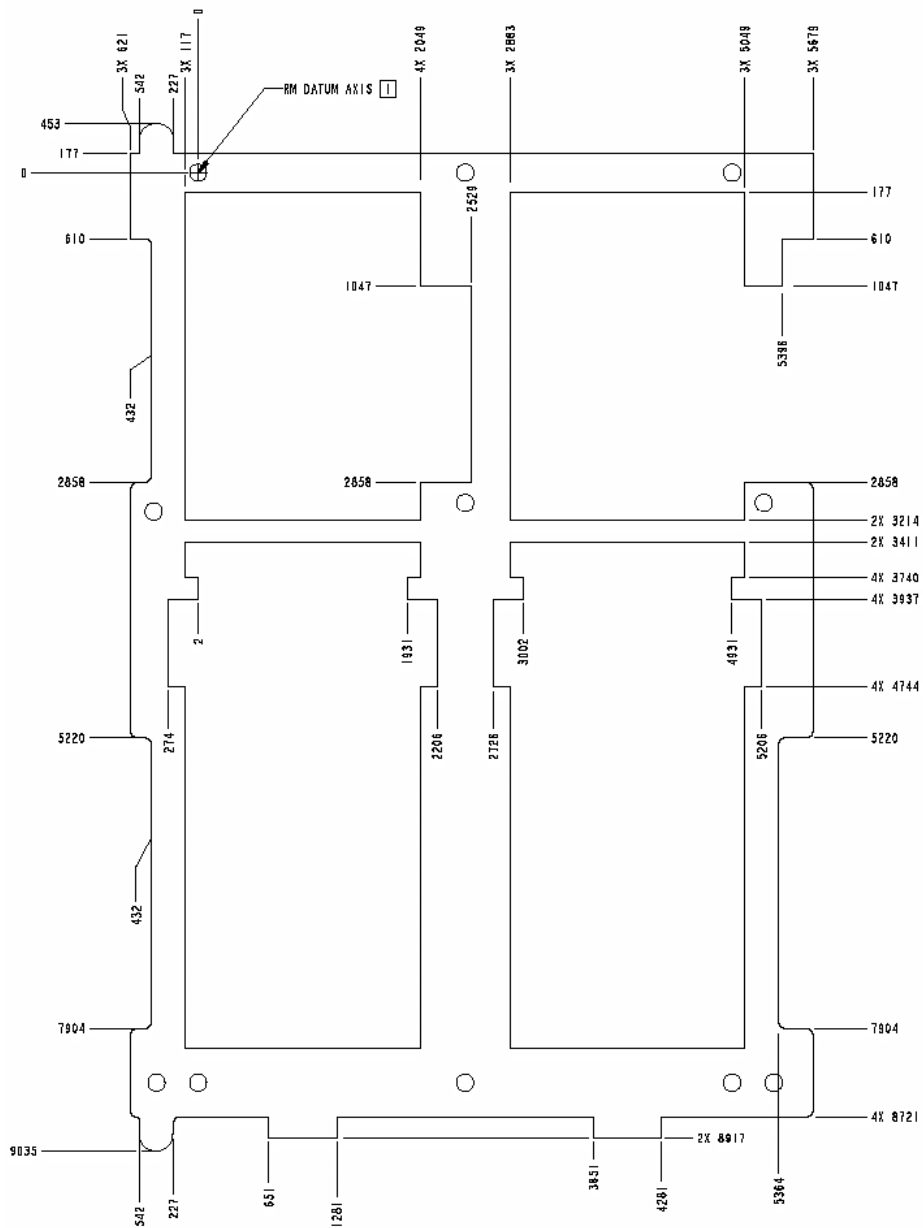
Рисунок 2-21. Механическая схема платы процессоров (задняя сторона)

2.6.3 Механизм крепления процессора

Механизм крепления процессоров показан на рисунке 2-22. На плате процессоров серверной системы S870BN4 используется два механизма крепления: one to support the two processors on the primary side and one for the two processors on the secondary side. Основное назначение механизма крепления – обеспечить надежную базу для крепления процессора и модуля питания процессора к плате процессоров.

2P-RM PROJECTED OUTLINE

(APPLIES 2 PLACES)

**Рисунок 2-22. Механизм крепления процессора****2.6.4 Температурные требования**

В таблице ниже перечислены компоненты, требующие охлаждения вынужденной конвекцией. Требования к температуре и воздушному потоку приведены в сопутствующей документации. Для соблюдения температурных требований на теплоотводы процессоров должен подаваться ограниченный воздуховодами направленный воздушный поток. Внимательное соблюдение требований спецификаций и справочной документации обеспечит соблюдение требований к охлаждению для этих компонентов. Максимальная рабочая температура платы зависит от конструкции системы и схемы воздушного потока. Адекватное охлаждение компонентов платы, не перечисленных в таблице, обеспечивается при соблюдении требований для компонентов, перечисленных в таблице.

Таблица 2-29. Важнейшие компоненты платы процессоров

Компонент	Спецификации		Справочный документ	Теплоотвод
Процессоры	T_{IHS}	5 °C -85 °C	Intel® Itanium® 2 EMTS	Intel Enabled
Chip set - SNCM	$T_{Junction}$	105 °C	Intel®E8870 EMTS	Intel Enabled
T-D2Ds	Свободная скорость потока и $T_{Ambient}$	спецификация указывает: 300LFM, температура от 0 до 55 °C	Спецификация T-D2D	Встроенный

2.6.5 Показатели качества и надежности

Показатели качества и надежности описаны в *Спецификации 25-GS3000* и *Справочнике по стандартным требованиям к рабочей среде (документ Intel # 662394-05)*.

К платам процессоров предъявляются следующие требования к качеству:

- Платы, отбракованные на заводах Intel® - 3000 дефектных на миллион
- Количество дефектов, обнаруженных пользователями < 5000 дефектов на миллион при полном уровне качества

К платам процессоров предъявляются следующие требования к надежности:

- Среднее время наработки на отказ > 250000 часов при рабочей температуре 35°C.

3. Блок памяти

В данном разделе подробно рассказывается об архитектуре и функциях области памяти DDR процессорного блока. Плата памяти предназначена для поддержки памяти DDR и имеет восемь разъемов DIMM. Она предназначена для использования с набором микросхем Intel® 870 и использует устройства Intel DMH для увеличения объема памяти и преобразования сигналов Rambus в сигналы DDR. Плата процессоров S870BN4 поддерживает две платы памяти, для работы системы в ней должны быть установлены обе платы памяти.

3.1 Описание

Блок памяти включает печатную плату (плату памяти) и набор установленных на нее модулей DIMM. Плата памяти подключается к разъему на плате процессоров. Блок памяти имеет следующие основные характеристики:

- Поддержка до 16 ГБ памяти DDR в виде восьми модулей DIMM емкостью 2 ГБ. Каждый процессорный блок содержит две платы памяти, за счет чего обеспечивается поддержка 32 ГБ памяти.
- Восемь разъемов DIMM DDR, для установки 184-контактных модулей DIMM DDR.
- Два устройства DMH на каждой плате. Это позволяет преобразовывать два канала Rambus на контроллере памяти 870 (SNC) в четыре канала DDR на плате памяти.
- Канал Rambus поддерживает работу в режиме 400 МГц, а каналы DDR поддерживают работу в режиме 100 МГц.
- Встроенный преобразователь постоянного тока 2,5В – 1,25 В обеспечивает окончательное напряжение сигналов DDR.
- Разъемы Mezzanine позволяют обеспечить расстояние в 4 мм между платой памяти и платой процессора. Такая компактность позволяет добиться общего форм-фактора 4U.

На рисунке 3-1 изображена общая архитектура модуля памяти и показано расположение компонентов и разъемов на плате памяти.

Рисунок 3-1. Высокоуровневая блок-схема подсистемы памяти серверной системы Intel® SR870BN4

На блок-схеме показан поток сигналов памяти, за исключением синхронизирующих сигналов, идущий от SNC к модулям DIMM.

Рисунок 3-2. Сигналы памяти

На схеме ниже показан поток синхронизирующих сигналов Rambus и DDR. Каждая стрелка означает дифференциальную пару сигналов.

Рисунок 3-3. Синхронизирующие сигналы

На блок-схеме ниже показаны сигналы перезагрузки платы.

Рисунок 3-4. Сигналы перезагрузки

На последней блок-схеме показаны остальные сигналы платы памяти.

Рисунок 3-5. Остальные сигналы

3.2 Функциональная архитектура

В этом разделе описывается работа всех функциональных блоков.

3.2.1 Массив памяти DDR

Массив памяти DDR платы памяти серверной системы S870BN4 состоит из восьми разъемов DIMM. Два канала памяти Rambus SNC разделяются устройствами DMH на четыре канала DDR. На каждом канале имеется два разъема DIMM. В серверной системе SR870BN4 используется две платы памяти, таким образом, общее количество разъемов DIMM равняется шестнадцати, а количество каналов памяти SNC равняется четырем. Каждый канал SNC имеет максимальную пропускную способность 1,6 ГБ/с, общая пропускная способность системы составляет 6,4 ГБ/с.

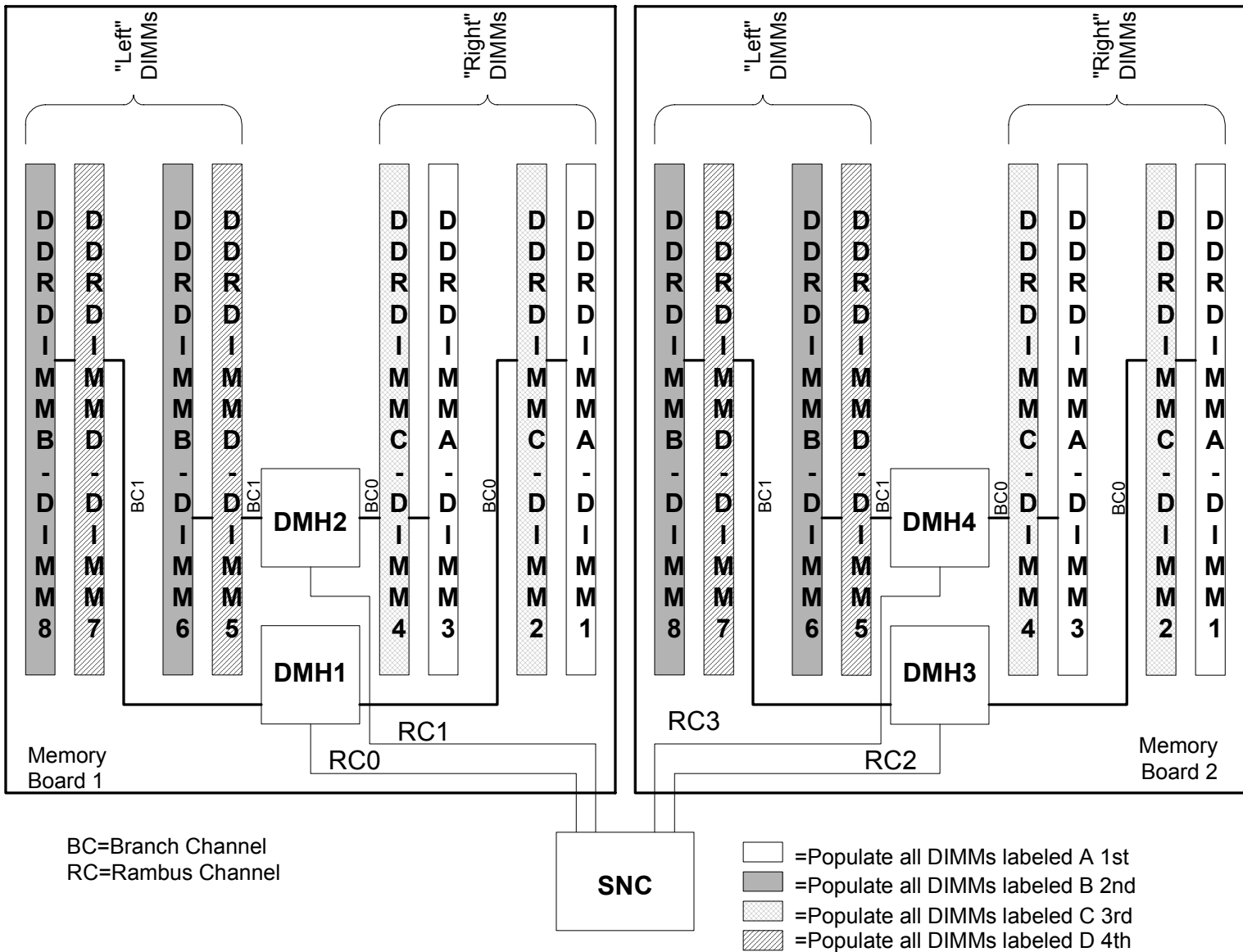
3.2.1.1 Конфигурации памяти

Плата памяти поддерживает следующие технологии DDR DRAM и размеры модулей DIMM (все комбинации еще не известны). Проверка будет проведена для данного поднабора. Информация по поддерживаемым и протестированным конфигурациям приведена в Плане тестирования памяти для серверной системы Intel® SR870BN4.

Таблица 3-1. Конфигурации памяти

Device Technology	DIMMs				Node Cap (MB)	
	# devices	Org	MB x72	MB	Min	Max
Mb					4	16
64	9	2Mx8	8	64	256	1024
	18	2Mx8 stk 4Mx4	16	128	512	2048
	36	4Mx4stk	32	256	1024	4096
128	9	4Mx8	16	128	512	2048
	18	4Mx8stk 8Mx4	32	256	1024	4096
	36	8Mx4stk	64	512	2048	8192
256	9	8Mx8	32	256	1024	4096
	18	8Mx8 stk 16Mx4	64	512	2048	8192
	36	16Mx4stk	128	1024	4096	16384
512	9	16Mx8	64	512	2048	8192
	18	16Mx8 stk 32Mx4	128	1024	4096	16384
	36	32Mx4stk	256	2048	8192	32768
1024	9	32Mx8	128	1024	4096	16384
	18	32Mx8 stk 64Mx4	256	2048	8192	32768

3.2.1.2 Правила установки модулей DIMM



При установке модулей памяти необходимо выполнять следующие правила:

Модули DIMM на каждом DMH должны быть симметричны по отношению к модулям DIMM на всех других DMH. Обычные разъемы DIMM на схеме должны содержать одни и те же виды модулей DIMM в устройствах DMH 1, 2, 3 и 4. Модернизация памяти проводится блоками по 4 модуля DIMM за раз, по одному на каждом модуле DMH. Для полного заполнения ряда память должна быть установлена на обе платы памяти. При установке модулей DIMM следует обращать внимание на маркировку, выполненную трафаретной печатью. Сначала следует устанавливать все модули DIMM A, затем B, и так далее.

- В одном ряду все модули DIMM должны быть идентичными (т.е. быть изготовлены по одинаковой технологии, иметь одинаковую емкость и содержать одинаковое

количество компонентов. Модули памяти в разных строках не обязательно должны быть идентичными.

- На двух каналах DDR одного DMH не обязательно должно быть установлено одинаковое количество модулей DIMM или модули DIMM одного типа.
- Модули DIMM должны устанавливаться в соответствии с маркировкой, выполненной на плате трафаретной печатью, и с инструкциями на схеме выше.
- Для обеспечения оптимальной производительности объем памяти в «левом» блоке DIMM должен совпадать с объемом памяти в «правом» блоке DIMM.

Поддерживается до четырех разных технологий DIMM (в разных строках). Таким образом, в каждом ряду DIMM может использоваться своя технология. Для оптимальной производительности объем памяти на всех каналах DMH DDR должен быть одинаковым.

3.2.2 DMH

Компонент DMH преобразовывает один канал SNC Rambus в два канала DDR. Он преобразовывает сигналы Rambus в сигналы DDR и наоборот. Дополнительная информация приведена во *Внешней спецификации DMH* или *Спецификации компонентов*.

3.2.3 Интерфейс управления системой

На плате памяти имеется интегрированный модуль FRU EEPROM с датчиком температуры, подключенный к шине I²C, идущей с платы процессора. Шина I²C идет отдельно от шины SPD, идущей из устройств DMH и используемой для доступа к DIMM SPD EEPROM. В качестве интегрированного модуля EEPROM с датчиком температуры выступает компонент Dallas* DS1624. Информация по программированию содержится в техническом описании данного устройства.

Адрес этого устройства на шине I²C зависит от того, к какому разъему MegArray* на плате процессоров подключена плата памяти. Плата процессоров отправляет бит, устанавливающий наименьший значимый бит адреса устройства. В таблице ниже указываются адреса устройства в зависимости от разъемов MegArray*.

Таблица 3-2. Адреса устройства в зависимости от разъема MegArray* на плате процессора

Расположение разъема MegArray	Адрес устройства FRU EEPROM с датчиком температуры на плате памяти
Верхний разъем MegArray	1001110b
Нижний разъем MegArray	1001111b

Модуль EEPROM поддерживает доступ только для чтения и обеспечивает текущую версию и серийный номер платы. Данное устройство может содержать до 256 байт данных. Датчик температуры может измерять температуры в диапазоне от $-55\text{ }^{\circ}\text{C}$ до $+125\text{ }^{\circ}\text{C}$ с шагом 0,03125 C.

3.2.4 Встроенный преобразователь постоянного тока 2,5 В в 1,25 В

Плата памяти содержит встроенный преобразователь постоянного тока 2,5В – 1,25 В, обеспечивающий окончательное напряжение сигналов DDR. В соответствии со спецификацией DDR, выход преобразователя необходим для контроля колебаний постоянного тока на входе 2,5 В. При максимальной нагрузке преобразователь должен выдерживать ток в 6 А. Преобразователь имеет встроенные цепи защиты от перенапряжения и перегрузки по току, и может подавать сигнал power good, отправляемый на плату процессоров для определения общего состояния питания системы.

3.3 Описания сигналов

3.3.1 Сигналы Rambus

Эти сигналы используются в шине памяти Rambus. Для большинства сигналов Rambus используется сигнальный уровень Rambus.

Таблица 3-3. Сигналы Rambus

Сигнал	Тип	Описание
CH(2:1)_DQA(8:0)	RSL	Шина данных А. Шина шириной девять бит, переносящая байт чтения или записи данных между SNC и DMH.
CH(2:1)_DQB(8:0)	RSL	Шина данных В. Шина шириной девять бит, переносящая байт чтения или записи данных между SNC и DMH.
CH(2:1)_RQ(7:0)	RSL	Запрос строки/столбца. Шина шириной восемь бит, переносящая информацию по доступу к строкам и столбцам между SNC и DMH.
CH(2:1)_CTM, CH(2:1)_CTM#	RSL	Clock to Master. Дифференцированная пара синхронизирующих сигналов, отправляемая SNC DRCG. Сигналы проходят через разъем MegArray*, DMH и доходят до SNC. Используется для транзакций, направленных от DMH к SNC.
CH(2:1)_CFM, CH(2:1)_CFM#	RSL	Clock from Master: Версия сигнала CH(2:1)_CTM без буферизации. Этот сигнал отправляется SNC, попадает на DMH и заканчивается на плате памяти. Используется для транзакций, направленных от SNC к DMH.
CH(2:1)_EXCC, CH(2:1)_EXRC	RSL	Expander Column Control and Row Control. Сигналы вспомогательной полосы, используемые при наличии нескольких устройств MRH-R на шине. Оставлены для возможного использования MRH-R в будущем.
CH(2:1)_SCK	CMOS	Последовательные часы. Источник синхронизирующих импульсов для доступа к контрольным реестрам DMH.
CH(2:1)_CMD	CMOS	Serial Command. Используется для чтения и записи контрольных реестров DMH.
CH(2:1)_SIO	CMOS	Serial I/O. Используется для чтения и записи контрольных реестров DMH. Этот сигнал подается с частотой 1 МГц.

3.3.2 Сигналы DDR

Эти сигналы составляют каналы DDR, идущие от DMH к разъемам DDR DIMM. SSTL расшифровывается, как Stub Series Terminated Logic (короткая серия логики оконечного

напряжения).

Таблица 3-4. Сигналы DDR

Сигнал	Тип	Описание
CH(A:D)_A(14:0)	SSTL	SDRAM Address. Используется для мультиплексирования адресации строк и столбцов в SDRAM.
CH(A:D)_BA(1:0)	SSTL	SDRAM Bank Active. Используется для выбора банка на плате.
CH(A:D)_DQ(71:0)	SSTL	SDRAM Data. Независимые пути данных, позволяющие одновременно передавать данные на обоих каналах DMH.
CH(A:D)_RAS#	SSTL	SDRAM Row Address Strobe. Используется с CS#, CAS# и WE# для команд SDRAM.
CH(A:D)_CAS#	SSTL	SDRAM Column Address Strobe. Используется с CS#, RAS# и WE# для команд SDRAM.
CH(A:D)_WE#	SSTL	SDRAM Write Enable. Используется с CS#, RAS# и CAS# для команд SDRAM.
CH(A:D)_CS(7:0)#	SSTL	SDRAM Chip Select. Используется для выбора одного из восьми рядов.
CH(A:D)_CKE	SSTL	SDRAM Clock Enable. Используется для отправки команд начала и окончания обновления на ряд SDRAM.
CH(A:D)_CLK(3:0), CH(A:D)_CLK(3:0)#	SSTL	SDRAM Clocks. Каждый модуль DIMM имеет собственный дифференцированный синхронизирующий сигнал. Частота 100 МГц.
CH(A:D)_DQS(17:0)#	SSTL	SDRAM Data Strobe. Используется для определения правильности чтения/записи данных.
BC(1:0) SRCAL	SSTL	Slew Rate Calibration. Используется для калибровки скорости нарастания выходного напряжения.
SREF(1:2)	SSTL	SDRAM Feedback Output. Используется для калибровки синхронизирующих импульсов SDRAM.
SREFFB(1:2)	SSTL	SDRAM Feedback Input. Используется для калибровки синхронизирующих импульсов SDRAM.

3.3.3 Другие сигналы

Таблица 3-5. Другие сигналы

Сигнал	Тип	Описание
MEM_RESET#	CMOS 1,8 V	Memory Reset. Этот сигнал используется для перезагрузки внутренней логики DMH при включении питания.
PGOOD1_8V	CMOS 1,8 V	DMH Powergood. Обеспечивает асинхронную перезагрузку всего ядра DMH.
PGOOD2_5V	CMOS 2.5 V	DIMM Powergood. На выходах всех регистров каждого модуля DIMM асинхронно понижается уровень сигнала, если этот сигнал подается на низком уровне.
I2C_CLK	CMOS OD 3.3 V	I2C clock. Шина I2C для управления системой.
I2C_DATA	CMOS OD 3.3 V	I2C data. Шина I2C для управления системой.
MRHD(1:0)_SCL	CMOS OD 2,5 V	MRHD IIC CLOCK. Шина IIC, контролируемая устройствами DMH. Используется в основном для считывания устройств EEPROM модулей DIMM.
MRHD(1:0)_SDA	CMOS OD 2,5 V	MRHD IIC DATA. Шина IIC, контролируемая устройствами DMH. Используется в основном для считывания устройств EEPROM модулей DIMM.
MEM_PRESENT(2:1)	CMOS	Memory Present. Сигнал, используемый платой процессоров для

		проверки правильной установки платы памяти.
PGOOD_125	CMOS OD 3.3 V	Powergood 1.25 V. Выходной сигнал преобразователя постоянного тока 1,25 В. Используется платой процессора для определения общего состояния питания системы.
SENSE_25	Аналоговый	Sense 2.5 V. Датчик шины питания 2,5 В. Используется преобразователем постоянного тока 2,5 В на плате процессоров.
SENSE_RTN	Аналоговый	Sense Return. Датчик возвратной линии 2,5 В. Используется преобразователем постоянного тока 2,5 В на плате CPU.
SENSE_125	Аналоговый	Sense 1,25 V. Датчик шины питания 1,25 В. Используется датчиком напряжения на плате процессоров.

3.3.4 Сигналы обозначения напряжения

Таблица 3-6. Сигналы обозначения напряжения

Сигнал	Тип	Описание
CH(2:1)_VREF_TM	Аналоговый	Rambus Voltage Reference to Master. Обозначение напряжения RSL, генерируемое платой памяти и используемое SNC.
CH(2:1)_VREF_FM	Аналоговый	Rambus Voltage Reference from Master. Обозначение напряжения RSL, генерируемое платой процессоров и используемое DMH.
CH(A:D)_VREF	Аналоговый	DDR Voltage Reference. Обозначения напряжений, используемых каналами DDR.
12V	Аналоговый	12 В Используется для контрольной цепи преобразователя 1,25 В.
3,3V STDBY	Аналоговый	3,3 В режима ожидания Используется для подачи питания на модуль FRU EEPROM с датчиком температуры.
2.5V	Аналоговый	2,5 В Используется для подачи питания на DMH, модули DIMM и преобразователь 1,25 В.
1.8V	Аналоговый	1,8 В Используется DMH RAC и для окончного напряжения RSL.
1.25V	Аналоговый	1,25 В Используется для окончного напряжения DDR.

3.4 Электрические спецификации, механические спецификации и спецификации рабочей среды

В настоящей главе описываются рабочие параметры и физические характеристики платы памяти серверной системы S870BN4. Данная спецификация относится только к платам,

3.4.1 Абсолютные максимальные ограничения

Использование блока памяти в условиях превышения ограничений, перечисленных в таблице 3-7, может привести к неустраняемому повреждению системы. Использование плат памяти при крайних допустимых значениях в течение длительного времени может повлиять на их надежность.

Таблица 3-7. Абсолютные максимальные ограничения

Пункт меню	Абсолютное максимальное ограничение
Температура эксплуатации	от 10 °C до 35 °C
Температура при хранении	от -55 °C до +150 °C

Примечание: Конструкция корпуса должна обеспечивать подходящий рабочий поток.

В остальных частях данного раздела содержатся нормальные рабочие условия платы памяти, а также механические спецификации модуля памяти и интерфейса разъема для подключения к плате процессора.

3.4.2 Температурное

При несоблюдении требований к температуре и воздушному потоку возможна некорректная работа блока памяти.

Рассеиваемая мощность устройств памяти зависит от производителя и модели устройства. Требования к воздушному потоку различаются для разных устройств. Температурные спецификации DDR еще окончательно не приняты, и требования к воздушному потоку еще не определены.

3.4.3 Температурные требования платы памяти

В таблице ниже перечислены компоненты, требующие охлаждения вынужденной конвекцией. Требования к температуре и воздушному потоку приведены в сопутствующей документации. Рассеиваемая мощность устройств памяти зависит от производителя и модели устройства. Требования к воздушному потоку различаются для разных устройств. Указанная в таблице мощность модулей DIMM поддерживается, если температура воздуха, подаваемого на модуль DIMM составляет $\leq 40^{\circ}\text{C}$, а скорость потока превышает 170 lfm. Температура соединения DRAM 95°C принимается за ограничение спецификации. Максимальная рабочая температура платы зависит от конструкции системы и схемы воздушного потока. Адекватное охлаждение компонентов платы, не перечисленных в таблице, обеспечивается при соблюдении требований для компонентов, перечисленных в таблице.

Таблица 3-8. Важнейшие компоненты платы памяти

Компонент	Спецификации		Справочный документ	Теплоотвод
Память	$P_{\text{Dissipation}}$	11 Вт на модуль DIMM в максимальной конфигурации, 14 Вт на модуль DIMM в минимальной конфигурации	Техническое описание памяти	Нет
Chipset – MRHD	T_{Junction}	105°C	Intel® 870 EMTS	Intel Enabled

3.4.4 Электрические

В данном разделе описываются требования блока памяти к электрическим характеристикам и энергопотреблению.

3.4.5 Допустимые отклонения напряжения

Плата процессоров должна подавать на плату памяти напряжения 12 В, 3,3 В, 2,5 В, 1,8 В и напряжение RDRAM Vref (1,4 В). Встроенный преобразователь 2,5 В в 1,25 В генерирует напряжение DDR Vterm (1,25 В), а напряжение DDR Vref резистором шины 2,5 В. В таблице 3-9 указаны допустимые отклонения.

Таблица 3-9. Допустимые отклонения напряжения

Напряжение постоянного тока	Относительная погрешность
12 В	12 В +/- 5 %
3,3 В	3.3 В +/- 5 %
2.5 В (Vdd)	2,5 В +/- 0.2 В
1,8 В	1,8 В +/- 0,1 В
1.4 В (RDRAM Vref)	1.4 В +/- 0.2 В
1.25 В (DDR Vref)	Minimum = (Vdd/2) – 0.05 В Maximum = (Vdd/2) + 0.05 В
1.25 В (DDR Vterm)	DDR Vref +/- 0.04 В

3.4.5.1 Потребляемое питание

Энергопотребление блока памяти сильно зависит от объема и типа установленной памяти.

В таблице 3-10 указано энергопотребление для различных входных напряжений. Предполагается, что в системе используется восемь модулей DIMM, с 36 устройствами DRAM на базе технологии 512 Мбит.

Таблица 3-10. Энергопотребление

Напряжение постоянного тока	Power
2,5 В	74,6 Вт
1,8 В	4,40 Вт
1,4 В	(Negligible)
1,25 В	7,78 Вт

Расчеты, на основании которых были получены эти значения, приведены в таблицах ниже.

Таблица 3-11. Расчеты энергопотребления – шина питания 2,5 В

	Количество устройств	Энергопотребление (Вт/устройство)	Всего
Активные устройства DDR	36	0.90	32,40 Вт
Устройства DDR в режиме ожидания	252	0.09	22,68 Вт
Преобразование 1,25 В (эффективность 85%)	1	9.15	9,15 Вт
DMN	2	5.20	10,40 Вт
Общее энергопотребление шины питания 2,5 В			74,63 Вт
Общий ток шины питания 2,5 В			29,85 А

Таблица 3-12. Расчеты энергопотребления – шина питания 1,8 В

	Количество устройств	Энергопотребление (Вт/устройство)	Всего
Ядро DMH	2	1.00	2,00 Вт
Оконечное напряжение канала RSL	2 канала	1,20 / канал	2,40 Вт
Общее энергопотребление шины питания 1,8 В			4,40 Вт
Общий ток шины питания 1,8 В			2,44 А

Таблица 3-13. Расчеты энергопотребления – шина питания 1,25 В

	Количество устройств	Энергопотребление (Вт/устройство)	Всего
Оконечное напряжение канала DDR	2 канала	3,89 / канал	7,78 Вт
Общее энергопотребление шины питания 1,25 В			7,78 Вт
Общий ток шины питания 1,25 В			6,22 А

3.4.6 Механические

На рисунке 3-6 показана схема расположения блока памяти, механические спецификации и разъемы.

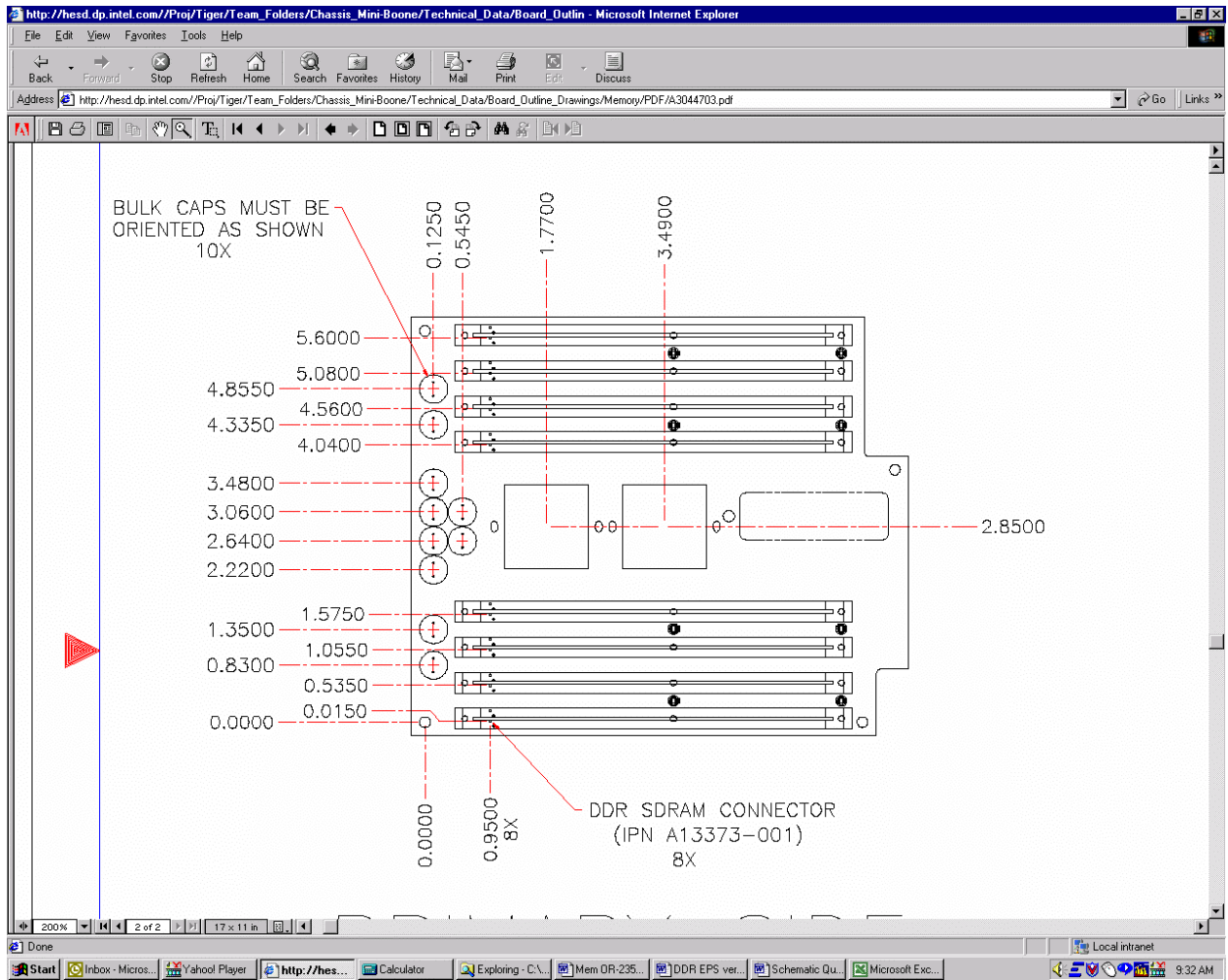


Рисунок 3-6. Механическая схема платы памяти

3.4.7 Разъемы

В таблице ниже перечислены спецификации разъемов для модулей памяти. Дополнительная информация содержится в документации производителя.

Таблица 3-14. Спецификации разъемов для модулей памяти

Описание	Кол-во	Производитель и номер детали	Описание
1	1	FCI-Berg* 84739-001 Rev 6	Разъем для подключения к плате процессоров
3	8	Foxconn* AT09217-P1 Molex* 87657-0012 FCI-Berg* 100008315-20302 Tyco* 390432-1	Разъемы для установки модулей памяти DIMM

4. Плата ввода/вывода

В этой главе описывается архитектура и конструкция платы ввода/вывода четырехпроцессорной серверной системы SR870BN4. Плата ввода/вывода подключается к плате процессора серверной системы S870BN4 и к другим платам системы S870BN4 через промежуточную плату S870BN4. Переходная плата ввода/вывода серверной системы SR870BN4 подключается непосредственно к плате ввода/вывода. На этих двух платах содержатся все интерфейсы ввода/вывода набора плат S870BN4.

4.1 Характеристики

Плата ввода/вывода содержит следующие компоненты:

- Набор микросхем Intel® E8870 на базе системного интерфейса порта масштабируемости
- Шесть функционально-независимых сегментов шины PCI
 - Три разъема PCI-X (133 МГц, 64 бит), с поддержкой горячей установки устройств
 - Пять разъемов PCI-X (100 МГц, 64 бит) с поддержкой горячей установки устройств
- Интегрированный двухканальный контроллер SCSI LSI* 53C1030 Ultra-320 (LVDS)
- Разъем для переходной платы ввода/вывода
- Встроенный преобразователь мощности линии 48 В
- Цепи генерирования сигналов перезагрузки системы и синхронизирующих сигналов
- Интерфейс управления сервером I²C
- Интерфейс вентилятора корпуса с поддержкой резервирования и горячей установки

4.2 Архитектура

В этом разделе приведено описание платы ввода/вывода и ее функциональных блоков, а также приведены схемы расположения компонентов платы ввода/вывода .

Плата ввода/вывода четырехпроцессорной серверной системы S870BN4 составляет основу масштабируемой высокопроизводительной подсистемы ввода/вывода. Три моста P64H2 PCI-x поддерживают шесть 64-битных сегментов шины PCI-x (равноправные шины). Мосты P64H2 поддерживают PCI-X (133 МГц) и PCI 2.2. Всего в системе имеется восемь 64-битных разъемов PCI-x с рабочим напряжением 3,3 В, поддерживающих горячую установку устройств. Три разъема с рабочей частотой 133 МГц являются полноразмерными. Каждый из этих разъемов располагается в отдельном сегменте. Четыре разъема с частотой 100 МГц располагаются в двух независимых сегментах, три из этих разъемов имеют форм-фактор PCI short form factor (174,63 мм), а один имеет форм-фактор PCI long form factor (312 мм). Один разъем с частотой 100 МГц имеет форм-фактор PCI short form factor и содержит встроенный контроллер SCSI на независимом сегменте шины.

Флэш-память BIOS, системы управления сервером, видеоподсистема и системные устройства ввода/вывода располагаются на переходной плате ввода/вывода, подключаемой к плате ввода/вывода. Переходная плата ввода/вывода подключается к серверному концентратору ввода/вывода (SIOH) по шине Hublink 1.5. Шина IDE контролируется переходной платой ввода/вывода и идет через разъем переходной платы ввода/вывода на разъем отсека для дисков на промежуточной плате, расположенный с краю платы ввода/вывода. Периферийные устройства, например, дисковод CD-ROM/DVD и

флоппи-дискковод LS240, используют шину IDE. Кроме того, переходная плата ввода/вывода обеспечивает подачу питания 5 В режима ожидания и 3,3 В режима ожидания на плату ввода/вывода.

Плата ввода/вывода содержит дополнительные модули D2D и встроенные преобразователи D2D, необходимые для питания встроенных цепей и адаптеров PCI и для подачи требуемого напряжения на другие компоненты системы. Другие напряжения подаются на плату ввода/вывода с переходной платы ввода/вывода, объединительной платы SCSI и блоков питания системы. Питание на модули D2D подается с системной шины питания 48 В.

Плата ввода/вывода подключается к контроллеру управления системой, расположенному на переходной плате ввода/вывода. В число средств управления системой входят датчики напряжения и температуры, средства идентификации плат, журнал ошибок, индикаторы состояния вентиляторов, системы управления скоростью вентиляторов и индикаторы режима шины SCSI.

Плата ввода/вывода генерирует основные синхронизирующие импульсы системы. Дифференцированные синхронизирующие импульсы частотой 200 МГц подаются на компоненты платы ввода/вывода и на компоненты платы процессора. Дополнительные синхронизирующие импульсы подаются на цепь платы ввода/вывода и на цепь переходной платы ввода/вывода.

Плата ввода/вывода содержит средства управления перезагрузкой системы и включением/выключением питания.

На рисунке ниже показана общая архитектура платы ввода/вывода.

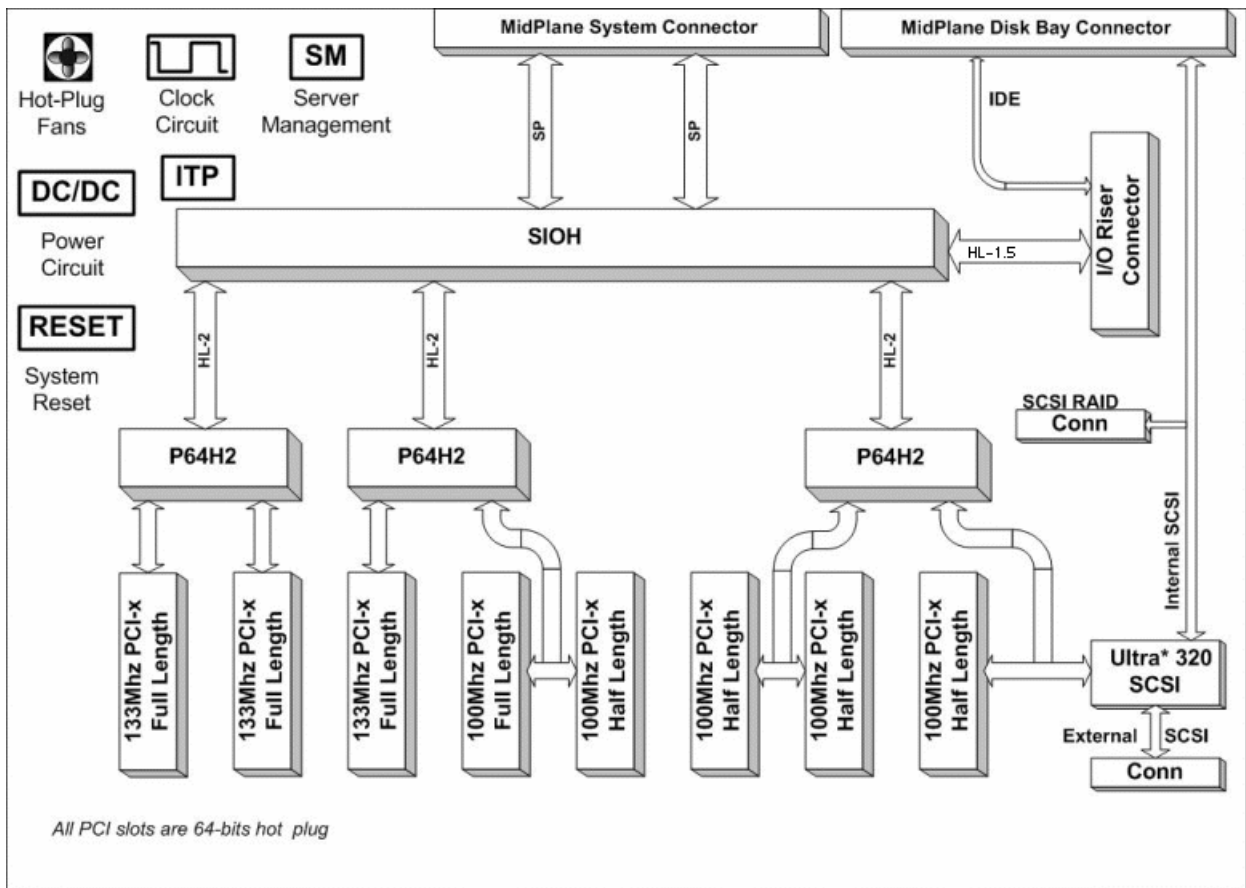


Рисунок 4-1. Блок-схема платы ввода/вывода

4.3 Шины и интерфейсы

4.3.1 Интерфейс промежуточной платы

Интерфейс ввода/вывода платы процессора обеспечивается шиной порта масштабируемости набора микросхем Intel® 870. Эта шина пересылает сигналы от разъема промежуточной платы на компонент SIOH. Из концентратора SIOH идут четыре независимых шины HL2, три из которых подключаются к трем мостам PCI (P64H2), а одна шина 1 HL1.5 идет к контроллеру-концентратору ICH4 на переходной плате ввода/вывода. Каждый компонент P64H2 обеспечивает работу двух независимых сегментов шины PCI-X (133 МГц, 64 бит). Реальная скорость шины и используемый протокол определяются типом адаптера и нагрузкой на шину.

Шина порта SP поддерживает одновременную передачу сигналов в двух направлениях и имеет пропускную способность 3,2 Гб/с. Каждая шина HL2 поддерживает синхронную передачу со скоростью 1 Гб/с. Подробная информация о различных шинах содержится в соответствующих спецификациях.

Кроме того, интерфейс промежуточной платы содержит другие сигналы, идущие на блок памяти/процессоров, переднюю панель и платы блока питания. Эти сигналы включают синхронизирующие сигналы, сигналы перезагрузки, сигналы управления сервером и управления питанием, а также сигналы отладки.

Интерфейс промежуточной платы также обеспечивает питание платы ввода/вывода и переходной платы ввода/вывода, а также соединения для питания других компонентов системы.

4.3.2 Интерфейс отсека для дисков промежуточной платы

На плате ввода/вывода имеется разъем промежуточной платы, подключающийся к объединительной плате отсека для дисков (SCSI). Этот интерфейс включает шину Ultra-320 SCSI и шину UDMA 33 IDE. Также поддерживаются различные контрольные сигналы.

4.3.2.1 SCSI

На плате ввода/вывода имеется два Ultra 320-совместимых канала SCSI. Один канал предназначен для внутреннего использования, а другой предназначается для использования внешними системами. Внутренний канал поддерживает только сигналы LVD, а внешний канал поддерживает сигналы LVD и SE. При работе в режиме LVD максимальная скорость передачи данных на каждом канале составляет 320 МБ/с.

Внутренний канал подключается к разъему отсека для дисков на промежуточной плате, к которому подключаются устройства SCSI. Также на шине имеется дополнительный разъем, позволяющий внешнему контроллеру управлять внутренней шиной.

Кабели внешних разъемов идут от платы ввода/вывода на блочный разъем.

4.3.2.2 Интерфейс IDE

Плата ввода/вывода пересылает сигналы шины IDE с переходной платы ввода/вывода на разъем отсека для дисков на промежуточной плате для использования внутренними устройствами. Она не содержит логической цепи или буферов для этой шины.

4.3.3 Шины PCI

Плата ввода/вывода содержит три моста-контроллера PCI P64H2, обеспечивающие шесть независимых равноправных сегментов шины PCI. Шины могут работать в режиме 100 МГц PCI-x или 133 МГц PCI-x, в зависимости от количества разъемов и устройств в сегменте.

Все шины соответствуют следующим спецификациям:

- Спецификация PCI 2.2
- *Спецификация мостов PCI-PCI 1.1*
- *Спецификация горячей установки PCI, версия 1.0*
- *Спецификация PCI-X, версия 1.0*

4.3.4 Интерфейс переходной платы ввода/вывода

Для экономии места на плате ввода/вывода большинство системных функций ввода/вывода, а также функций управления сервером, были помещены на переходную плату, подключаемую к плате ввода/вывода. В их число входят видеоконтроллер, последовательный порт, сетевой порт, порты USB, концентраторы флэш-памяти BIOS и другие стандартные интерфейсы.

Контроллер управления сервером и сопутствующие функциональные блоки располагаются на переходной плате ввода/вывода. Система управления сервером поддерживает шины ICMB и IPMB, а также частные шины управления сервером.

Переходная плата ввода/вывода содержит контроллер шины IDE. Сигналы шины IDE пересылаются на плату ввода/вывода, а оттуда передаются на разъем отсека для дисков на промежуточной плате.

На плате ввода/вывода также располагается шина ISP, которая может использоваться для обновления определенных программируемых логических устройств системы, включая располагающиеся на плате ввода/вывода.

Переходная плата ввода/вывода содержит системный контроллер JTAG. Этот контроллер подключен к интерфейсу промежуточной системы и обычно подключается к устройством на плате процессоров. Он не подключается к устройствам на плате ввода/вывода. Переходная плата ввода/вывода содержит цепи прерываний IOXAPIC и 8259-совместимые цепи прерываний. На эти цепи отправляются некоторые сигналы прерываний с платы ввода/вывода.

Переходная плата ввода/вывода преобразовывает напряжение 12 В режима ожидания в +5 В режима ожидания и +3,3 В режима ожидания, и подает эти напряжения на плату ввода/вывода.

4.3.5 Интерфейс горячего подключения вентиляторов

Плата ввода/вывода обеспечивает питание системных вентиляторов и управление этими вентиляторами. Модули вентиляторов с поддержкой горячей установки подключаются к плате ввода/вывода через отдельные разъемы. Датчики системы управления сервером осуществляют мониторинг работы вентиляторов и системной температуры и отправляют оповещения о неисправностях вентиляторов или превышении температурных ограничений. Этот интерфейс может изменять скорость вентиляторов для оптимального охлаждения системы. Интерфейс передает сигналы индикаторам, сообщающим пользователю о неисправности вентиляторов. Индикаторы располагаются на видимой части съемного модуля вентиляторов.

4.3.6 Интерфейс управления питанием PCI

Структура интерфейса управления питанием PCI обеспечивает стандартный интерфейс управления питанием, совместимый со *Спецификацией интерфейса управления питанием шины PCI, версия 1.1*. Этот интерфейс позволяет адаптерам PCI инициировать определенные события управления питанием, например, пробуждение системы.

4.3.7 Интерфейс управления горячей установкой устройств PCI

Все разъемы PCI платы ввода/вывода поддерживают горячую установку. Учтите, что горячая установка переходной платы ввода/вывода не поддерживается. Контроллеры горячей установки разъемов содержатся в компонентах P64H2. Внешняя логика, контролируемая цепями горячей установки P64H2, включает питание, синхронизирующие импульсы и сигналы шины для каждого разъема. Разъем платы индикаторов горячей установки (HPIB) служит для отправки сигналов включения питания и включения индикаторов на плату HPIB, расположенную в задней части системы. На этой плате располагаются выключатели и индикаторы, используемые при горячей установке.

Контроллер горячей установки P64H2 может работать в последовательном или параллельном режиме. Поскольку ни одна шина PCI не содержит больше двух разъемов, все контроллеры горячей установки на плате ввода/вывода работают в параллельном режиме. Контроллер P64H2 отправляет отдельные сигналы включения питания, включения шины, включения синхронизирующих импульсов и перезагрузки на каждый разъем.

На каждой шине 100 МГц имеется два разъема/устройства. Между шиной PCI и разъемами располагаются переключаемые каналные транзисторы, отключающие сигналы шины PCI при горячей установке.

На каждую шину 133 МГц приходится только один разъем. P64H2 может помещать шину PCI в состояние бездействия во время событий горячей замены, так что каналные транзисторы на этих шинах не требуются. Синхронизирующие импульсы PCI для этого сегмента также контролируются P64H2 и не требуют использования каналного транзистора.

Для всех разъемов с частотой 100 и 133 МГц требуется внешняя цепь питания.

4.3.8 Интерфейс питания D2D

Плата ввода/вывода содержит SSI-совместимые разъемы для преобразователей T-D2D/A-D2D, генерирующих напряжение 5 В и 3,3 В. Съёмные преобразователи подключаются к шине питания 48 В.

4.3.9 Интерфейс статуса аппаратного обеспечения

Плата ввода/вывода содержит шесть индикаторов, указывающих статус основных аппаратных устройств системы. Благодаря световым трубкам эти индикаторы видны снаружи с верхней стороны системы. Индикаторы сообщают о состоянии сигналов блокировки платы, POWER_OK и перезагрузки системы.

Кроме того, четыре индикатора выделено для указания неисправностей преобразователей постоянного тока.

4.3.10 Интерфейс ITP

Плата ввода/вывода содержит разъем ITP, позволяющий анализатору ITP проводить мониторинг и контролировать определенные устройства на плате. ITP осуществляет мониторинг концентратора SIOH и управляет им.

4.4 Схемы расположения компонентов

На рисунке 4-2 показано расположение основных компонентов платы ввода/вывода.

В таблице 4-1 указаны основные компоненты и их обозначения.

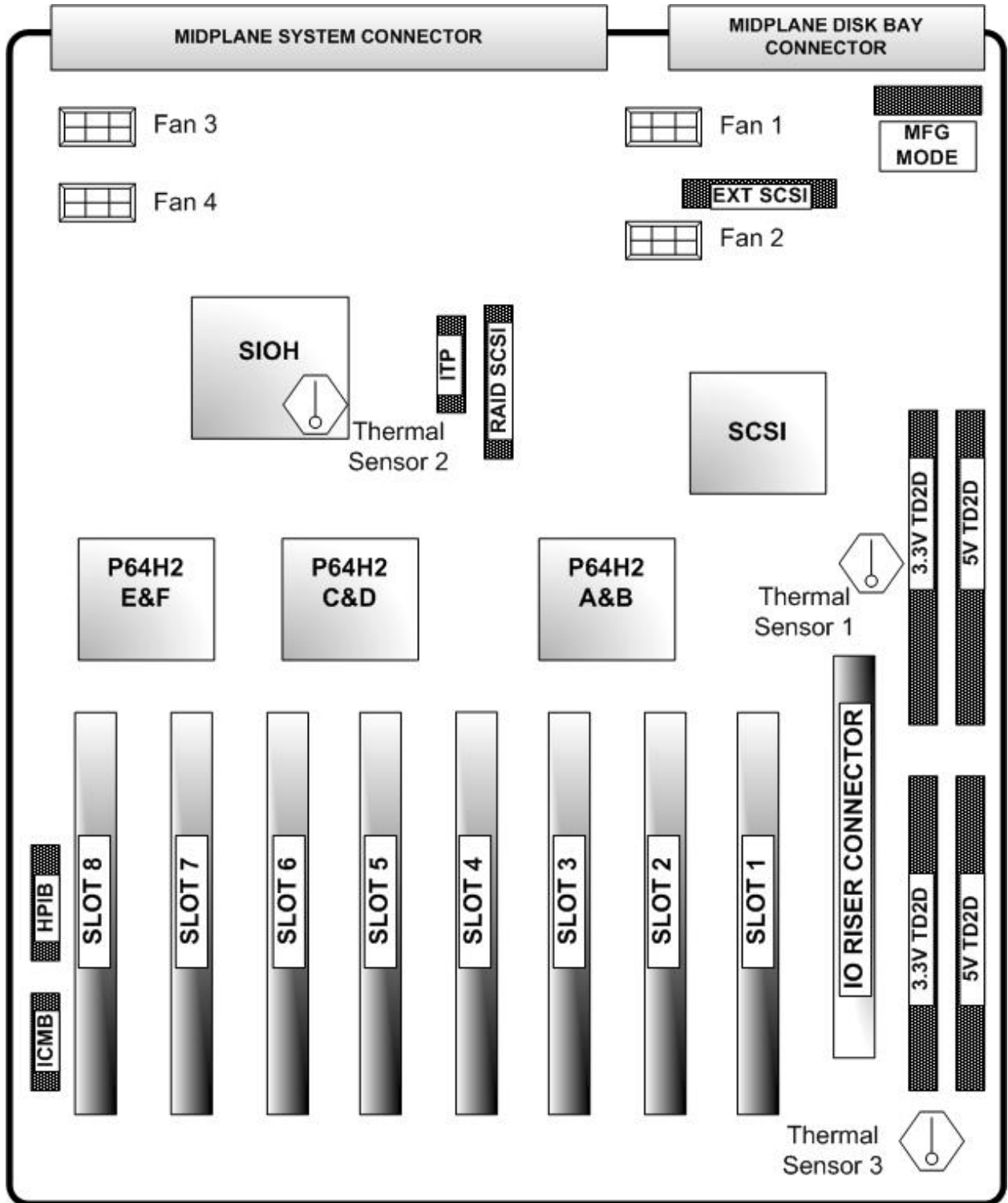


Рисунок 4-2. Схема размещения компонентов на плате ввода/вывода

Таблица 4-1. Обозначения компонентов платы ввода/вывода

обозначение	Название и описание	обозначение	Название и описание
J5J1	Интерфейсный разъем промежуточной платы	J1J2	Разъем отсека для дисков промежуточной платы
J4J1	Разъем для вентилятора 1	J4G1	Разъем Fan 2
J8J1	Разъем для вентилятора 3	J8H1	Разъем Fan 4
J6G1	Разъем ITP	J4H1	Внешний разъем SCSI
J2C1	Разъем 3.3V_A D2D	J2F3	Разъем 3.3V_B D2D
J1C1	Разъем 5V_A D2D	J1F1	Разъем 5V_B D2D
J3A1	Разъем PCI 1	J4A1	Разъем PCI 2
J5A1	Разъем PCI 3	J5A2	Разъем PCI 4
J6A1	Разъем PCI 5	J7A1	Разъем PCI 6
J8A1	Разъем PCI 7	J9A1	Разъем PCI 8
J2B1	Разъем переходной платы ввода/вывода	J9D1	Разъем HPIB
J9C1	Разъем ICMB	J1J1	Режим производства
U8F1	SIOH	U5E3	P64H2 AB
U7E1	P64H2 CD	U9E1	P64H2 EF
U3F1	Контроллер SCSI		

4.5 Функциональные и логические блоки

В данном разделе приведено подробное описание функциональных и логических блоков платы ввода/вывода. Также здесь содержатся схемы контактов разъемов и описания сигналов всех интерфейсов разъемов платы ввода/вывода. Описываемая здесь мнемоника сигналов может содержаться в описаниях в разных частях этого документа. Знак “_L” после названия сигнала указывает, что этот сигнал считается активным, когда подается на низком уровне (это же обозначение используется для указания активных сигналов низкого уровня на схемах). Двоеточие между числами в квадратных или круглых скобках указывает на диапазон сигналов (например, [13:0] – диапазон из 14 разных сигналов).

4.5.1 Интерфейс промежуточной платы

Основной интерфейс платы ввода/вывода – интерфейс промежуточной платы. Этот интерфейс содержит два отдельных разъема: системный разъем и разъем отсека для дисков. Плата ввода/вывода подключается к промежуточной плате с помощью этих разъемов. Этот интерфейс обеспечивает подключение блока процессоров/памяти, передней панели, объединительной платы SCSI и блока питания.

Системный разъем содержит две шины SP, соединяющие масштабируемый контроллер узлов (SNC) блока процессоров/памяти с концентратором SIOH платы ввода/вывода. Кроме того, этот интерфейс содержит другие сигналы блока процессоров, включая синхронизирующие сигналы, сигналы об ошибках, прерывания, сигналы включения питания процессора, сигналы управления сервером, сигналы JTAG и сигналы ISP. Также через этот интерфейс передаются сигналы управления передней панели и блока питания. Этот интерфейс также содержит шины питания 48 В, 12 В и 12 В режима ожидания и соответствующие возвратные линии.

Разъем отсека для дисков включает шину SCSI и шину IDE. Также через него передаются сигналы на жидкокристаллический дисплей на объединительной плате SCSI. На объединительную плату SCSI также передаются и другие сигналы. Жидкокристаллический

дисплей и сопутствующие системы представляют собой непроверенный компонент системы.

4.5.1.1 Разъемы промежуточной платы

Плата ввода/вывода подключается к промежуточной плате через системный разъем и разъем отсека для дисков.

Для этого используются разъемы Molex*/Teradyne* VHDM, содержащие шесть рядов контактов. Это обеспечивает требуемую плотность сигналов и соблюдение требований к целостности при высокоскоростной передаче интерфейсных сигналов. Кроме того, через разъем для промежуточной платы на плате ввода/вывода подается питание платы ввода/вывода. В таблице 4-2 перечислены сигналы разъема промежуточной платы ввода/вывода. В таблице 4-3 приведена схема контактов питания.

Таблица 4-2. Список сигналов системного разъема промежуточной платы

	F	Pa	D	C	B	A
1	CPU_INTERLOC K_L	rsvd	rsvd	+3,3V_STDBY	+3,3V_STDBY	IO_INTERLOCK_ L
2	Земля	rsvd	Земля	RSVD	Земля	RSVD
3	rsvd	Земля	rsvd	Земля	RSVD	Земля
4	rsvd	rsvd	EVBPIN_L	EVBPOUT_L	SERIAL_LOAD	SERIAL_CLK
5	BD_ID1	BD_ID0	P64H2_ERR_L2	P64H2_ERR_L1	P64H2_ERR_L0	SERIAL_DATA
6	BD_ID4	BD_ID3	BD_ID2	BD_TYPE2	BD_TYPE1	BD_TYPE0
7	IVXB_ERR_L	rsvd	BD_ID6	BD_ID5	ISP_SDO_LCD7	LCD_RW
8	rsvd	CHASS_ID_L	LCD6	ISP_EN_L	ISP_SDI_CPU	LCD_RS
9	I2C_IO_SDA	I2C_IO_SCL	LCD4	ISP_SCLK_CPU	ISP_MODE_LCD5	LCD_E
10	I2C_CPU_SCL	I2C_CPU_SDA	MIDP_ID2	ON_LED_L	RSVD	RSVD
11	PPODOE	SP1GPIO0	GEN_FLT_LED_L	COOL_FLT_LED_ L	PROCHOT_L	PLD_STPCLK_L
12	SP0GPIO0	EV_L0	EV_L1	POWER_FLT_LE D_L	EV_L2	EV_L3
13	THERMALERT_L	HP_INT_L	rsvd	SPEAKER	FP_ID_LED_L	RSVD
14	ERR_L0	ERR_L1	ERR_L2	POWER_SW_L	BERROUT_L	INT_OUT_L
15	rsvd	rsvd	BINITIN_L	RESET_SW_L	RSVD	BERRIN_L
16	AIPPODPG	CD2D33EN	BINITOUT_L	SDINT_SW_L	IS_TRST_L	IS_TMS
17	PMI_L	FERR_L	rsvd	IS_TCK	IS_TDI	IS_TDO
18	A20M_L	IGNNE_L	INIT_L	RSVD	INTR	NMI
19	PWRGOOD	NODE_PG	rsvd	SNC_RESETI_L	RSVD	RESETO_L
20	Земля	Земля	MIDP_ID0	MIDP_ID1	Земля	Земля
21	rsvd	rsvd	Земля	Земля	CLK200_BCLK	CLK200_BCLK_L
22	Земля	Земля	Земля	Земля	Земля	Земля
23	Земля	SP0AD6	SP0AD5	Земля	SP0AD13	SP0AD14
24	SP0AD4	Земля	SP0AD7	SP0AD12	Земля	SP0AD15
25	SP0AVREFH1	SP0AVREFL1	Земля	SP0AVREFH3	SP0AVREFL3	Земля
26	Земля	SP0AD3	SP0AEP0	Земля	SP0AD11	SP0ASSO
27	SP0ASTBN0	Земля	SP0AD2	SP0ARSVD	Земля	SP0AD10
28	SP0AEP1	SP0ASTBP0	Земля	SP0ASTBP1	SP0ASTBN1	Земля
29	Земля	SP0AEP2	SP0AD1	Земля	SP0ALLC	SP0AD9
30	SP0AVREFL0	SP0AVREFH0	Земля	SP0AVREFL2	SP0AVREFH2	Земля

31	SP0AD0	Земля	CPU_3.3VSTDBY_GD	SP0AD8	Земля	V48EN
32	Земля	SP0BD0	Земля	STDBYEN	SP0BD8	Земля
33	SP0BD1	SP0BVREFH0	SP0BVREFL0	Земля	SP0BVREFH2	SP0BVREFL2
34	SP0BSTBN0	Земля	SP0BEP2	SP0BD9	Земля	SP0BLLC
35	Земля	SP0BSTBP0	Земля	SP0BSTBN1	SP0BSTBP1	Земля
36	SP0BEP0	SP0BD2	SP0BEP1	Земля	SP0BD10	SP0BRSVD
37	SP0BVREFL1	Земля	SP0BD3	SP0BSSO	Земля	SP0BD11
38	Земля	SP0BVREFH1	Земля	SP0BVREFL3	SP0BVREFH3	Земля
39	SP0BD5	SP0BD7	SP0BD4	Земля	SP0BD15	SP0BD12
40	Земля	Земля	SP0BD6	SP0BD14	Земля	SP0BD13
41	SP1AD4	SP1AD6	SP1AD5	Земля	SP1AD13	SP1AD14
42	SP1AVREFH1	Земля	SP1AD7	SP1AD12	Земля	SP1AD15
43	Земля	SP1AVREFL1	Земля	SP1AVREFH3	SP1AVREFL3	Земля
44	SP1AEP1	SP1AD3	SP1AEP0	Земля	SP1AD11	SP1ASSO
45	SP1ASTBP0	Земля	SP1AD2	SP1ARSVD	Земля	SP1AD10
46	Земля	SP1ASTBN0	Земля	SP1ASTBP1	SP1ASTBN1	Земля
47	SP1AVREFL0	SP1AEP2	SP1AD1	Земля	SP1ALLC	SP1AD9
48	SP1AD0	SP1AVREFH0	Земля	SP1AVREFL2	SP1AVREFH2	Земля
49	SNCFWHWP_L	Земля	SNCFWHDIS_L	SP1AD8	Земля	IA64_IA32
50	Земля	SP1BD0	Земля	ISO_JTAGEN_L	SP1BD8	Земля
51	SP1BD1	SP1BVREFH0	SP1BVREFL0	Земля	SP1BVREFH2	SP1BVREFL2
52	SP1BSTBP0	Земля	SP1BEP1	SP1BD9	Земля	SP1BLLC
53	Земля	SP1BEP2	Земля	SP1BSTBN1	SP1BSTBP1	Земля
54	SP1BEP0	SP1BD2	SP1BSTBN0	Земля	SP1BD10	SP1BRSVD
55	SP1BVREFL1	Земля	SP1BD3	SP1BSSO	Земля	SP1BD11
56	Земля	SP1BVREFH1	Земля	SP1BVREFL3	SP1BVREFH3	Земля
57	SP1BD5	SP1BD7	SP1BD4	Земля	SP1BD15	SP1BD12
58	SP0SYNC	Земля	SP1BD6	SP1BD14	Земля	SP1BD13
59	Земля	Земля	SP1SYNC	Земля	SP0PRES	SP1PRES
60	CPU_INTERLOC_K_L	INTRUDER_L	Земля	PS_ON_L	PS_OK_ORED	Земля

Таблица 4-3. Схема контактов разъема питания VHDM промежуточной платы

	PW11	48V	48V RTN	PW15	
	PW12	48V	48V RTN	PW16	
	PW13	48V	48V RTN	PW17	
	PW14	48V	48V RTN	PW18	
	PW21	48V	48V RTN	PW25	
	PW22	48V	48V RTN	PW26	
	PW23	48V	48V RTN	PW27	
	PW24	48V	48V RTN	PW28	
	PW31	12V	12VSTBY	PW35	
	PW32	12V	12VSTBY	PW36	
	PW33	12V	12VSTBY	PW37	
	PW34	12V	12VSTBY	PW38	

В качестве разъема для отсека для дисков используется разъем Molex/Teradyne HDM,

содержащий шесть рядов контактов. Это обеспечивает требуемую плотность сигналов и соблюдение требований к целостности при высокоскоростной передаче сигналов IDE и SCSI. Такая схема разъема позволяет использовать двусторонние разъемы на промежуточной плате, подключая отсек для дисков с противоположной стороны разъем от платы ввода/вывода. Такое расположение позволяет прямо пересылать сигналы с платы ввода/вывода на отсек для дисков, не используя при пересылке промежуточную плату.

В таблице 4-4 приведены описания сигналов и схема контактов разъема для отсека для дисков. К отсеку для дисков идет только один канал SCSI.

Таблица 4-4. Список сигналов и схема контактов разъема для отсека для дисков промежуточной платы

Контакт	Row A	Row B	Row C	Row D	Row E	Row F
1	B_DB_8P	B_DB_11P	B_DB_10P	B_DB_9P	ISP_MODE_L CD5	SCSI_INTERL OCK_L
2	B_DB_8N	B_DB_11N	B_DB_10N	B_DB_9N	PWRGOOD	ISP_SDI SCSI
3	B_CD_P	B_REQ_P	B_IO_P	SCSI_B_DIFF SENSE	+5V_STDBY	SCSI_PWRGD
4	B_CD_N	B_REQ_N	B_IO_N	Земля	I2C_IPMB_S DA	SENSE_12VP
5	B_MSG_P	B_SEL_P	Земля	Земля	I2C_IPMB_S CL	SCSI_5V_SAM PLE
6	B_MSG_N	B_SEL_N	ISP_SDI_CPU	PCI_IDE_RST _PLD_L	Земля	Земля
7	B_ACK_P	B_RST_P	Земля	PDD7	Земля	Земля
8	B_ACK_N	B_RST_N	PDD8	PDD6	Земля	Земля
9	B_ATN_P	B_BSY_P	PDD9	PDD5	Земля	Земля
10	B_ATN_N	B_BSY_N	PDD10	PDD4	Земля	Земля
11	B_DB_7P	B_DB_P0P	PDD11	PDD3	Земля	Земля
12	B_DB_7N	B_DB_P0N	PDD12	PDD2	Земля	Земля
13	B_DB_5P	B_DB_6P	PDD13	PDD1	Земля	Земля
14	B_DB_5N	B_DB_6N	PDD14	PDD0	Земля	Земля
15	B_DB_3P	B_DB_4P	PDD15	Земля	Земля	Земля
16	B_DB_3N	B_DB_4N	Земля	PDDREQ	Земля	Земля
17	B_DB_1P	B_DB_2P	Земля	PDIOW_L	Земля	LCD_E
18	B_DB_1N	B_DB_2N	Земля	PDIOR_L	Земля	LCD_RS
19	ABDB_P1P	B_DB_0P	ISP_SDO_LCD 7	PIORDY	Земля	+3,3V_B
20	B_DB_P1N	B_DB_0N	Земля	PDDACK_L	Земля	+3,3V_B
21	B_DB_14P	B_DB_15P	IRQ14	PDA1	+3,3V_B	+3,3V_B
22	B_DB_14N	B_DB_15N	PDA2	PDA0	+3,3V_STDB Y	+3,3V_STDBY
23	B_DB_12P	B_DB_13P	PDCS3_L	PDCS1_L	3.3V_D2D4_P WRGD	LCD_RW
24	B_DB_12N	B_DB_13N	Земля	LCD6	ISP_EN_L	ISP_SCLK_SC SI

Таблица 4-5. Номинальный ток разъема промежуточной платы

Напряжение	Источник/Нагрузка	Номер контакта	Токонесущая способность*
+48V	Источник питания	2 **	20A
+12VSTDBY	Источник питания	1 **	10A
+12V	Объединительная плата SCSI	1 **	10A
+5VSTDBY	Объединительная плата SCSI	1	.5A
+3.3VSTDBY	Процессор/Передняя панель	2	1A

Примечание: *Номинальный ток разъема 1 А на контакт, снижен на 50%.
 Реальная мощность, подаваемая этими источниками, будет отличаться.
 ** Номинальный ток ножевых контактов питания составляет 10А, с учетом снижения.

4.5.2 Серверный концентратор ввода/вывода (SIOH)

Концентратор SIOH является компонентом набора микросхем 870 и обеспечивает электрический и логический интерфейс между двумя шинами SP промежуточной платы (блок процессоров/памяти) и четырьмя шинами HL2. SIOH также обеспечивает восьмибитную шину Hublink 1 (HL1), служащую для подключения к плате ввода/вывода. Этот интерфейс поддерживает Hublink 1.5.

Три шины HL2 служат для подключения SIOH к трем мостам PCI P64H2. Четвертая шина HL2 не используется.

Кроме шин HL2, SIOH использует восьмибитную шину HL1.5 для подключения к контроллеру-концентратору ICH4 на переходной плате ввода/вывода. Через этот интерфейс система подключается к видеоподсистеме, последовательному порту, сетевому адаптеру и портам USB.

Параметр SIOH BUSID имеет значение hx7, а параметр NODEID имеет значение hx1C.

Спецификации набора микросхем 870 содержат дополнительную информацию по работе SIOH, схему контактов и подробную информацию по шинам SP, HL1 и HL2.

4.5.2.1 Требования к питанию и температурные требования SIOH

Для работы SIOH требуются напряжения 3,3 В, 1,8 В, 1,5 В и 1,3 В. Напряжение 3,3 В используется в качестве окончательного напряжения уровня 3,3 В. Напряжение 1,8 В используется в качестве окончательного напряжения порта HL1.5. Напряжение 1,5 В используется ядром компонента и в качестве окончательного напряжения порта HL2. 1,3 В используется в качестве окончательного напряжения порта SP. Для обеспечения соблюдения температурных требований SIOH требуется теплоотвод. В разделе 4.5.22 содержится подробная информация по температурным требованиям.

4.5.3 P64H2

P64H2 представляет собой мост-контроллер PCI. Этот компонент подключается к системе через шины HL2, идущие из компонента SIOH. В системе имеется три компонента P64H2.

Каждый компонент содержит два независимых интерфейса шины PCI, поддерживающие работу в режиме PCI-x 133 МГц.

Спецификации P64H2 содержат дополнительную информацию по функциям микросхем и схемы контактов.

4.5.3.1 Требования к питанию и температуре

Для работы компонента P64H2 требуется напряжение 1,8 В и 3,3 В. Напряжение 1,8 В используется ядром компонента и в качестве оконечного напряжения порта HL2. Напряжение 3,3 В используется в качестве оконечного напряжения портов PCI. Для соблюдения температурных требований P64H2 не требуется установка теплоотвода. В разделе 4.5.22 содержится подробная информация по температурным требованиям.

4.5.4 Шины PCI

В системе имеется шесть независимых шин PCI, по две на каждый мост PCI P64H2. Тип и количество разъемов, а также их расположение в корпусе, определяют скорость, тип, рабочее напряжение и длину карт расширения PCI. В таблице 4-6 описываются характеристики восьми разъемов.

Таблица 4-6. Характеристики разъемов PCI

Разъем	Разъем	Шина PCI	Ключ	Скорость/Тип	Форм-фактор
SLOT 1 ¹	J3A1	Bus A	3,3 В	100 MHz PCI-x	Short
SLOT 2	J4A1	Bus B	3,3 В	100 MHz PCI-x	Short
SLOT 3	J5A1	Bus B	3,3 В	100 MHz PCI-x	Short
SLOT 4	J5A2	Bus C	3,3 В	100 MHz PCI-x	Short
SLOT 5	J6A1	Bus C	3,3 В	100 MHz PCI-x	Long
SLOT 6	J7A1	Bus D	3,3 В	133 MHz PCI-x	Long
SLOT 7	J8A1	Bus E	3,3 В	133 MHz PCI-x	Long
SLOT 8	J9A1	Bus F	3,3 В	133 MHz PCI-x	Long

Примечания: ¹ Шина А содержит встроенный контроллер SCSI

4.5.4.1 Шина PCI, сегмент А

Сегмент А шины PCI содержит один разъем PCI-x (100 МГц, 64 бит) и встроенный контроллер Ultra-320 SCSI. Разъем имеет номер SLOT 1 и имеет рабочее напряжение 3,3 В. В этот разъем могут устанавливаться только адаптеры форм-фактора short form factor PCI (ограничение корпуса).

Шина идет от контроллера P64H2 к контроллеру SCSI, далее к переключателям канальных транзисторов и на разъем SLOT 1. Переключатели канальных транзисторов требуются для изоляции компонентов SCSI при горячей установке устройств. В соответствии со спецификацией PCI на шине PCI установлены нагрузочные резисторы, а для улучшения целостности сигналов на шине PCI установлены последовательные резисторы.

Информацию по встроенному интерфейсу SCSI можно найти в разделе 4.5.7.

Схема контактов разъема PCI (3,3 В) приведена в таблице 4-15.

Схема прерываний приведена в таблице 4-38.

В таблице 4-7 описывается схема идентификаторов IDSEL# для сегмента А шины PCI.

Таблица 4-7. Схема идентификаторов IDSEL# для сегмента А шины PCI

Сигнал AD	Компонент/Номер разъема PCI
AD17	SLOT 1
AD18	Компонент SCSI

4.5.4.2 Шина PCI, сегмент В

Сегмент В шины PCI содержит два разъема PCI-X (100 МГц, 64 бит) Разъем имеют номера SLOT 2 и SLOT3 и рабочее напряжение 3,3 В. В оба разъема могут устанавливаться только адаптеры форм-фактора short form factor PCI (ограничение корпуса). Шина идет от контроллера P64H2 на два набора выключателей с канальными транзисторами. Каждый набор выключателей канального транзисторы подключен к разъему. Эти выключатели с канальными транзисторами нужны для того, чтобы изолировать разъемы друг от друга при горячей установке. В соответствии со спецификацией PCI на шине PCI установлены нагрузочные резисторы.

Схема контактов разъема PCI (3,3 В) приведена в таблице 4-15.

Схема прерываний приведена в таблице 4-38.

В таблице 4-8 описывается схема идентификаторов IDSEL# для сегмента В шины PCI.

Таблица 4-8. Схема идентификаторов IDSEL# для сегмента В шины PCI

Сигнал AD	Компонент/Номер разъема PCI
AD17	SLOT 2
AD18	SLOT 3

4.5.4.3 Шина PCI, сегмент С

Сегмент С шины PCI содержит два разъема PCI-X (100 МГц, 64 бит) Разъем имеют номера SLOT 4 и SLOT5 и рабочее напряжение 3,3 В. В разъем SLOT4 могут устанавливаться только адаптеры форм-фактора short form factor PCI (ограничение корпуса). В разъем SLOT5 могут устанавливаться любые адаптеры PCI.

Шина идет от контроллера P64H2 на два набора выключателей с канальными транзисторами. Каждый набор выключателей канального транзисторы подключен к разъему. Эти выключатели с канальными транзисторами нужны для того, чтобы изолировать разъемы друг от друга при горячей установке. В соответствии со спецификацией PCI на шине PCI установлены нагрузочные резисторы.

Схема контактов разъема PCI (3,3 В) приведена в таблице 4-15.

Схема прерываний приведена в таблице 4-38.

В таблице 4-9 описывается схема идентификаторов IDSEL# для сегмента С шины PCI.

Таблица 4-9. Схема идентификаторов IDSEL# для сегмента С шины PCI

Сигнал AD	Компонент/Номер разъема PCI
AD17	SLOT 4
AD18	SLOT 5

4.5.4.4 Шина PCI, сегмент D

Сегмент D шины PCI содержит один разъем PCI-X (133 МГц, 64 бит) Разъем имеет номер SLOT 6 и имеет рабочее напряжение 3,3 В. В разъем SLOT6 могут устанавливаться любые адаптеры PCI.

Шина идет от контроллера P64H2 на разъем. Контроллер P64H2 обеспечивает изоляцию разъема при горячей установке устройств. В соответствии со спецификацией PCI на шине PCI установлены нагрузочные резисторы.

Схема контактов разъема PCI (3,3 В) приведена в таблице 4-15.

Схема прерываний приведена в таблице 4-38.

В таблице 4-10 описывается схема идентификаторов IDSEL# для сегмента D шины PCI.

Таблица 4-10. Схема идентификаторов IDSEL# для сегмента D шины PCI

Сигнал AD	Компонент/Номер разъема PCI
AD17	SLOT 6

4.5.4.5 Шина PCI, сегмент E

Сегмент E шины PCI содержит один разъем PCI-X (133 МГц, 64 бит) Разъем имеет номер SLOT 7 и имеет рабочее напряжение 3,3 В. В разъем SLOT7 могут устанавливаться любые адаптеры PCI.

Шина идет от контроллера P64H2 на разъем. Контроллер P64H2 обеспечивает изоляцию разъема при горячей установке устройств. В соответствии со спецификацией PCI на шине PCI установлены нагрузочные резисторы.

Схема контактов разъема PCI (3,3 В) приведена в таблице 4-15.

Схема прерываний приведена в таблице 4-38.

В таблице 4-11 описывается схема идентификаторов IDSEL# для сегмента E шины PCI.

Таблица 4-11. Схема идентификаторов IDSEL# для сегмента E шины PCI

Сигнал AD	Компонент/Номер разъема PCI
AD17	SLOT 7

4.5.4.6 Шина PCI, сегмент F

Сегмент F шины PCI содержит один разъем PCI-X (133 МГц, 64 бит). Разъем имеет номер SLOT 8 и имеет рабочее напряжение 3,3 В. В разъем SLOT8 могут устанавливаться любые адаптеры PCI.

Шина идет от контроллера P64H2 на разъем. Контроллер P64H2 обеспечивает изоляцию разъема при горячей установке устройств. В соответствии со спецификацией PCI на шине PCI установлены нагрузочные резисторы.

Схема контактов разъема PCI (3,3 В) приведена в таблице 4-15.

Схема прерываний приведена в таблице 4-38.

В таблице 4-12 описывается схема идентификаторов IDSEL# для сегмента F шины PCI.

Таблица 4-12. Схема идентификаторов IDSEL# для сегмента F шины PCI

Сигнал AD	Компонент/Номер разъема PCI
AD17	SLOT 8

4.5.4.7 Описание сигналов PCI

Таблицы ниже содержат описание сигнальных контактов PCI, включая мнемонику сигналов, электрические характеристики контактов, полное название и краткое описание. Подсистема PCI платы ввода/вывода поддерживает работу в режиме PCI (33 МГц) и в режиме PCI-X (66, 100, 133 МГц; 64 бит). Электрические характеристики описаны в *Таблице 4-13*.

Поддерживаемые сигналы перечислены в *Таблице 4-14*.

Таблица 4-13. Электрические уровни PCI

Тип	Описание
Вход	Стандартный сигнал ввода.
o/d	Сигнал Open Drain позволяет нескольким устройствам совместно использовать сигналы, как аппаратная версия-OR.
Выход	Totem Pole Output – стандартный активный возбудитель.
s/t/s	Sustained Tri-State – активный низкий сигнал, имеющий три состояния, который может отправляться и использоваться только одним агентом при определенных временных ограничениях.
t/s	Tri-State – контакт ввода/вывода, поддерживающий два направления передачи и три состояния.

Таблица 4-14. Описания сигналов PCI

Signal(s)	Тип	Название и описание
ACK64_L	s/t/s	Сигнал Acknowledge 64-bit Transfer указывает, что объект PCI хочет передать данные в 64-битном режиме.
AD[63:00]	t/s	Сигналы Address и Data мультиплексируются; в первом цикле транзакции (фаза адресации), они содержат 32-битный физический адрес, в последующих циклах – данные. Как биты адресов, AD0 и AD1 не имеют значения, они указывают тип пакетов.
C/BE[7:0]_L	t/s	Сигналы Bus Command и Byte Enable мультиплексируются; на фазе адресации транзакции C/BE[3:0]_L определяет команду шины; на фазе передачи данных C/BE[3:0]_L определяет, на каких дорожках байтов передаются значащие данные.

DEVSEL_L	s/t/s	Активный сигнал Device Select показывает, что подающее его устройство декодировало свой адрес в качестве объекта текущей операции доступа. В качестве входного сигнала этот сигнал указывает, выбрано ли какое-нибудь устройство на шине.
FRAME_L	s/t/s	Сигнал Cycle Frame подается текущим устройством-хозяином шины, чтобы указать начало и длительность доступа.
GNT_L	Вход	Сигнал Grant указывает агенту, что арбитр предоставляет доступ к шине. Это сигнал типа точка-точка. Каждый хозяин шины имеет собственный сигнал GNT_L.
IDSEL	Вход	Сигнал Initialization Device Select используется для выбора устройства вместо верхних двадцати адресных строк, во время транзакций чтения/записи конфигурации.
INT[A:D]_L	Вход	Сигналы прерываний PCI от карт расширения. Встроенные устройства также могут генерировать эти сигналы, управляемые PID.
IRDY_L	s/t/s	Сигнал Initiator Ready указывает на возможность инициатора транзакции устройства (хозяина шины) завершить текущую фазу данных транзакции. Во время операции записи сигнал IRDY_L указывает на наличие действительных данных. Во время операции чтения он указывает, что хозяин шины готов к приему данных.
LOCK_L	s/t/s	Сигнал Lock указывает на элементарную операцию, для выполнения которой может потребоваться несколько транзакций.
PCIXCAP	Вход	Сигнал PCIXCAP сообщает устройству, поддерживает ли сегмент шины режим PCI-X.
M66EN	Вход	Сигнал 66MHZ_Enable сообщает устройству, работает ли сегмент шины в режиме 66 или 33 МГц.
PAR	t/s	Сигнал Parity указывает на четность между AD[31:00] и C/BE[3:0]_L. Генерирование четности требуется всеми агентами PCI.
PAR64	t/s	Сигнал Parity64 указывает на четность верхних 32 бит данных AD[63:32].
PCICLK		Синхронизирующий сигнал Bus Clock для этого сегмента шины PCI, синхронный с локальной шиной процессора. Может иметь частоту 33 или 30 МГц в зависимости от частоты процессора. По умолчанию 33 МГц.
PERR_L	s/t/s	Сигнал Parity Error сообщает об ошибке четности данных для всех команд, кроме Special Cycle.
REQ_L	Выход	Сигнал Request сообщает арбитру, что агент хочет использовать шину. Это сигнал типа точка-точка. Каждый хозяин шины имеет собственный сигнал REQ_L.
REQ64_L	s/t/s	Активный сигнал Request 64-bit Transfer , подаваемый хозяином шины, указывает, что хозяин шины хочет передать данные в 64-битном режиме.
PCIRST_L	Вход	Сигнал Reset форсирует последовательность PCI для каждого устройства в начальное состояние.
SERR_L	o/d	Сигнал System Error сообщает об ошибках четности адресации и четности данных в командах Special Cycle и о других системных ошибках, которые могут повлечь катастрофический результат.
STOP_L	s/t/s	Сигнал Stop указывает, что текущий объект просит хозяина шины прекратить текущую транзакцию.
TRDY_L	s/t/s	Сигнал Target Ready указывает, что объект (выбранное устройство) может завершить текущую фазу передачи данных транзакции. Во время операции чтения сигнал TRDY_L указывает на наличие действительных данных. Во время операции записи он указывает, что объект готов к приему данных.
3.3Vaux	Вход	Сигнал 3.3Vaux Вспомогательный источник питания 3,3 В режима ожидания подает питание на карты расширения PCI для генерирования событий управления питанием, когда питание карты отключено программным обеспечением.

4.5.4.8 Схемы контактов разъемов PCI

В таблице ниже приведена схема контактов разъемов с рабочим напряжением 3,3 В.

Таблица 4-15. Схема контактов разъемов PCI с рабочим напряжением 3,3 В

Контакт	Сигнал	Контакт	Сигнал	Контакт	Сигнал	Контакт	Сигнал
A1	TRST_L	A48	GND	B1	-12V	B48	AD10
A2	+12V	A49	AD9	B2	TCK	B49	M66EN
A3	TMS	A50	GND	B3	GND	B50	GND
A4	TDI	A51	GND	B4	TDO	B51	GND
A5	+5V	A52	C/BEO_L	B5	+5V	B52	AD8
A6	INTA_L	A53	+3.3V	B6	+5V	B53	AD7
A7	INTC_L	A54	AD6	B7	INTB_L	B54	+3.3V
A8	+5V	A55	AD4	B8	INTD_L	B55	AD5
A9	Зарезервирован	A56	GND	B9	PRSNT1_L	B56	AD3
A10	+3.3V	A57	AD2	B10	Зарезервирован	B57	GND
A11	Зарезервирован	A58	AD0	B11	PRSNT2_L	B58	AD1
A12	3.3V KEYWAY	A59	+3.3V	B12	3.3V KEYWAY	B59	+3.3V
A13		A60	REQ64_L	B13		B60	ACK64_L
A14	3.3Vaux	A61	+5V	B14	Зарезервирован	B61	+5V
A15	RESET_L	A62	+5V	B15	GND	B62	+5V
A16	+3.3V	A63	GND	B16	CLK	B63	Зарезервирован
A17	GRANT_L	A64	C/BE7_L	B17	GND	B64	GND
A18	GND	A65	C/BE5_L	B18	REQ_L	B65	C/BE6_L
A19	Зарезервирован	A66	+3.3V	B19	+3.3V	B66	C/BE4_L
A20	AD30	A67	PAR64	B20	AD31	B67	GND
A21	+3.3V	A68	AD62	B21	AD29	B68	AD63
A22	AD28	A69	GND	B22	GND	B69	AD61
A23	AD26	A70	AD60	B23	AD27	B70	+3.3V
A24	GND	A71	AD58	B24	AD25	B71	AD59
A25	AD24	A72	GND	B25	+3.3V	B72	AD57
A26	IDSEL	A73	AD56	B26	C/BE3_L	B73	GND
A27	+3.3V	A74	AD54	B27	AD23	B74	AD55
A28	AD22	A75	+3.3V	B28	GND	B75	AD53
A29	AD20	A76	AD52	B29	AD21	B76	GND
A30	GND	A77	AD50	B30	AD19	B77	AD51
A31	AD18	A78	GND	B31	+3.3V	B78	AD49
A32	AD16	A79	AD48	B32	AD17	B79	+3.3V
A33	+3.3V	A80	AD46	B33	C/BE2_L	B80	AD47
A34	FRAME_L	A81	GND	B34	GND	B81	AD45
A35	GND	A82	AD44	B35	IRDY_L	B82	GND
A36	TRDY_L	A83	AD42	B36	+3.3V	B83	AD43
A37	GND	A84	+3.3V	B37	DEVSEL_L	B84	AD41
A38	STOP_L	A85	AD40	B38	PCIX_CAP	B85	+5V
A39	+3.3V	A86	AD38	B39	LOCK_L	B86	AD39
A40	SDONE	A87	GND	B40	PERR_L	B87	AD37
A41	SB0_L	A88	AD36	B41	+3.3V	B88	+3.3V
A42	GND	A89	AD34	B42	SERR_L	B89	AD35

A43	PAR	A90	GND	B43	+3.3V	B90	AD33
A44	AD15	A91	AD32	B44	C/BE1_L	B91	GND
A45	+3.3V	A92	Зарезервирован	B45	AD14	B92	Зарезервирован
A46	AD13	A93	GND	B46	GND	B93	Зарезервирован
A47	AD11	A94	Зарезервирован	B47	AD12	B94	GND

4.5.5 Интерфейс горячей установки устройств PCI

Все восемь разъемов соответствуют *Спецификации горячей установки устройств PCI, версия 1.0*. Компоненты P64H2 содержат контроллер горячей замены для каждого сегмента шины. В интерфейсе горячей установки устройств PCI используются внешние устройства, например, переключатели с канальными транзисторами, контроллеры питания и разъем платы индикаторов горячей установки.

Плата ввода/вывода работает в режиме CBF. В этом режиме шина отправляет адаптеру, устанавливаемому в систему, сигнал о подключении к шине перед сигналом перезагрузки.

Контроллер горячей установки P64H2 может работать в трех режимах в зависимости от количества подключенных разъемов/устройств. В их число входят режим с одним разъемом, режим с двумя разъемами и режим с несколькими разъемами (больше двух). На плате ввода/вывода используются только режим с одним разъемом и режим с двумя разъемами.

4.5.5.1 Режим с одним разъемом

На сегментах шины PCI, содержащих только один разъем и не содержащих встроенных устройств, контроллеры горячей установки работают в режиме с одним разъемом. В этом режиме контроллер P64H2 помещает шину PCI в состояние бездействия во время горячей установки (все сигналы шины PCI подаются на низком уровне). Кроме того, синхронизирующие сигналы PCI для этого разъема также подаются на низком уровне. Таким образом, выключатели с канальными транзисторами на шине PCI не требуются. Для цепи управления помимо P64H2 требуются только устройства управления питанием.

Синхронизирующие сигналы PCI подаются контроллером P64H2. Использование канальных транзисторов не требуется, поскольку контроллер P64H2 будет подавать синхронизирующий сигнал на разъем на низком уровне во время горячей установки устройств.

Каждый из двух выходных синхронизирующих сигналов P64H2 проходит через последовательный концевой резистор. Один возбудитель подключен к разъему PCI, а другой к контакту feedback контроллера P64H2. Синхронизирующий сигнал оставляет след соответствующей длины (минус три дюйма смещения с учетом маршрутизации синхронизирующего сигнала на адаптере), позволяя циклу PLL приводить синхронизирующие сигналы внутренних цепей P64H2 с цепями адаптера. В отличие от конфигураций с двумя разъемами, синхронизирующие сигналы не могут объединяться, поскольку контроллер P64H2 подает синхронизирующий сигнал на разъем на низком уровне, однако ожидает, что возвратный синхронизирующий импульс будет нормальным.

4.5.5.2 Режим с двумя разъемами

Контроллеры горячей установки устройств PCI сегментов шины PCI с двумя разъемами или одним разъемом и одним встроенным устройством работают в режиме с двумя разъемами. В этом режиме контроллер P64H2 подает отдельные сигналы для каждого из двух разъемов на выключатели с канальными транзисторами, сигналы перезагрузки, управления питанием и

MRL и сигналы на выключатели индикаторов и сами индикаторы. Для декодирования сигналов управления контроллера горячей установки не требуется последовательная логика демультиплексирования, как в режиме с несколькими разъемами.

Синхронизирующие импульсы PCI подаются контроллером P64H2 и проходят через канальный транзистор. Это позволяет контроллеру при необходимости отключать подачу синхронизирующих сигналов на разъем.

Синхронизирующие сигналы изолируются на каждом разъеме с помощью переключателя с канальным транзистором CBT3125 FET. Все синхронизирующие сигналы PCI, включая возвратный синхронизирующий сигнал и синхронизирующий сигнал SCSI, передаются через канальные транзисторы, чтобы топологии сигналов были идентичными. Контакты подачи синхронизирующих сигналов P64H2 объединяются (все соединяются между собой), формируя «звезду», лучи которой подключены к последовательным концевым резисторам. Такое расположение позволяет снизить погрешность синхронизирующих импульсов практически до нуля. Синхронизирующий сигнал оставляет след соответствующей длины (минус три дюйма смещения с учетом маршрутизации синхронизирующего сигнала на адаптере), позволяя циклу PLL приводить синхронизирующие сигналы внутренних цепей P64H2 с цепями адаптера.

4.5.5.3 Выключатели с канальными транзисторами

На сегментах, работающих в режиме с двумя разъемами, сигналы шины PCI изолируются от разъема с помощью выключателей с канальными транзисторами. В частности для этой цели используются изолирующие шину выключатели CBT6820 и CBT6810 (или аналогичные). Компоненты CBT6820/10 имеют функцию предварительного заряда (VBIAS), максимально сокращающую искажения сигнала на шине, подавая на адаптер сигналы высокого уровня перед отключением выключателей с канальными транзисторами. Поскольку CBT6820 имеет только один контакт VBIAS, на плате ввода/вывода используется по одному компоненту на разъем (а не по компоненту на два разъема). При этом питание VBIAS подается только тогда, когда подается питание адаптера.

4.5.5.4 Сигнал PCI Reset

Сигнал PCI Reset_L подается контроллером горячей установки отдельно на каждый разъем или устройство сегмента шины. Таким образом, контроллер горячей установки обеспечивает цикл перезагрузки при горячей установке.

4.5.5.5 Управление питанием PCI

На каждом разъеме PCI, вне зависимости от рабочего режима, имеется внешняя цепь управления питанием. Эта цепь контролирует подачу питания на каждый разъем и производит мониторинг отклонений питания, например, перегрузки по току или недостаточного напряжения.

Для управления питанием и мониторинга шин питания 5 В, 3,3 В, 12 В, N12 В и вспомогательной шины 3,3 В AUX, используется устройство MIC2590 (или аналогичное). Контроллер MIC2590 может одновременно управлять питанием двух разъемов. Для управления шинами питания 5 В и 3,3 В устройство использует внешние канальные транзисторы (в связи с высокими требованиями к току), однако использует внутренние канальные транзисторы для управления шинами питания +12 В, -12 В и 3,3 В AUX с низким уровнем тока. Контроллер MIC2590 взаимодействует непосредственно с контроллером горячей установки, отвечая за управление включением питания и отчеты об ошибках на шинах питания 5 В, 3,3 В, 12 В и N12 В.

Управление шиной питания 3,3 В AUX производится косвенно с помощью выключателя MRL платы индикаторов HPIB. Сигнал платы индикаторов HPIB пересылается через PLD, обеспечивая шлюз включения питания 3,3 В AUX при необходимости.

Контроллер MIC2590 осуществляет мониторинг отдельных шин питания на перегрузку по току и недостаточное напряжение. В случае неисправности контроллер MIC2590 отключает шины питания и подает сигнал FAULTx. Контроллер горячей установки P64H2 осуществляет мониторинг этого сигнала. Кроме того, сигнал о состоянии неисправности, как и другие сигналы, может быть считан с MIC2590 через порт I²C системой управления сервером. Подробная информация по работе контроллера MIC2590 содержится в его спецификации.

4.5.5.6 Разъем платы HPIB

Разъем HPIB служит интерфейсом между контроллером горячей установки устройств PCI и индикаторами и выключателями на плате HPIB. Каждому разъему соответствует два выключателя и два индикатора.

В число выключателей входят выключатель защелки модуля и выключатель оповещения. Выключатель защелки модуля связан с механизмом крепления. Этот выключатель разомкнут, если механизм крепления находится в положении, позволяющем установить или снять плату. Выключатель оповещения сообщает системе о том, что пользователь требует горячую замену.

Также каждому разъему соответствует один зеленый индикатор и один оранжевый индикатор. Эти индикаторы описаны в спецификации горячей установки.

На плате HPIB также расположен индикатор идентификации корпуса. Этот индикатор включается по сигналу платы ввода/вывода по команде системы управления сервером. Этот сигнал имеет функцию идентификации корпуса посредством включения индикатора по запросу пользователя. Аналогичный сигнал подается и на переднюю панель.

На плату HPIB подается питание по шинам 3,3 В и 3,3 В режима ожидания. Эти шины питания защищены плавкими предохранителями на плате ввода/вывода. Плавкий предохранитель F9C1 защищает шину питания 3,3 В, а плавкий предохранитель F9C2 защищает шину питания 3,3 В режима ожидания. В *таблице 4-16* описывается схема контактов разъема вентилятора.

Таблица 4-16. Разъем HPIB

Контакт	I/O	Описание
1	I	Разъем 1, катод оранжевого индикатора
2	I	Разъем 1, катод зеленого индикатора
3	O	Разъем 1, выключатель MRL
4	O	Разъем 2, выключатель MRL
5	I	Разъем 2, катод оранжевого индикатора
6	I	Разъем 2, катод зеленого индикатора
7	I	Разъем 3, катод оранжевого индикатора
8	I	Разъем 3, катод зеленого индикатора
9	O	Разъем 3, выключатель MRL
10	O	Разъем 4, выключатель MRL
11	I	Разъем 4, катод оранжевого индикатора
12	I	Разъем 4, катод зеленого индикатора

13	I	Разъем 5, катод оранжевого индикатора
14	I	Разъем 5, катод зеленого индикатора
15	O	Разъем 5, выключатель MRL
16	O	Разъем 6, выключатель MRL
17	I	Разъем 6, катод оранжевого индикатора
18	I	Разъем 6, катод зеленого индикатора
19	I	Разъем 7, катод оранжевого индикатора
20	I	Разъем 7, катод зеленого индикатора
21	O	Разъем 7, выключатель MRL
22	O	Разъем 8, выключатель MRL
23	I	Разъем 8, катод оранжевого индикатора
24	I	Разъем 8, катод зеленого индикатора
25	O	Разъем 1, выключатель оповещения
26	O	Разъем 2, выключатель оповещения
27	O	Разъем 3, выключатель оповещения
28	O	Разъем 4, выключатель оповещения
29	O	Разъем 5, выключатель оповещения
30	O	Разъем 6, выключатель оповещения
31	O	Разъем 7, выключатель оповещения
32	O	Разъем 8, выключатель оповещения
33	PWR	+3.3V_aux
34	I	Chassis ID LED
35	PWR	+3.3V_aux
36	PWR	GND
37	PWR	+3.3V
38	PWR	GND
39	PWR	+3.3V
40	PWR	GND

4.5.6 Интерфейс управления питанием PCI

Структура интерфейса управления питанием PCI обеспечивает стандартный интерфейс управления питанием, совместимый со *Спецификацией интерфейса управления питанием шины PCI, версия 1.1*. На каждом разъеме PCI имеется вспомогательная шина питания 3,3 В AUX, используемая для подачи питания на логическую цепь адаптера, который должен оставаться активным, когда система выключена. Адаптер также может «пробуждать» систему с помощью событий PME, инициируемых сигналом PME_L. Сигнал PME_L пересылается на контроллер управления сервером на переходной плате ввода/вывода, который может включить питание системы. Результат события PME зависит от политик управления питанием.

Функцию PME поддерживают только разъемы 1-5. Это ограничение связано с тем, что на переходную плату ввода/вывода может подаваться только три сигнала PME_L, а сигнал PME_L может подаваться только одной шиной PCI во избежание блокировки. Сигналы PME_L, подаваемые отдельными разъемами, пересылаются на устройство PLD и преобразовываются в сигналы PME_L переходной платы ввода/вывода. В разделе 4.5.5.5 и на *Рисунке 4-3* приведена информация по использованию вспомогательной шины питания 3,3 В при горячей установке. На *рисунке 4-3* приведена схема управления PCI AUX и генерирования PME.

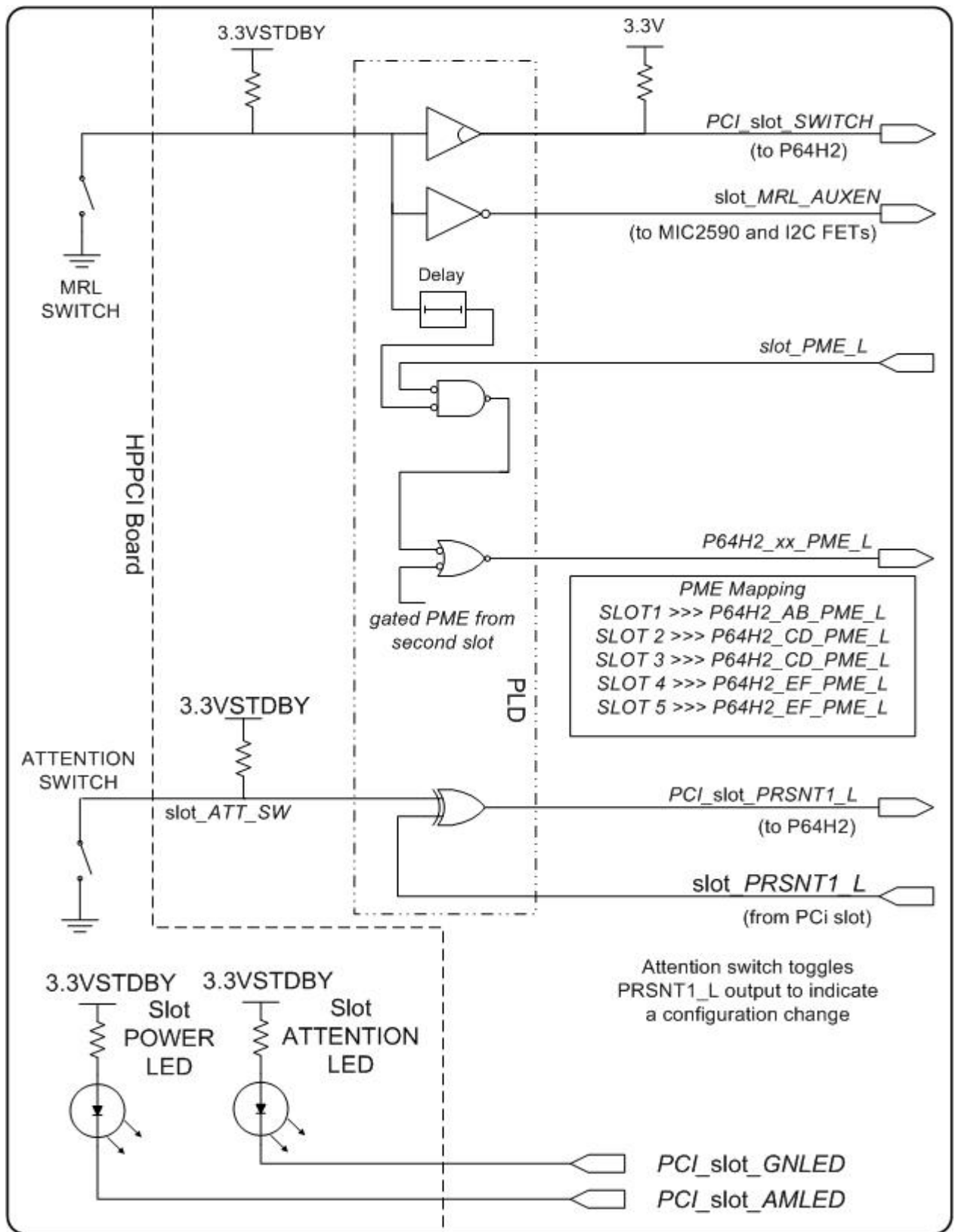


Рисунок 4-3. Схема управления PCI AUX и событиями PME

4.5.7 Интерфейс SCSI

Интегрированный интерфейс SCSI обеспечивается контроллером LSI* 53C1030 Ultra 320 LVDS. Контроллер расположен в сегменте А шины PCI. Для оптимальной производительности контроллер выступает в качестве 64-битного устройства PCI-x. Интерфейс PCI-x контроллера работает с частотой шины до 100 МГц в зависимости от параметров адаптера в разъеме SLOT 1. Конфигурационные реестры определяют PCI-параметры устройства ISP12320. ISP12320 поддерживает все обязательные реестры заголовков области конфигурации PCI, включая Vendor ID, Device ID, Class Code, Revision ID, Header Type, и поля Command и Status.

ISP12320 поддерживает два канала Ultra 320 LVDS. Один канал предназначен для управления внутренними дисками, а другой – для высокоскоростного подключения к внешнему устройству SCSI. Порт SCSI 'A' ISP12320 контролирует внутренний канал SCSI. Внутренний канал подключен к разъему отсека для дисков промежуточной платы, обеспечивающему подключение к внутренним дискам. Внутренний канал протестирован только на работу в режиме LVDS. Порт SCSI 'B' ISP12320 контролирует внешний канал SCSI. Разъем для внешнего канала расположен рядом с микросхемой ISP12320. Он может быть подключен к блочному разъему корпуса. Внешний канал может работать в режиме LVDS или SE, при условии, что система кабелей поддерживает требуемый тип сигналов.

Внутренний канал также имеет стандартный разъем SCSI, позволяющий внешнему контроллеру (обычно RAID) взаимодействовать с объединительной платой SCSI. При подключении кабеля к разъему 'RAID' встроенный контроллер SCSI и встроенные терминаторы SCSI отключаются.

Контроллер ISP12320 использует шины питания 1,8 В и 3,3 В. Шина питания 1,8 В обеспечивает питания ядра ISP12320, а шина питания 3,3 В обеспечивает питание интерфейсов PCI и CSI.

В микросхеме ISP12320 используется кристалл с тактовой частотой 80 МГц, обеспечивающий подачу синхронизирующих сигналов на интерфейс SCSI.

Технические описания LSI 53C1030 на сайте <http://www.lsilogic.com> содержат дополнительную информацию по работе контроллеров SCSI.

4.5.7.1 Описание сигналов SCSI

В таблице 4-17 приведено описание сигнальных контактов разъема SCSI, включая мнемонику сигналов, название и краткое описание.

Таблица 4-17. Описания сигналов SCSI

Сигнал	Тип	Описание
-ACK[P,M]	LVDS	Подтверждение передачи.
-ATN[P,M]	LVDS	Внимание.
-BSY[P,M]	LVDS	Шина занята.
-C/D[P,M]	LVDS	Управление/Данные. Логика 0 = Фаза управления. Логика 1 = Фаза передачи данных.
-DB(0:15) [P,M]	LVDS	Шина данных
-DBP(0:1) [P,M]	LVDS	Parity. DBP0: DB(15:8). DBP1: DB(7:0).

-I/O[P,M]	LVDS	Направление. Логика 0 = Ввод на инициирующее устройство. Логика 1 = Вывод с инициирующего устройства.
-MSG[P,M]	LVDS	Фаза сообщений.
-REQ[P,M]	LVDS	Запрос передачи.
-RST[P,M]	LVDS	Перезагрузка шины. Все устройства на шине будут перезагружены.
-SEL[P,M]	LVDS	Арбитраж.
DIFFSENSE	Аналоговый	Датчик режима SCSI.
Земля	Power	Заземление.
TERMPWR	Power	Оконечное напряжение. Статическое 5 В.

4.5.7.2 Схема контактов разъема SCSI

В таблице 4-2 приведена схема контактов разъема отсека для дисков промежуточной платы, содержащего внутреннюю шину SCSI.

В таблице 4-18 приведена схема контактов внутреннего и внешнего разъемов SCSI.

Таблица 4-18. Схема контактов разъема SCSI – Режим LVDS

Сигнал	Контакт разъема	Контакт кабеля	Контакт кабеля	Контакт разъема	Сигнал
+DB (12)	1	1	2	35	-DB (12)
+DB (13)	2	3	4	36	-DB (13)
+DB (14)	3	5	6	37	-DB (14)
+DB (15)	4	7	8	38	-DB (15)
+DB (P1)	5	9	10	39	-DB (P1)
+DB (0)	6	11	12	40	-DB (0)
+DB (1)	7	13	14	41	-DB (1)
+DB (2)	8	15	16	42	-DB (2)
+DB (3)	9	17	18	43	-DB (3)
+DB (4)	10	19	20	44	-DB (4)
+DB (5)	11	21	22	45	-DB (5)
+DB (6)	12	23	24	46	-DB (6)
+DB (7)	13	25	26	47	-DB (7)
+DB(P0)	14	27	28	48	-DB(P0)
Земля	15	29	30	49	Земля
DIFSENSE	16	31	32	50	Земля
TERMPWR	17	33	34	51	TERMPWR
TERMPWR	18	35	36	52	TERMPWR
RESERVED (NC)	19	37	38	53	Зарезервирован
Земля	20	39	40	54	Земля
+ATN	21	41	42	55	-ATN
Земля	22	43	44	56	GROUND*
+BSY	23	45	46	57	-BSY
+ACK	24	47	48	58	-ACK
+RST	25	49	50	59	-RST
+MSG	26	51	52	60	-MSG
+SEL	27	53	54	61	-SEL
+C/D	28	55	56	62	-C/D
+REQ	29	57	58	63	-REQ
+I/O	30	59	60	64	-I/O
+DB (8)	31	61	62	65	-DB (8)
+DB (9)	32	63	64	66	-DB (9)
+DB (10)	33	65	66	67	-DB (10)
+DB (11)	34	67	68	68	-DB (11)

*Примечание: На разъеме 'RAID' этот контакт называется RAID_PRES_L и подключается к заземлению при подключении к нему кабеля, указывая на необходимость отключения встроенного контроллера SCSI и встроенных терминаторов.

4.5.8 Интерфейс IDE

Шина IDE контролируется переходной платой ввода/вывода и идет через плату ввода/вывода к разъему отсека для дисков промежуточной платы. Это обеспечивает возможность подключения периферийных устройств в отсеке для дисков, например, дисководов CDROM, DVDROM, DVDRAM или LS240. Плата ввода/вывода не содержит логической цепи или буферов для этой шины.

4.5.8.1 Описание сигналов IDE

В таблице 4-19 приведено описание сигнальных контактов разъема IDE, включая мнемонику сигналов, название и краткое описание.

Таблица 4-19. Описания сигналов IDE

Сигнал	Название и описание
CS1P_L	Select Control Register Block.
CS3P_L	Select Control Register Block.
DA[2:0]	Register Select Address (сигнал шины адресов ISA).
DACK_L	Direct Memory Access (DMA) Acknowledge.
DD[15:0]	ISA Data.
DIOR_L	Read Request. Запрос подтверждения соединения для операций чтения.
DIOW_L	Write Request. Запрос подтверждения соединения для операций записи.
DRQ	Direct Memory Access (DMA) request.
IORDY	Ready. Опциональный. При подаче на высоком уровне означает, что устройство готово к работе.
IRQ14	Interrupt Request.
RSTDRV_L	Reset. Форсирует инициализацию возбuditелей шины ISA.

4.5.8.2 Схема контактов разъема IDE

В таблице 4-2 приведена схема контактов разъема отсека для дисков промежуточной платы.

4.5.9 Интерфейс переходной платы ввода/вывода

Разъем переходной платы ввода/вывода обеспечивает интерфейсы системных устройств ввода/вывода, IDE, системы управления сервером, ISP, JTAG, прерываний и питания.

4.5.9.1 Интерфейс системных операций ввода/вывода

Переходная плата ввода/вывода сообщается с системой в основном через восьмибитную шину HL1.5, подключающую компонент SIOH к плате ввода/вывода компонента ICH4 на переходной плате ввода/вывода. Эта шина обеспечивает достаточную пропускную способность для системных функций ввода/вывода, используя при этом только 16 сигналов.

Эта шина соответствует определенным параметрам маршрутизации и имеет определенные электрические обозначения для соответствия жестким требованиям к целостности сигнала. Соотношение сигнальных контактов и контактов заземления в разъеме обеспечивает соответствие требований к импедансу и уровню взаимных помех на этой шине.

4.5.9.2 Шина IDE

Контроллер-концентратор ICH4 переходной платы ввода/вывода обеспечивает работу одной шины IDE. Шина подключается к плате ввода/вывода через интерфейсный разъем переходной платы ввода/вывода. Описание интерфейса содержится в разделе 4.5.8.

4.5.9.3 Управление сервером

Переходная плата ввода/вывода содержит контроллер управления сервером. Сигналы

системы управления сервером передаются через интерфейсный разъем переходной платы ввода/вывода. В разделе 4.5.10 подробно описываются функции управления сервером на плате ввода/вывода.

4.5.9.4 Интерфейс ISP

Переходная плата ввода/вывода позволяет программировать некоторые устройства PLD в системе. Интерфейс ISP проходит через интерфейсный разъем переходной платы ввода/вывода. В разделе 4.5.11 более подробно описываются функции ISP платы ввода/вывода. Дополнительная информация по контроллеру ISP приведена в главе, посвященной переходной плате ввода/вывода.

4.5.9.5 JTAG

Через плату ввода/вывода проходит стандартный интерфейс JTAG между переходной платой ввода/вывода и промежуточной платой. Это позволяет переходной плате ввода/вывода сообщаться с цепью JTAG на плате процессоров. Этот интерфейс не используется на плате ввода/вывода.

Плата ввода/вывода использует разъем ITP для связи с SIOH. Интерфейс ITP описывается в разделе 4.5.27.

4.5.9.6 Питание переходной платы ввода/вывода

В таблице 4-20 указан номинальный ток разъема переходной платы ввода/вывода. Учтите, что эти параметры не определяют реальные параметры шин питания, идущих от платы ввода/вывода к переходной плате ввода/вывода.

Таблица 4-20. Номинальный ток разъема переходной платы ввода/вывода

Напряжение	Источник	Номер контакта	Токонесущая способность*
3,3 В	I/O board	13	6,5 А
5 В	I/O board	8	4 А
12-V STDBY	Модуль питания (через плату ввода/вывода)	7	3,5 А
5-V STDBY	I/O riser	2	1 А
3.3-V STDBY	I/O riser	12	6 А

Примечание: *Номинальный ток разъема 1 А на контакт, снижен на 50%.
Реальная мощность, подаваемая этими источниками, будет отличаться.

4.5.9.7 Схема контактов разъема переходной платы ввода/вывода

В таблице 4-21 приведена схема контактов интерфейсного разъема переходной платы ввода/вывода.

Таблица 4-21. Схема контактов разъема переходной платы ввода/вывода

Сигнал			Сигнал	Сигнал			Сигнал
RISER_INTERLOCK0_L	B121	A121	CLK33_FWH4	GND	B61	A61	CLK66_ICH2
3.3V	B120	A120	GND	CLK33_PLD2	B60	A60	GND
GND	B119	A119	CLK33_FWH8	GND	B59	A59	INTRUDER_L
HL0	B118	A118	GND	P5V_STDBY	B58	A58	MMGPI_L
GND	B117	A117	CLK33_FWH5	PROCHOT_L	B57	A57	HPC_INTR_L
HL1	B116	A116	GND	STPCLK_L	B56	A56	RSVD
GND	B115	A115	HUBLINK_CONFIG	V_BAT	B55	A55	RSVD
HL2	B114	A114	GND	GND	B54	A54	POWER_SW_L
GND	B113	A113	HL_PAR	I2C_IPMB_SCL	B53	A53	RESET_SW_L
HL3	B112	A112	GND	I2C_IPMB_SDA	B52	A52	SDINT_SW_L
GND	B111	A111	HL_REQM	I2C_PCI_SCL	B51	A51	INIT_L
HL_STB	B110	A110	HL_REQI	I2C_PCI_SDA	B50	A50	SNCFWHWP_L
GND	B109	A109	IA64_IA32	RSVD	B49	A49	CHASS_ID_L
HL_STB_L	B108	A108	SNC_BERRIN_L	RSVD	B48	A48	GND
GND	B107	A107	CORR_ERR_L	GND	B47	A47	CLK14_ICH2
HL4	B106	A106	3.3V	I2C_SYS_SCL	B46	A46	GND
GND	B105	A105	5VSTDBY	I2C_SYS_SDA	B45	A45	RSVD
HL5	B104	A104	GND	I2C_SMB_SCL	B44	A44	SPEAKER
GND	B103	A103	CLK33_FWH6	I2C_SMB_SDA	B43	A43	ON_LED_L
HL6	B102	A102	GND	I2C_IO_SCL	B42	A42	PWR_FLT_LED_L
GND	B101	A101	CLK33_FWH9	I2C_IO_SDA	B41	A41	COOL_FLT_LED_L
HL7	B100	A100	GND	3.3V	B40	A40	GEN_FLT_LED_L
GND	B99	A99	CLK33_FWH7	IS_TCK	B39	A39	GND
5V	B98	A98	GND	IS_TDI	B38	A38	LCD_RS
3.3V	B97	A97	3.3VSTDBY	IS_TDO	B37	A37	LCD_E
GND	B96	A96	HL_STOP	IS_TMS	B36	A36	LCD_RW
PCI_IDE_RST_L	B95	A95	BUF_32KHz	IS_TRST_L	B35	A35	ISP_SCLK_LCD4
PDCS1_L	B94	A94	PDCS3_L	5V	B34	A34	ISP_MODE_LCD5
PDA2	B93	A93	PDA1	GND	B33	A33	LCD6
IRQ14	B92	A92	PDA0	RSVD	B32	A32	ISP_SDO_LCD7
PDDACK_L	B91	A91	PDIOR_L	NODE0_HP_INT_L	B31	A31	ISP_SDI
PDIOW_L	B90	A90	PIORDY	P3.3V_STDBY_GD	B30	A30	ISP_EN_L
PDDREQ	B89	A89	PDD0	GND	B29	A29	IO_REV_ID0
PDD14	B88	A88	PDD15	IO_REV_ID1	B28	A28	SERR_L
PDD1	B87	A87	PDD2	PWRGOOD	B27	A27	PS_ON_L
GND	B86	A86	3.3V	P12V_STDBY	B26	A26	SM_PWROK
PDD12	B85	A85	3.3V	P12V_STDBY	B25	A25	PLD_RST_L
PDD3	B84	A84	GND	P12V_STDBY	B24	A24	EX_RESET_L
PDD4	B83	A83	PDD13	P12V_STDBY	B23	A23	IO_REV_ID2
PDD10	B82	A82	PDD11	P12V_STDBY	B22	A22	SYS_D2D_EN
PDD9	B81	A81	PDD5	P12V_STDBY	B21	A21	ICMB_ID1_RX
PDD8	B80	A80	A20M_L	P12V_STDBY	B20	A20	ICMB_ID2_RX
PDD6	B79	A79	FERR_L	GND	B19	A19	ICMB_ID_TXEN
PDD7	B78	A78	IGNNE_L	3.3VSTDBY	B18	A18	ICMB_TX

INTOUT_L	B77	A77	ERR1_CORR	3.3VSTDBY	B17	A17	ICMB_RX
BOOT_INT1_L	B76	A76	INTR	3.3VSTDBY	B16	A16	ICMB_TXEN
BOOT_INT0_L	B75	A75	NMI	3.3VSTDBY	B15	A15	RSVD
P64H2_AB_PME_L	B74	A74	PMI_L	3.3VSTDBY	B14	A14	ISO_JTAGEN_L
P64H2_CD_PME_L	B73	A73	3.3V	GND	B13	A13	GND
P64H2_EF_PME_L	B72	A72	3.3V	3.3VSTDBY	B12	A12	5V
3.3VSTDBY	B71	A71	GND	3.3VSTDBY	B11	A11	GND
3.3VSTDBY	B70	A70	GND	3.3VSTDBY	B10	A10	CLK33_NIC
RSVD	B69	A69	3.3V	3.3VSTDBY	B9	A9	GND
GND	B68	A68	GND	GND	B8	A8	CLK33_VID
PHP_DIS_IO_L	B67	A67	3.3V	3.3V	B7	A7	GND
ICH2_PWROK	B66	A66	GND	3.3V	B6	A6	CLK33_SIO
GND	B65	A65	CLK33_ICH2	GND	B5	A5	GND
3.3V	B64	A64	GND	5V	B4	A4	CLK14_SIO
GND	B63	A63	CLK48_ICH2	5V	B3	A3	GND
CLK33_BMC	B62	A62	GND	5V	B2	A2	5V
				RISER_INTERLOCK1_L	B1	A1	5V

4.5.10 Функции управления сервером

Плата ввода/вывода содержит следующие функции управления сервером:

- Управление вентилятором
- Определение температуры
- Определение напряжения
- Управление перезагрузкой
- Журнал событий системы (SEL)
- Информация FRU

Контроллер управления сервером на переходной плате ввода/вывода отвечает за управление перечисленными выше функциями.

4.5.10.1 Блок-схема

На рисунке 4-4 показана блок-схема подсистемы управления сервером.

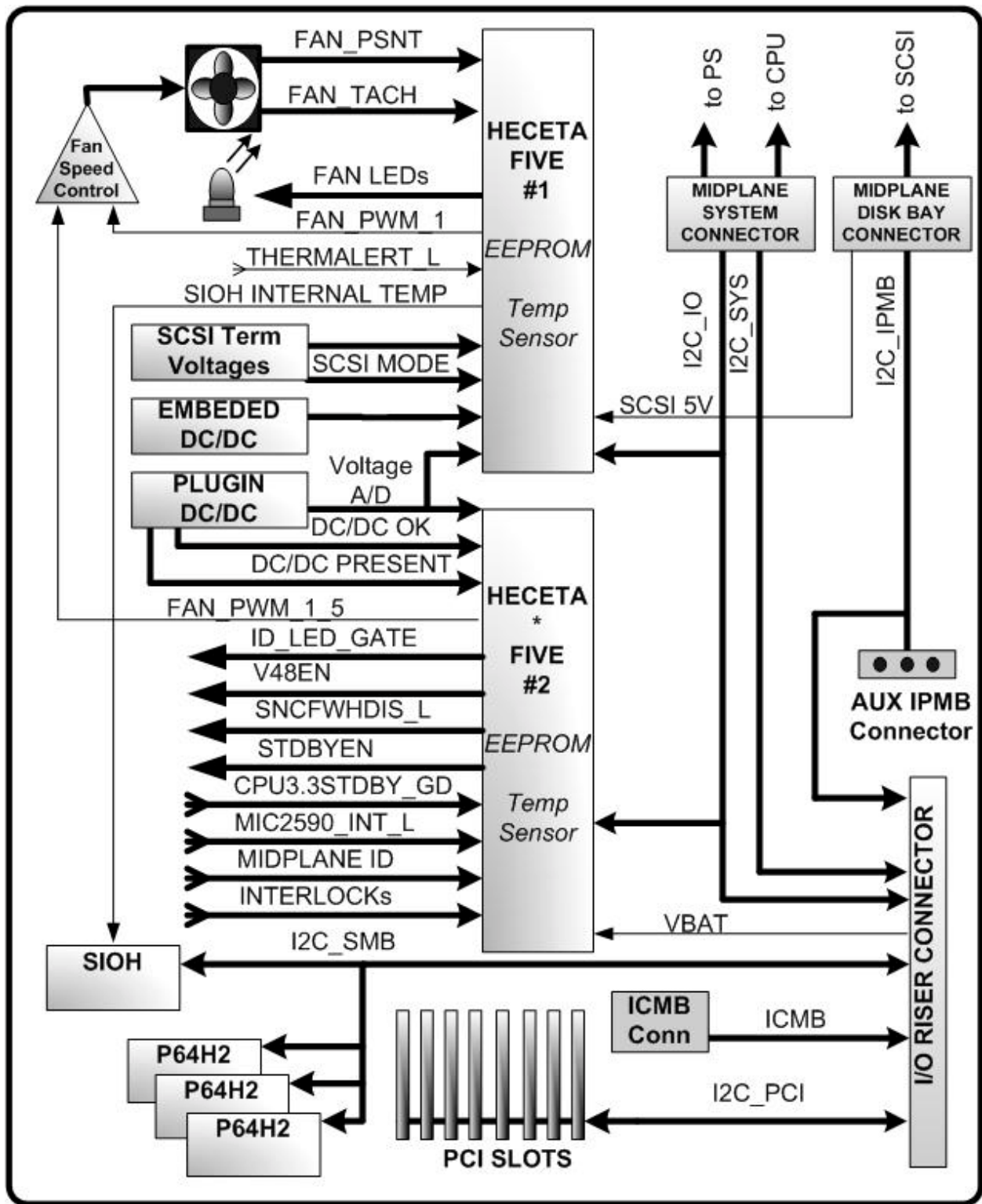


Рисунок 4-4. Блок-схема системы управления сервером

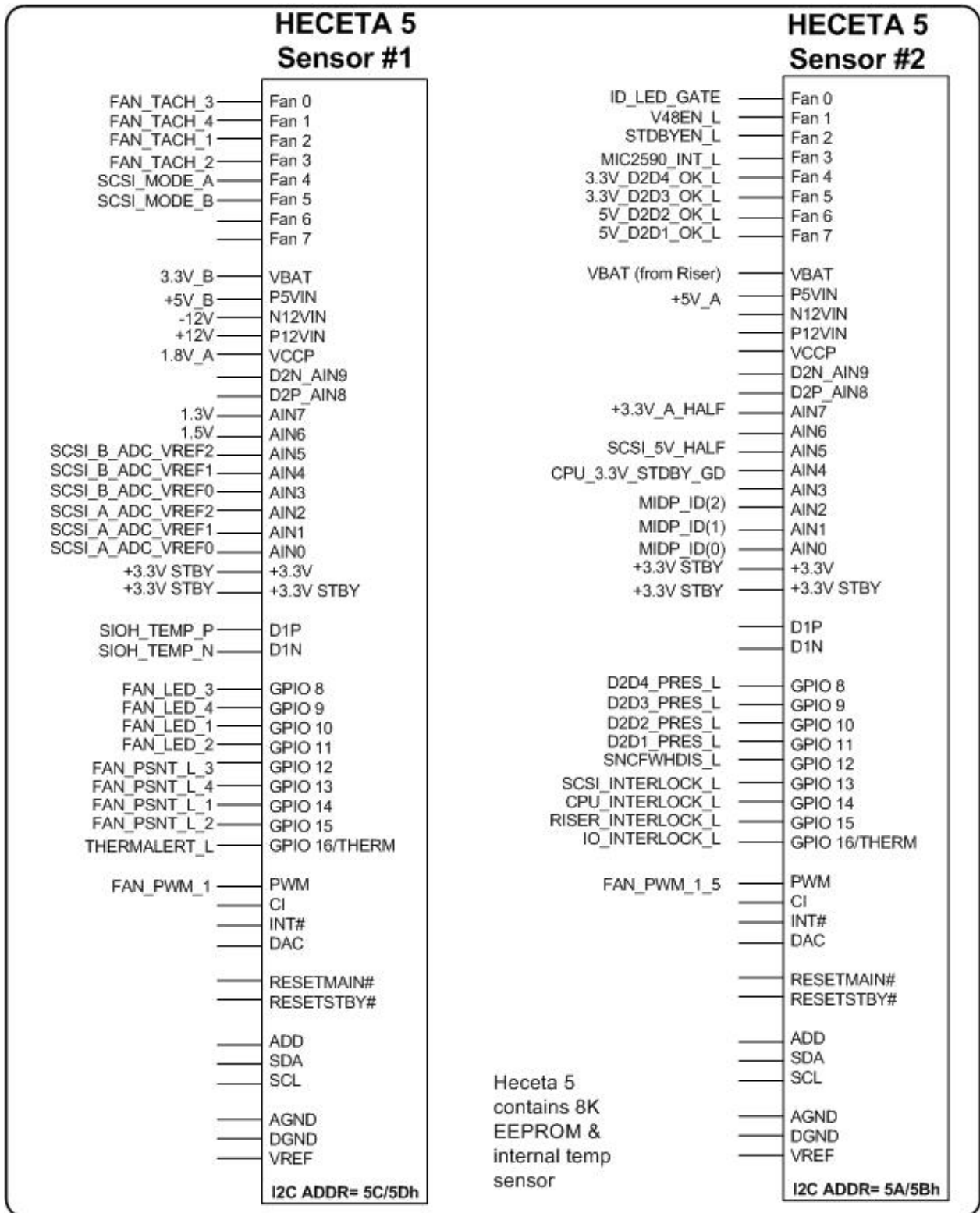


Рисунок 4-5. Датчики системы управления сервером

Таблица 4-22. Адресное пространство системы управления сервером

Устройство	Ссылка	Шина I ² C	Диапазон адресов
Несета5 #1	U2E1	I2C_IO	5C/5D
Несета5 #2	U1A1	I2C_IO	5A/5B
MIC2590 (1,2)	U3B1	I2C_IO	80/81
MIC2590 (3,4)	U5B1	I2C_IO	82/83
MIC2590 (5,6)	U6B1	I2C_IO	84/85
MIC2590 (7,8)	U8B1	I2C_IO	86/87
SIOH	U8F1	I2C_SMB	EC/ED
P64H2 AB	U5E3	I2C_SMB	CA/CB
P64H2 CD	U7E1	I2C_SMB	C8/C9
P64H2 EF	U9E1	I2C_SMB	C4/C5

4.5.10.2 Управление вентилятором

Плата ввода/вывода содержит цепь управления вентиляторами и цепи питания вентиляторов корпуса. В системе имеется четыре вентилятора (за исключением вентиляторов блока питания), работающих по схеме 3 + 1 с резервированием. В системе имеется два набора интерфейсов и систем управления вентиляторами. Один из них управляет двумя 1,5-дюймовыми вентиляторами, отвечающими за охлаждение процессоров, другой управляет двумя дюймовыми вентиляторами, отвечающими за охлаждение памяти и логических цепей системы. Оба набора вентиляторов служат для охлаждения подсистемы ввода/вывода. Система охлаждения отказоустойчива. При неисправности одного вентилятора система сохранит работоспособность, хотя возможно с пониженной производительностью.

Питание вентиляторов подается с шины питания 48 В. Обычно вентиляторы работают на пониженной скорости, что обеспечивает снижение общего уровня шума. Однако вентиляторы могут работать на полной скорости, чтобы повысить потенциал системы с точки зрения охлаждения. Это производится при неисправности одного вентиляторов или при повышении температуры корпуса. Подсистема управления сервером производит мониторинг скорости вентиляторов, определяя неисправности, а также производит мониторинг датчиков температуры системы и компонентов. Подсистема управления сервером может повысить скорость вентиляторов для улучшения характеристик воздушного потока и снижения температуры системы.

Скорость вентиляторов контролируется цепями HECETA5 с широтно-импульсной модуляцией. Обычно вентиляторы работают на пониженной скорости, что обеспечивает снижение общего уровня шума. Эта скорость устанавливается программным обеспечением, управляющим сервером, которое записывает соответствующее значение в регистры скорости HECETA5. Для дюймовых вентиляторов и для полутордюймовых вентиляторов используются отдельные цепи с широтно-импульсной модуляцией. Это позволяет системе управления сервером независимо контролировать скорость двух наборов.

При включении системы вентиляторы работают на высокой скорости.

Контроллер управления сервером HECETA5 также обеспечивает функции определения скорости вентиляторов. Каждый вентилятор содержит сигнал тахометра (FAN_TACH_x), частота импульсов которого пропорциональна реальной скорости вентилятора. Программное обеспечение для управления сервером может опрашивать устройство HECETA5, определяя, работают ли вентиляторы в установленном диапазоне скорости. Программное обеспечение

может инициировать определенные действия при замедлении или остановке вентилятора, например, увеличить скорость остальных вентиляторов и/или сообщить пользователю о неисправности вентилятора. Помимо отправки сообщения о неисправности на системную консоль, контроллер управления сервером также может включать индикатор на блоке вентиляторов, указывающий, какой из вентиляторов неисправен. Каждый установленный вентилятор подает сигнал присутствия в системе (FAN_PSNT_L_x), считываемый интерфейсом управления сервером. Благодаря этому ПО для управления сервером может различать сигналы о неисправности вентилятора и сигналы о снятии вентиляторов.

Вентиляторы подключаются к плате ввода/вывода через шестиконтактные разъемы. Благодаря электрическому и физическому подключению к плате ввода/вывода блоки вентиляторов можно устанавливать и снимать во время работы системы (горячая установка блоков вентиляторов).

В *Таблице 4-25* содержатся значения бит управления индикаторами и тахометром. В *таблице 4-23* описываются сигналы интерфейса вентиляторов. В *таблице 4-24* описывается схема контактов разъема вентилятора.

Таблица 4-23. Описание сигналов разъемов для вентиляторов

Сигнал	Описание сигнала
48V	Питание вентилятора (48 В)
48V RTN	Возвратная линия 48 В
SPEED	Цепь широтно-импульсной модуляции, устанавливающая скорость вентиляторов
TACH	Выходной сигнал тахометра вентилятора, указывающий реальную скорость вентилятора
PRESENCE_L/LED	Этот сигнал указывает на физическое присутствие вентилятора в системе и контролирует работу индикатора
GND	Возвратная линия сигналов управления – подключена к шине заземления логической цепи

Таблица 4-24. Схема контактов разъемов для вентиляторов

Сигнал	Контакт	Контакт	Сигнал
48V	1	4	48V RTN
SPEED (PWM)	2	5	GND
TACH	3	6	PRESENCE/LED

Таблица 4-25. Сигналы управления вентиляторами

Сигнал	Функция	Порт I ² C	Обозначение контакта
FAN_TACH_1	Входной сигнал тахометра вентилятора 1 (1 дюйма)	5C/5D	FAN 2
FAN_TACH_2	Входной сигнал тахометра вентилятора 2 (1 дюйма)	5C/5D	FAN 3
FAN_TACH_3	Входной сигнал тахометра вентилятора 3 (1,5 дюйма)	5C/5D	FAN 0
FAN_TACH_4	Входной сигнал тахометра вентилятора 4 (1,5 дюйма)	5C/5D	FAN 1
FAN_PSNT_L_1	Входной сигнал присутствия в системе вентилятора 1 (1 дюйма) (низкий уровень)	5C/5D	GPIO 14
FAN_PSNT_L_2	Входной сигнал присутствия в системе вентилятора 2 (1 дюйма) (низкий уровень)	5C/5D	GPIO 15
FAN_PSNT_L_3	Входной сигнал присутствия в системе вентилятора 3 (1,5 дюйма) (низкий уровень)	5C/5D	GPIO 12
FAN_PSNT_L_4	Входной сигнал присутствия в системе вентилятора 4 (1,5 дюйма) (низкий уровень)	5C/5D	GPIO 13
FAN_LED_1	Выходной сигнал неисправности вентилятора 1 (1 дюйма), подаваемый на индикатор (включает индикатор)	5C/5D	GPIO 10
FAN_LED_2	Выходной сигнал неисправности вентилятора 2 (1 дюйма), подаваемый на индикатор (включает индикатор)	5C/5D	GPIO 11
FAN_LED_3	Выходной сигнал неисправности вентилятора 3 (1,5 дюйма), подаваемый на индикатор (включает индикатор)	5C/5D	GPIO 8
FAN_LED_4	Выходной сигнал неисправности вентилятора 4 (1,5 дюйма), подаваемый на индикатор (включает индикатор)	5C/5D	GPIO 9
FAN_PWM_1	Установка нормальной (пониженной) скорости дюймовых вентиляторов- 0=работа на полной скорости	5C/5D	PWM
FAN_PWM_1_5	Установка нормальной (пониженной) скорости полторадюймовых вентиляторов- 0=работа на полной скорости	5A/5B	PWM

4.5.10.3 Датчики температуры

Плата ввода/вывода содержит три датчика температуры, расположенные в стратегических точках платы и позволяющие контроллеру управления сервером осуществлять мониторинг внутренних температур. Датчики подключены к контроллеру управления сервером через шину I²C. Пороговые значения температуры устанавливаются в программном обеспечении системы управления сервером, они не закодированы в плате. Система управления сервером использует показания датчиков температуры, чтобы сообщать о состоянии внутренних систем на пользовательский интерфейс и/или контролировать скорость вентиляторов в зависимости от изменения требований к охлаждению.

На рисунке 4-2 показано примерное расположение датчиков температуры. Датчик температуры 1 располагается в контроллере HECETA5 и измеряет температуру на участке платы, на котором расположен этот контроллер. Температурный датчик 2 представляет собой диод в контроллере SIOH, мониторинг которого осуществляется контактами #1 D1P и D1N-контроллера HECETA5. Датчик температуры 3 располагается во втором контроллере HECETA5 и измеряет температуру на участке платы, на котором расположен этот контроллер.

4.5.10.4 Датчики напряжения

Контроллер управления сервером может осуществлять мониторинг напряжений платы ввода/вывода. Аналого-цифровые преобразователи контроллеров HECETA5 преобразуют сигналы напряжения в цифровой формат, считываемый через шину I²C. Таким образом

осуществляется мониторинг всех шин питания платы ввода/вывода, за исключением шины питания 5 В режима ожидания, мониторинг которой производится переходной платой ввода/вывода. Также производится мониторинг шины питания 5 В, используемой на объединительной плате SCSI, поскольку на самой объединительной плате мониторинг невозможен. В связи с отсутствием аналого-цифровых входных сигналов 5 В, это напряжение считывается из внешних шин с помощью разделителя напряжения. Таким образом, реальные показания датчика составляют половину реального напряжения шины питания 5 В объединительной платы SCSI. Также с помощью разделителя напряжения считывается напряжение вспомогательной шины питания 3,3В_A. В *таблице 4-26* указаны напряжения, мониторинг которых может производиться системой управления сервером на плате ввода/вывода.

Таблица 4-26. Список датчиков напряжения

Напряжение	Основная область использования	Порт I ² C	Обозначение контакта
1.3V	Оконечное напряжение SIOH SP	5C/5D	AIN7
1.5V	Напряжение ядра SIOH	5C/5D	AIN6
1,8V_A	Напряжение ядра P64H2	5C/5D	VCCP
3.3V_A	Питание устройств PCI и других устройств с рабочим напряжением 3,3 В Учтите, что аналогово-цифровые показания составляют половину реального напряжения.	5A/5B	AIN7
3.3V_B	Питание устройств PCI и других устройств с рабочим напряжением 3,3 В	5C/5D	VBAT
3,3V STDBY	Вспомогательная шина питания устройств PCI и других устройств, работающих в режиме ожидания	5C/5D	3,3V STDBY
“	“	5C/5D	3.3V MAIN
“	“	5A/5B	3,3V STDBY
“	“	5A/5B	3.3V MAIN
5V_A	Питание устройств PCI и других устройств с рабочим напряжением 5 В	5A/5B	P5VIN
5V_B	Питание устройств PCI и других устройств с рабочим напряжением 5 В	5C/5D	P5VIN
SCSI_5V_HALF	Шина питания 5 В объединительной платы SCSI. Учтите, что аналогово-цифровые показания составляют половину реального напряжения.	5A/5B	AIN5
12V	Питание устройств PCI с рабочим напряжением 12 В	5C/5D	P12VIN
N12V	Питание устройств PCI с рабочим напряжением -12 В	5C/5D	N12VIN
VBAT	Напряжение батареи переходной платы ввода/вывода	5A/5B	VBAT
SCSI_A_ADC_VREF0	Оконечное напряжение 0 канала SCSI A	5C/5D	AIN0
SCSI_A_ADC_VREF1	Оконечное напряжение 1 канала SCSI A	5C/5D	AIN1
SCSI_A_ADC_VREF2	Оконечное напряжение 2 канала SCSI A	5C/5D	AIN2
SCSI_B_ADC_VREF0	Оконечное напряжение 0 канала SCSI B	5C/5D	AIN3
SCSI_B_ADC_VREF1	Оконечное напряжение 1 канала SCSI B	5C/5D	AIN4
SCSI_B_ADC_VREF2	Оконечное напряжение 2 канала SCSI B	5C/5D	AIN5

4.5.10.5 Мониторинг преобразователей постоянного тока

Помимо считывания выходного напряжения съемных преобразователей постоянного тока,

система управления сервером может определять, установлены ли преобразователи в системе, и подают ли они сигналы Power_OK. В *таблице 4-27* описываются сигналы управления преобразователями постоянного тока системы управления сервером.

Таблица 4-27. Сигналы управления преобразователями постоянного тока системы управления сервером

Сигнал	Функция	Порт I ² C	Обозначение контакта
D2D1_PRES_L	Преобразователь 5 В D2D1 установлен- 0=установлен	5A/5B	GPIO11
D2D2_PRES_L	Преобразователь 5 В D2D2 установлен- 0=установлен	5A/5B	GPIO10
D2D3_PRES_L	Преобразователь 3,3 В D2D3 установлен- 0=установлен	5A/5B	GPIO9
D2D4_PRES_L	Преобразователь 3,3 В D2D4 установлен- 0=установлен	5A/5B	GPIO8
5V_D2D1_OK_L	Преобразователь 5 В D2D1, Power OK - 0=OK	5A/5B	GPIO 7
5V_D2D2_OK_L	Преобразователь 5 В D2D2, Power OK - 0=OK	5A/5B	GPIO 6
3.3V_D2D3_OK_L	Преобразователь 3,3 В D2D3, Power OK - 0=OK	5A/5B	GPIO 5
3.3V_D2D4_OK_L	Преобразователь 3,3 В D2D4, Power OK - 0=OK	5A/5B	GPIO 4

4.5.10.6 Управление перезагрузкой

Контроллер управления сервером может инициировать определенные последовательности перезагрузки, отправляя сигналы с переходной платы ввода/вывода на плату ввода/вывода. Цепь перезагрузки описывается в разделе 4.5.14.

4.5.10.7 Информация FRU

На плате ввода/вывода имеется два устройства EEPROM, в которых хранится информация FRU. В них хранится номер AA платы, серийный номер и другая информация о плате.

4.5.10.8 Другие функции управления сервером

В *таблице 4-28* описываются другие функции системы управления сервером.

Таблица 4-28. Другие сигналы системы управления сервером

Сигнал	Функция	Порт I ² C	Обозначение контакта
THERMALERT_L	Сигнал Thermalert платы процессоров.	5C/5D	GPIO16
SCSIMODE_A	Указывает, что канал А шины SCSI работает в режиме SE (низкий уровень сигнала) или в режиме LVD (высокий уровень сигнала).	5C/5D	GPIO4
SCSIMODE_B	Указывает, что канал В шины SCSI работает в режиме SE (низкий	5C/5D	GPIO5

	уровень сигнала) или в режиме LVD (высокий уровень сигнала).		
IO_INTERLOCK_L	Низкий уровень сигнала означает, что плата ввода/вывода нормально подключена к промежуточной плате.	5A/5B	GPIO16
RISER_INTERLOCK_L	Низкий уровень сигнала означает, что переходная плата ввода/вывода нормально подключена к плате ввода/вывода.	5A/5B	GPIO15
CPU_INTERLOCK_L	Низкий уровень сигнала означает, что плата процессоров нормально подключена к промежуточной плате.	5A/5B	GPIO14
SCSI_INTERLOCK_L	Низкий уровень сигнала означает, что объединительная плата SCSI нормально подключена к промежуточной плате.	5A/5B	GPIO13
SNCFWDIS_L	Выходной сигнал, устанавливающий состояние сигнала отключения процессора, отправляемый концентратором встроенного микрокода SNC.	5A/5B	GPIO12
MIC2590_INT_L	Указывает состояние объединенных прерываний четырех контролеров питания (MIC2590), обеспечивающих горячую установку устройств PCI.	5A/5B	GPIO3
STDBYEN	Выходной сигнал, устанавливающий состояние включения режима ожидания на цепи горячей установки процессора.	5A/5B	GPIO2
48VEN	Выходной сигнал, устанавливающий состояние включения шины питания 48 В на цепи горячей установки процессора.	5A/5B	GPIO1
ID_LED_GATE	Включает цепь идентификационного индикатора корпуса (высокий уровень сигнала = индикатор включается).	5A/5B	GPIO0
CPU_3.3VSTDBY_GD	Указывает состояние сигналов power good шины питания процессора 3,3 В режима ожидания.	5A/5B	AIN4
MIDP_ID(2)*	Идентификационный бит 2 промежуточной платы.	5A/5B	AIN2
MIDP_ID(1)*	Идентификационный бит 1 промежуточной платы.	5A/5B	AIN1
MIDP_ID(0)*	Идентификационный бит 0 промежуточной платы.	5A/5B	AIN0

* Идентификационные сигналы промежуточной платы указывают версию промежуточной платы.

4.5.11 Шина ISP

На плате ввода/вывода имеется четыре программируемых логических устройства. Это устройства PLD Lattice* 2064VE или 2128VE. Эти устройства могут программироваться контроллером управления сервером на промежуточной плате ввода/вывода с помощью шины ISP. Сигнал ISP_ENABLE_L указывает, когда по шине передаются данные ISP. На *рисунке 4-6* показана схема ISP платы ввода/вывода. В *таблице 4-29* перечислены шунтирующие резисторы процессора и объединительной платы SCSI. Учтите, что для правильного

шунтирования платы процессоров или платы SCSI логика ISP должны быть отключена. Для шунтирования используются резисторы 0 Ом.

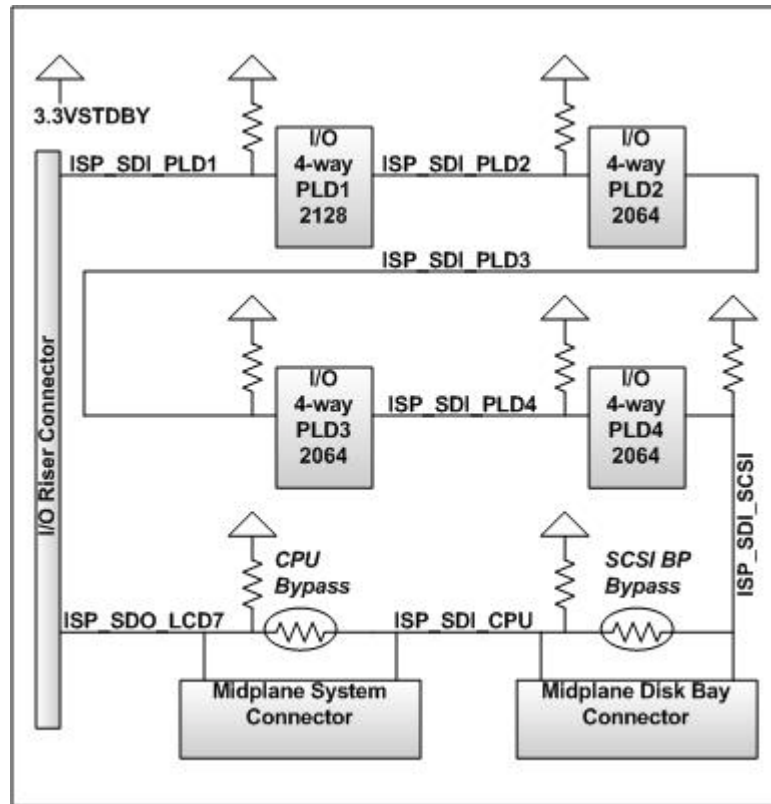


Рисунок 4-6. Схема ISP

Таблица 4-29. Шунтирующие резисторы ISP

Шунтируемый компонент/плата	Резистор (установлен для шунтирования)
Плата процессора	R6J12
Объединительная плата SCSI	R2J22

4.5.12 Система питания

Плата ввода/вывода разработана для распределенной архитектуры питания SSI. В таких системах основное питание идет по шине 48 В. Это позволяет обеспечить более высокую мощность при более низкой силе тока и использовать меньшие разъемы питания на плате. Напряжение 48 В преобразуется локально в напряжения 3,3 В и 5 В. Это обеспечивает более точную стабилизацию напряжения и локальный контроль питания.

Помимо шины питания 48 В, на плату ввода/вывода подается напряжение через разъем промежуточной платы. Напряжение 12 В режима ожидания подается блоками питания системы. Это напряжение подается всегда, когда система подключена к сети переменного тока. Это напряжение контролируют преобразователи постоянного тока и передается на плату ввода/вывода для генерирования напряжений 3,3 В режима ожидания и 5 В режима ожидания.

Плата ввода/вывода также получает напряжение 12 В через разъем промежуточной платы. Эта шина питания 12 В идет от системной шины питания 48 В на объединительной плате SCSI, и поэтому действует только когда питание системы включено. Напряжение 12 В используется для подачи питания на разъемы PCI и для управления встроенными цепями преобразователей.

Плата ввода/вывода также получает два напряжения, генерируемые переходной платой ввода/вывода. Это напряжения 5 В режима ожидания и 3,3 В режима ожидания. Они используются платой ввода/вывода и подаются на разъем промежуточной платы для использования другими компонентами системы.

Встроенные цепи преобразователей на плате ввода/вывода генерируют остальные требуемые напряжения.

На *рисунке 4-7* показано распределение питания на плате ввода/вывода.

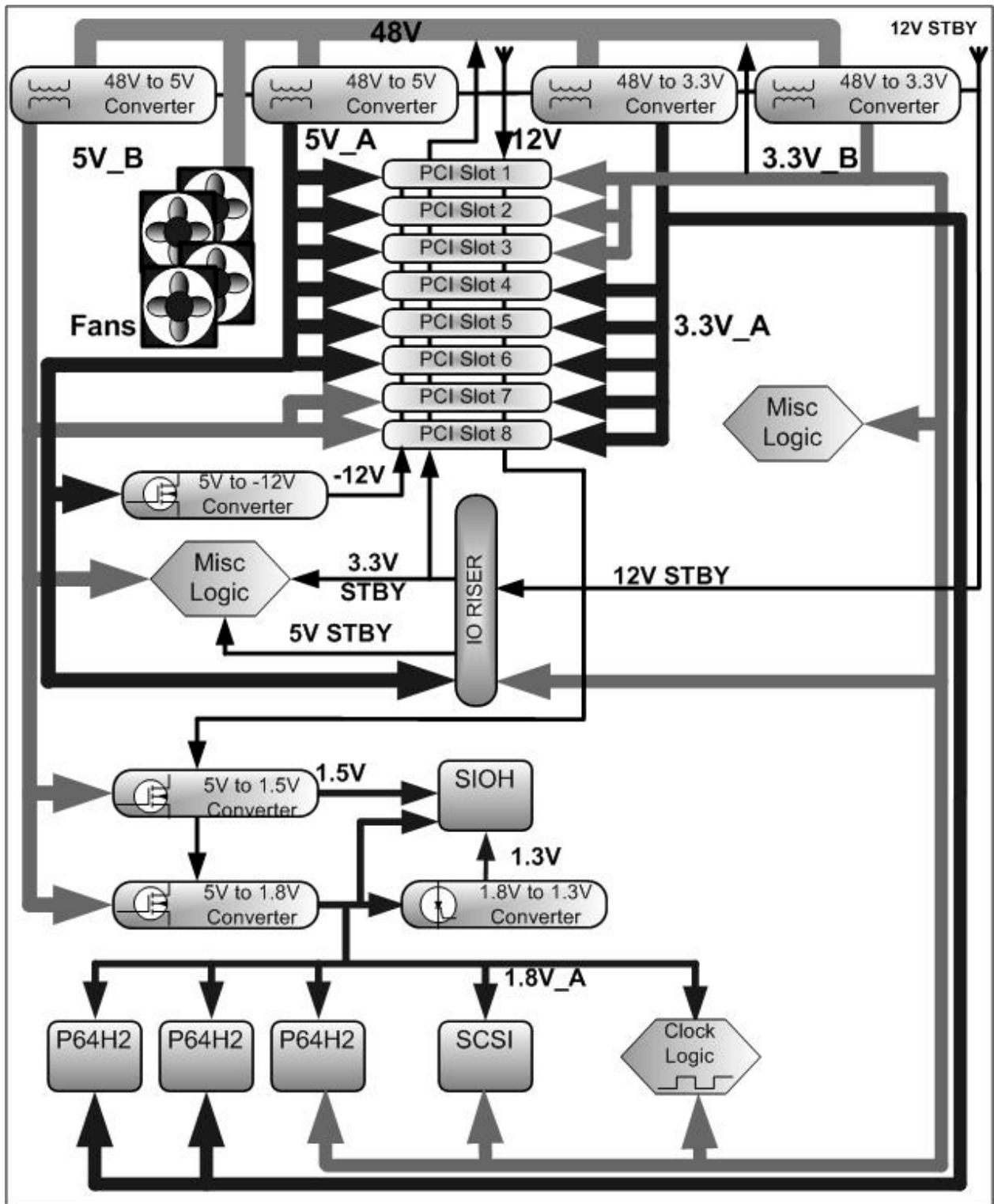


Рисунок 4-7. Распределение питания

4.5.12.1 Шины питания 3,3 В и 5 В

Плата ввода/вывода генерирует напряжения 3,3 В и 5 В, преобразовывая напряжение шины питания 48 В. Для этого используется два съемных преобразователя постоянного тока

рабочей мощностью 100 Вт. Эти преобразователи поддерживают режим совместного использования тока, благодаря чему пара преобразователей обеспечивает работу общей шины. На плате ввода вывода имеется несколько выходных шин питания, помеченных 3.3V_A, 3.3V_B, 5V_A, и 5V_B. Преобразователи T-D2D бывают двух видов. Версия 5 В используется для подачи напряжения 5 В. Версия с идентификацией напряжения (VID) используется для подачи напряжения 3,3 В. Сигналы VID имеют двоичное значение, соответствующее выходным параметрам шины питания 3,3 В. Учтите, что версия T-D2D поддерживает только два выходных уровня: 3,3 В и 2,5 В. Версия AD2D поддерживает все выходные уровни. Значение фиксируется резисторами и привязывается к земле или оставляется и подается на преобразователь. Разъемы 5 В и 3,3 В имеют разные схемы контактов, что предотвращает установку неправильной версии D2D.

Интерфейс преобразователя обеспечивает мониторинг преобразователей и управление ими. Сигнал Enable позволяет систем контролировать выходные параметры преобразователей. Сигнал Power Good указывает, что преобразователи работают нормально. Мониторинг этого сигнала производится цепью перезагрузки системы для определения нормального питания цепей.

В *таблице 4-30* описывается схема контактов преобразователя постоянного тока 5 В.

В *таблице 4-31* описывается схема контактов преобразователя постоянного тока VID.

Таблица 4-30. Схема контактов разъема преобразователя постоянного тока T-D2D 5B

Сигнал	Контакт	Контакт	Сигнал
48V	1	70	48V_RTN
48V	2	69	48V_RTN
48V	3	68	48V_RTN
NC	4	67	NC
(KEY PIN)	5	66	12V
NC	6	65	NC
Нажмите "Да" (OK)	7	64	PRESENT_L
NC	8	63	NC
NC	9	62	NC
NC	10	61	NC
NC	11	60	SHARE
PWRGD	12	59	OUTEN
NC	13	58	NC
NC	14	57	NC
SENSE_N	15	56	SENSE_P
GND	16	55	GND
GND	17	54	GND
+5V	18	53	+5V
+5V	19	52	+5V
GND	20	51	GND
GND	21	50	GND
+5V	22	49	+5V
+5V	23	48	+5V
GND	24	47	GND

GND	25	46	GND
+5V	26	45	+5V
+5V	27	44	+5V
GND	28	43	GND
GND	29	42	GND
+5V	30	41	+5V
+5V	31	40	+5V
GND	32	39	GND
GND	33	38	GND
+5V	34	37	+5V
+5V	35	36	+5V

Таблица 4-31. Схема контактов разъема преобразователя постоянного тока T-D2D VID

Сигнал	Контакт	Контакт	Сигнал
48V	1	70	48V_RTN
48V	2	69	48V_RTN
48V	3	68	48V_RTN
(KEY PIN)	4	67	NC
NC	5	66	12V
NC	6	65	NC
Нажмите "Да" (OK)	7	64	PRESENT_L
NC	8	63	VID4
VID3	9	62	VID2
VID1	10	61	VID0
NC	11	60	SHARE
PWRGD	12	59	OUTEN
NC	13	58	NC
NC	14	57	NC
SENSE_N	15	56	SENSE_P
GND	16	55	GND
GND	17	54	GND
+3.3V	18	53	+3.3V
+3.3V	19	52	+3.3V
GND	20	51	GND
GND	21	50	GND
+3.3V	22	49	+3.3V
+3.3V	23	48	+3.3V
GND	24	47	GND
GND	25	46	GND
+3.3V	26	45	+3.3V
+3.3V	27	44	+3.3V
GND	28	43	GND
GND	29	42	GND
+3.3V	30	41	+3.3V
+3.3V	31	40	+3.3V
GND	32	39	GND
GND	33	38	GND
+3.3V	34	37	+3.3V
+3.3V	35	36	+3.3V

Плата ввода/вывода содержит отдельные индикаторы ошибок всех преобразователей постоянного тока. Эти индикаторы контролируются программируемыми логическими устройствами ошибок. Эти устройства PLD включают индикатор ошибки, если преобразователь постоянного тока установлен и включен, но не подает сигнал PWRGD. Этот

индикатор будет гореть даже если питание системы выключается. Он перезагружается при отключении питания режима ожидания или при включении питания и устранении неисправности. В *таблице 4-32* указано расположение преобразователей постоянного тока и соответствующих индикаторов ошибок.

Таблица 4-32. Индикаторы ошибок преобразователей постоянного тока

D2D	Шина питания	Индикатор
D2D1-J1C1	5V_A	DS1D2
D2D2-J1F1	5V_B	DS1D3
D2D3-J2C1	3.3V_A	DS1D1
D2D4-J2F3	3.3V_B	DS1D4

4.5.12.2 Шины питания 1,3 В, 1,5 В и 1,8 В

Напряжения 1,3 В, 1,5 В и 1,8 В генерируются на плате ввода/вывода для использования внутренними цепями. Используются как цепи с понижением напряжения, так и цепи с линейным напряжением. В таблице ниже описываются цепи питания и нагрузки.

Таблица 4-33. Спецификации преобразователей 1,3 В, 1,5 В, 1,8 В, -12 В

Преобразователь	E in	E out	I out*	Макс. I out	Диапазон	di/dt	Погр. DC	Макс. отклонение (DC + AC)	Тип
					погрешности				
1.3 V SP	1,8 В	1,3 В	2 А	2 А	±5 % to 10 %	20 А/уS	± 1.5 %	± 5 %	Линейный
1.5 V SIOH Core	5 В	1,5 В	11,6 А	12,5 А	±5 % to 10 %	20 А/уS	± 1.5 %	± 5 %	С понижением
1.8 V P64H2 Core	5 В	1,8 В	7 А	8,5 А	±5 % to 10 %	20 А/уS	± 1.5 %	± 5 %	С понижением
-12 В	5 В	-12 В	2,6 А	3 А	±5 % to 10 %	2 А/уS	± 3 %	± 5 %	Макс.

Примечание: *Указывает потенциал цепи преобразователя (не нагрузку).

Цепи с понижением напряжения располагаются на контроллере TPS5211 (Happy Valley*). Линейная цепь располагается на линейном стабилизаторе EZ1581*.

4.5.12.3 Требования к входной мощности

В *таблице 4-34* указаны требования к входной мощности шин питания платы ввода/вывода. Учтите, что плата ввода/вывода подает мощность на несколько шин питания (например, питание на шину +12 В режима ожидания подается на плату ввода/вывода с промежуточной платы и передается платой ввода/вывода на переходную плату ввода/вывода). Требования к мощности этих плат приведены только для информационных целей и могут быть изменены, причем в настоящую спецификацию изменения включаться не будут. Требования к мощности приведены в последних версиях спецификаций соответствующих плат. В *таблице 4-5* и *таблице 4-20* содержится информация по номинальному току промежуточной платы и переходной платы ввода/вывода.

Таблица 4-34. Требования к входной мощности

Шина питания	Источник	Только питание системы ввода/вывода	Выходная мощность, подается платой ввода/вывода		Общая мощность
			системная плата	Power	
+48V	Промежуточная плата (блок питания)	320 Вт	Нет	Нет	320 Вт
+12VSTDBY	Промежуточная плата (блок питания)	5 Вт	I/O riser	23 Вт	28 Вт
+12V	Промежуточная плата (Объединительная плата SCSI)	26 Вт	Нет	Нет	26 Вт
+3.3VSTDBY	I/O riser	7,5 Вт	Процессор и передняя панель	2,5 Вт	10 Вт
+5VSTDBY	I/O riser	0,5 Вт	Объединительная плата SCSI	0,75 Вт	1.25 Вт

4.5.12.4 Ограничения шин питания PCI 3,3 В и 5 В

Питание на разъемы PCI подается по шинам 5 В и 3,3 В. Каждый разъем поддерживает максимальную выделяемую мощность 25 Вт. Однако существуют ограничения общей мощности, потребляемой всеми разъемами PCI. Эти ограничения связаны с ограничениями выходной мощности преобразователей постоянного тока. На все разъемы одновременно максимальная мощность подаваться не может. Поскольку разъемы PCI получают питание от разных преобразователей, существуют ограничения и для групп разъемов на отдельных шинах питания, идущих от преобразователей. В *таблице 4-35* описано распределение разъемов PCI на группы, общее потребление мощности для каждой группы и среднее потребление мощности на разъем.

Таблица 4-35. Ограничения шин питания PCI 3,3 В и 5 В

Группа	Разъемы в группе	Общая мощность для группы	Средняя мощность на разъем
5V_A	SLOT 1-6	75 Вт	15 Вт
5V_B	SLOT 7-8	60 Вт	20 Вт
3.3V_A	SLOT 4-8	90 Вт	18 Вт
3.3V_B	SLOT 1-3	54 Вт	18 Вт

4.5.12.5 Последовательность включения питания

Преобразователи T-D2D и Happy Valley используют сигналы enable и power good, обеспечивающие точный контроль последовательности включения питания. Программируемое логическое устройство перезагрузки контролирует эту последовательность, наряду с сигналами clock enable и reset. Линейные преобразователи включаются при подаче на них соответствующего входного напряжения.

Последовательность включения питания показана на *рисунках 4-8 и 4-9*. Эта последовательность показывает действия, происходящие с включения питания системы по команде контроллера управления сервером или кнопки питания на передней панели. По завершении последовательности шины питания работают нормально, синхронизирующие импульсы активны, и происходит перезагрузка при включении. Информация по снятию состояния перезагрузки при включении приведена на *рисунке 4-12*.

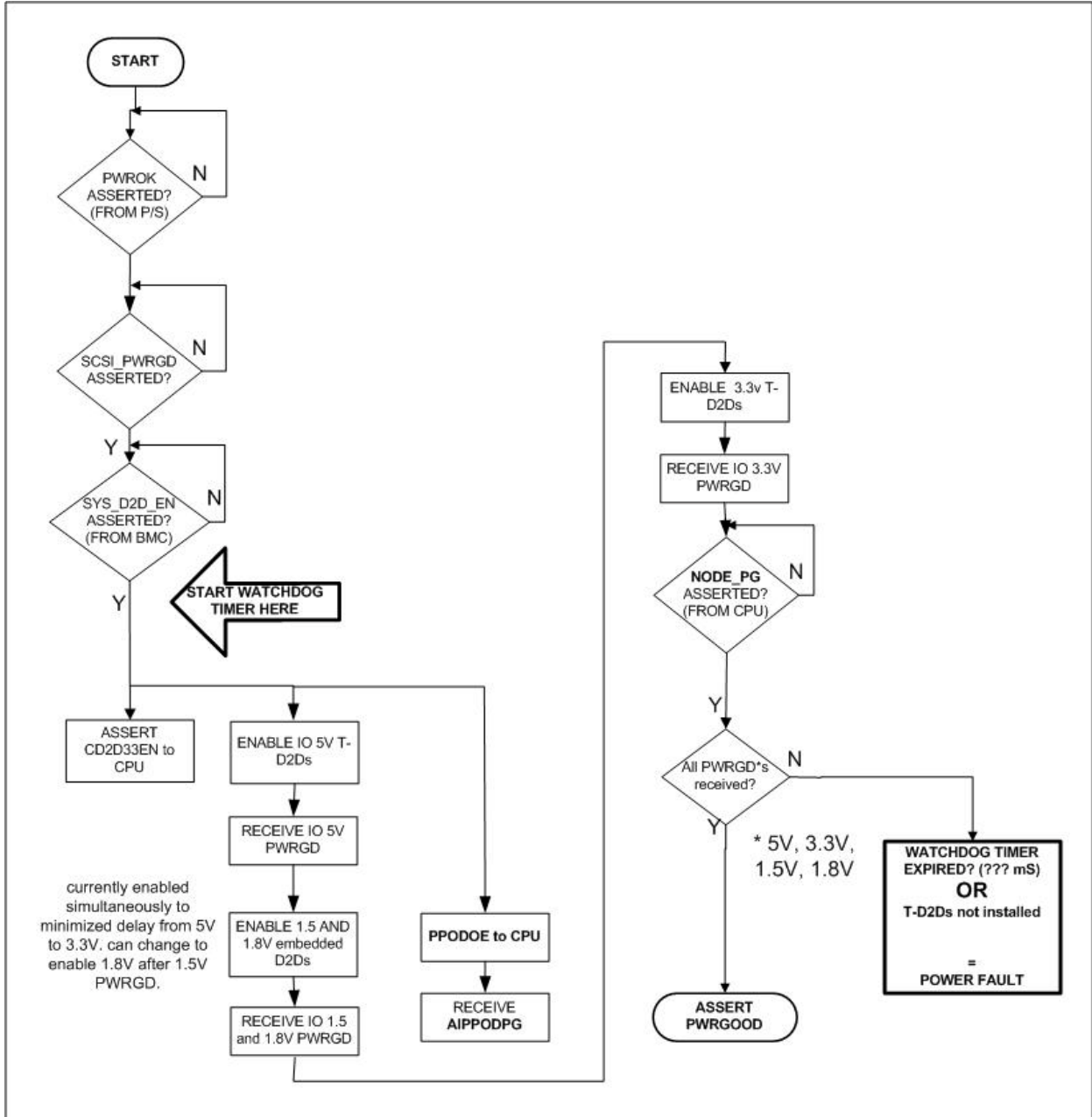


Рисунок 4-8. Последовательность включения питания

Временные характеристики последовательности включения питания показаны на *рисунке 4-9*.

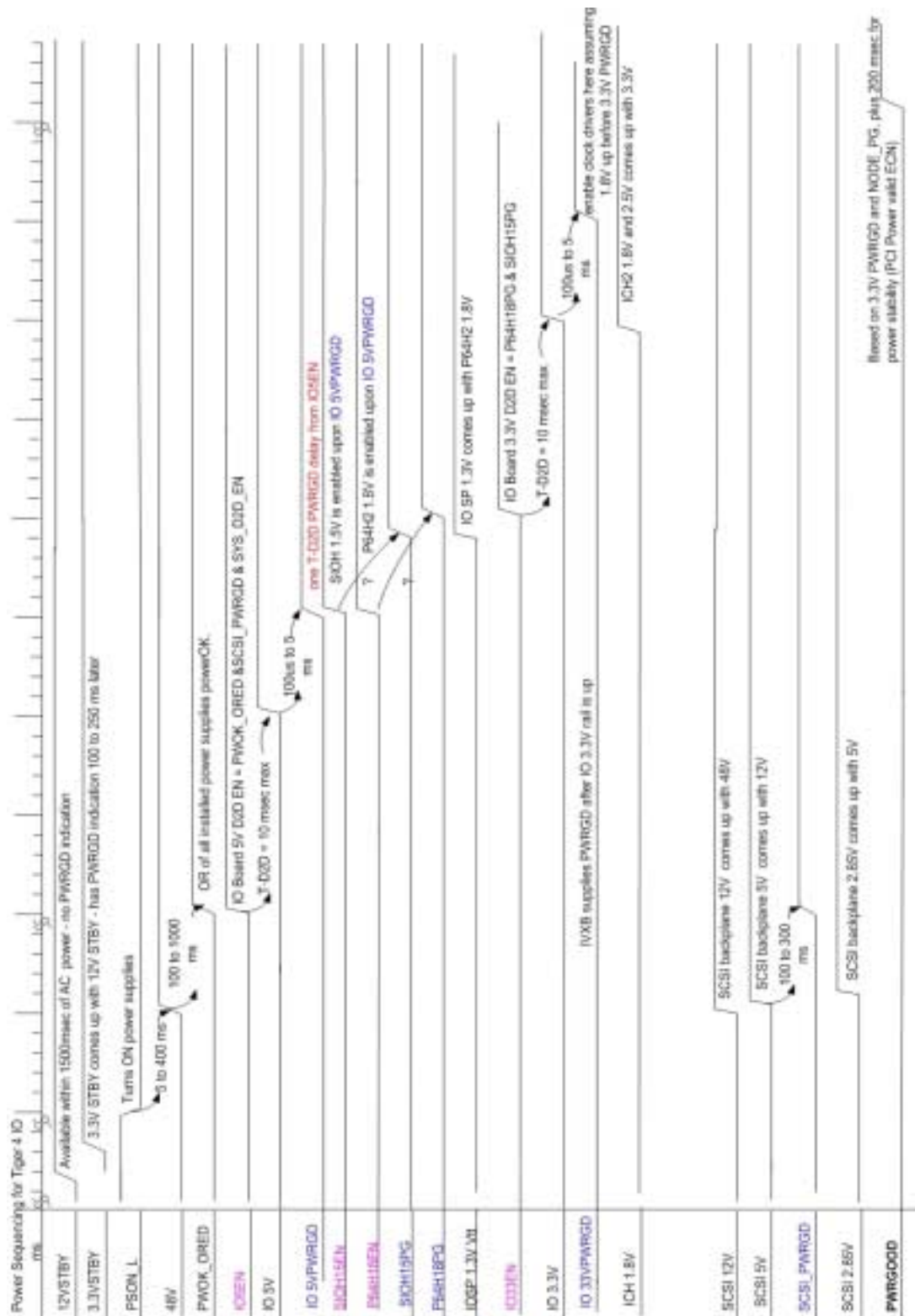


Рисунок 4-9. Последовательность включения питания

4.5.13 Логика генерирования синхронизирующих сигналов

Плата ввода/вывода содержит основные цепи генерирования синхронизирующих сигналов, используемые основными компонентами ввода/вывода системы. Логика генерирования синхронизирующих импульсов показана на *рисунке 4-10*.

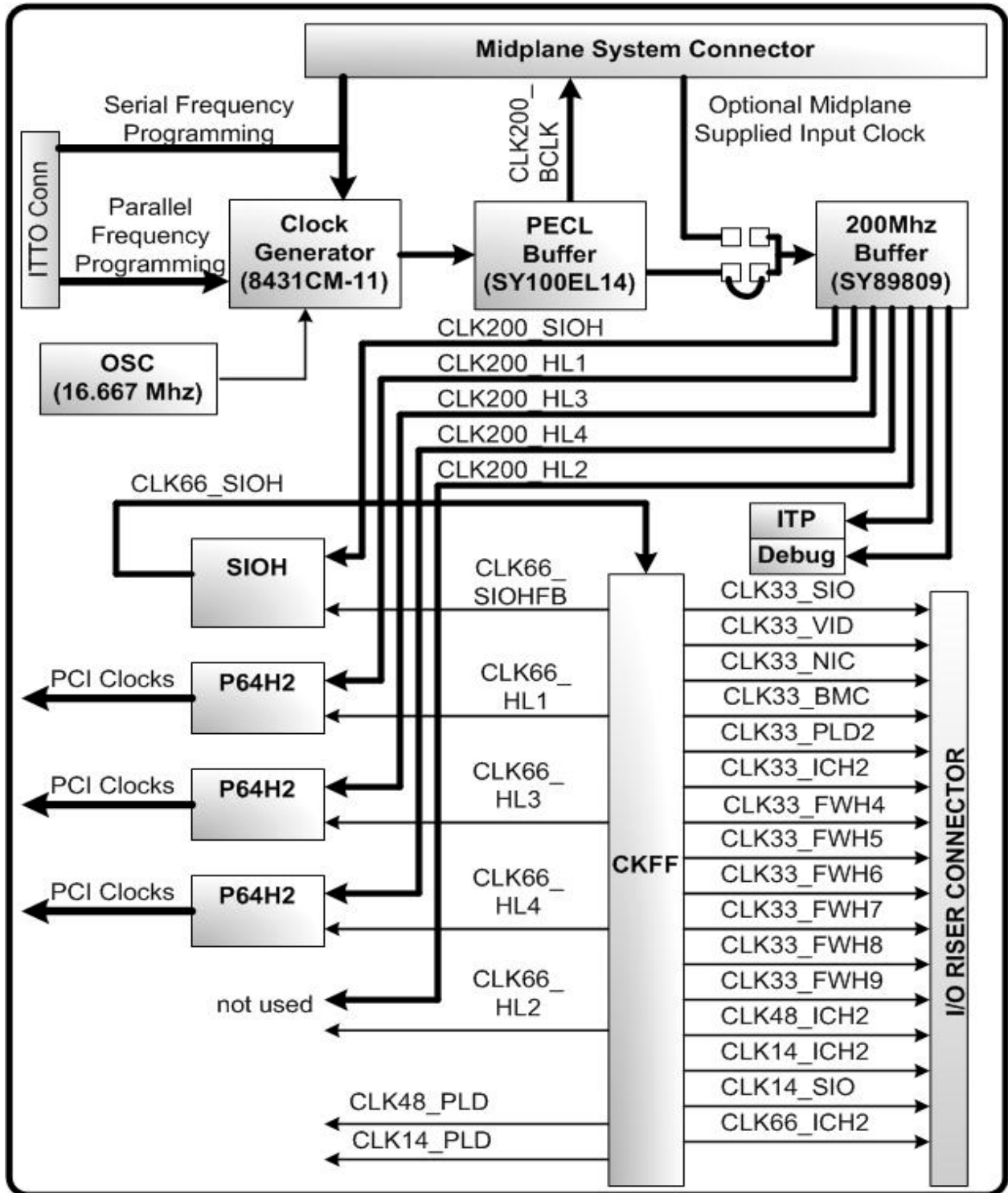


Рисунок 4-10. Блок-схема синхронизирующих импульсов

4.5.13.1 Генерирование и распределение синхронизирующих импульсов частотой 200 МГц

Основные системные синхронизирующие импульсы имеют частоту 200 МГц. Эти импульсы генерируются частотным синтезатором СК429S и буферизуются в микросхеме распределения синхронизирующих импульсов 100EL14. 100EL14 отправляет две копии синхронизирующих импульсов уровня LVPECL. Один используется на плате ввода/вывода для обеспечения работы буфера синхронизирующих импульсов SY89809 HSTL. Другой отправляется на разъем промежуточной платы для использования другими компонентами системы.

Синтезатор СК429S использует кристалл с тактовой частотой 16,667 МГц.

С помощью двух контактов синтезатор СК429S получает команду войти в один из четырех рабочих режимов: режим распределенного спектра, нераспределенный режим и два тестовых режима. Работа этого контрольного реестра обеспечивается функцией PUL. Запись в этот реестр может быть произведена контактами SSC CTL [1:0] при подаче питания на компонент. Через некоторое время после подачи питания реестр отключается. Перезапись запрограммированных значений производится только при полном отключении питания.

Этот компонент может работать в режиме SSC. В этом режиме основной выходной сигнал модулируется на частоте 30 кГц во избежание электромагнитных помех. В диагностическом режиме управляемый напряжением генератор (VCO) отключается, и сигнал внешнего источника может подключаться к контакту TEST_IO. Эта возможность используется при тестировании цепей при производстве и позволяет изменять характеристики низкочастотных выходных синхронизирующих импульсов.

Таблица 4-36. Рабочий режим СК429S

КОМАНДЫ					ФУНКЦИИ УПРАВЛЕНИЯ
SSC_CTL [1:0] ¹	VCO	SSC	FOUT, /FOUT	TEST_IO	
0 0	?	?	?	OUTPUT	Зарезервирован
0 1	Run	Run	200 МГц	HI-Z	SSC по умолчанию; фактор модуляции = ? процентов
1 0	Stop	Stop	TEST_IO	INPUT	Диагностика, (1 МГц ? TEST_IO ? 200 МГц)
1 1	Run	Stop	200 МГц	HI-Z	Нет модуляции SSC

4.5.13.2 Синхронизирующие импульсы PECL 200 МГц

Возбудитель синхронизирующих импульсов SY100EL14V PECL подает синхронизирующие импульсы на блок процессоров/памяти через разъем промежуточной платы и на плату ввода/вывода в буфер LVHSTL. Перекос временной диаграммы сигнала между двумя выходами не гарантирован.

4.5.13.3 Синхронизирующие импульсы LVHSTL 200 МГц

Буфер синхронизирующих импульсов SY89809L используется для преобразования импульсов LVPECL 200 МГц в шесть копий дифференцированных импульсов LVHSTL, используемых компонентами набора микросхем 870. Одна копия используется SION, три копии используются тремя контроллерами P64H2. Одна копия используется интерфейсом ITP.

Дополнительную информацию по этому буферу можно найти в спецификации SY89809.

4.5.13.4 CKFF

Для генерирования дополнительных синхронизирующих импульсов используется микросхема ICS* 9250BG-24 (СКФФ) или аналогичная. Генератор синхронизирующих импульсов с частотой 14,31818 обеспечивает подачу синхронизирующих импульсов с частотой 14,318 МГц и 48 МГц. Выход 66 МГц в SION используется для генерирования синхронизирующих импульсов с частотой 66 МГц и 33 МГц. Сигналы 66 МГц обычно только буферизуются, а сигналы 33 МГц делятся на два и задерживаются сигналами 66 МГц примерно на 2,5 нс по требованию ICH2. В *таблице 4-37* показаны синхронизирующие импульсы и объекты, получающие синхронизирующие импульсы СКФФ.

Таблица 4-37. Синхронизирующие импульсы и объекты СКФФ

Тактовая частота	системная плата	Сигнал	Объекты
66 МГц	I/O board	CLK66_SIOHFB	SIOH (синхронизирующий импульс возвратной информации)
66 МГц	I/O board	CLK66_HL1	P64H2 AB
66 МГц	I/O board	CLK66_HL2	не используется
66 МГц	I/O board	CLK66_HL3	P64H2 CD
66 МГц	I/O board	CLK66_HL4	P64H2 EF
66 МГц	I/O riser	CLK66_ICH2	Контроллер ICH4 на переходной плате ввода/вывода
33 МГц	I/O riser	CLK33_SIO	Суперконтроллер ввода/вывода на переходной плате ввода/вывода
33 МГц	I/O riser	CLK33_VID	Видеоадаптер на переходной плате ввода/вывода
33 МГц	I/O riser	CLK33_NIC	Сетевой адаптер на переходной плате ввода/вывода
33 МГц	I/O riser	CLK33_BMC	Контроллер управления сервером на переходной плате ввода/вывода
33 МГц	I/O riser	CLK33_PLD2	Устройство PLD2 на переходной плате ввода/вывода
33 МГц	I/O riser	CLK33_ICH2	Контроллер ICH4 на переходной плате ввода/вывода
33 МГц	I/O riser	CLK33_FWH4	Концентраторы встроенного микрокода 4 на переходной плате ввода/вывода
33 МГц	I/O riser	CLK33_FWH5	Концентраторы встроенного микрокода 5 на переходной плате ввода/вывода
33 МГц	I/O riser	CLK33_FWH6	Концентраторы встроенного микрокода 6 на переходной плате ввода/вывода
33 МГц	I/O riser	CLK33_FWH7	Концентраторы встроенного микрокода 7 на переходной плате ввода/вывода
33 МГц	I/O riser	CLK33_FWH8	Концентраторы встроенного микрокода 7 и 8 на переходной плате ввода/вывода
33 МГц	I/O riser	CLK33_FWH9	Концентраторы встроенного микрокода 7 и 8 на переходной плате ввода/вывода
48 МГц	I/O board	CLK48_PLD	Устройство PLD2 на плате ввода/вывода
48 МГц	I/O riser	CLK48_ICH2	Контроллер ICH4 на переходной плате ввода/вывода
14,318 МГц	I/O board	CLK14_PLD	Устройство PLD1 на плате ввода/вывода
14,318 МГц	I/O riser	CLK14_ICH2	Контроллер ICH4 на переходной плате ввода/вывода
14,318 МГц	I/O riser	CLK14_SIO	Суперконтроллер ввода/вывода на переходной плате ввода/вывода

4.5.13.5 Синхронизирующие импульсы PCI

Контроллер P64H2 обеспечивает подачу синхронизирующих импульсов на разъемы PCI и интерфейс PCI встроенного устройства SCSI. Контроллер P64H2 поддерживает тактовые частоты 33, 66, 100 или 133 МГц в зависимости от характеристик сегмента шины PCI. Контроллер P64H2 имеет отдельные возбудители синхронизирующих импульсов для каждого разъема или устройства. На шинах 100 МГц выходы объединены (соединены в электрическую цепь), что позволяет снизить погрешность синхронизирующих импульсов практически до нуля.

Для синхронизирующих импульсов используются отдельные согласующие резисторы. Также для контроля синхронизирующих импульсов при горячей установке устройств используются каналные транзисторы. Они устанавливаются на всех шинах синхронизирующих импульсов, даже если выключение при горячей установке не требуется. Это необходимо для равномерной балансировки топологии синхронизирующих импульсов. На шине 133 МГц используются отдельные выходы синхронизирующих импульсов и последовательные согласующие резисторы, поскольку при горячей установке контроллер P64H2 контролирует синхронизирующие импульсы. Более подробную информацию по цепям генерирования синхронизирующих импульсов PCI можно найти в *Спецификации P64H2*.

4.5.14 Логика генерирования сигналов перезагрузки

Плата ввода/вывода является центральным пунктом управления сигналами перезагрузки системы. Большинство сигналов перезагрузки подаются программируемым логическим устройством Lattice* 2128VE PLD.

На *рисунке 4-11* изображена цепь перезагрузки серверной системы SR870BN4.

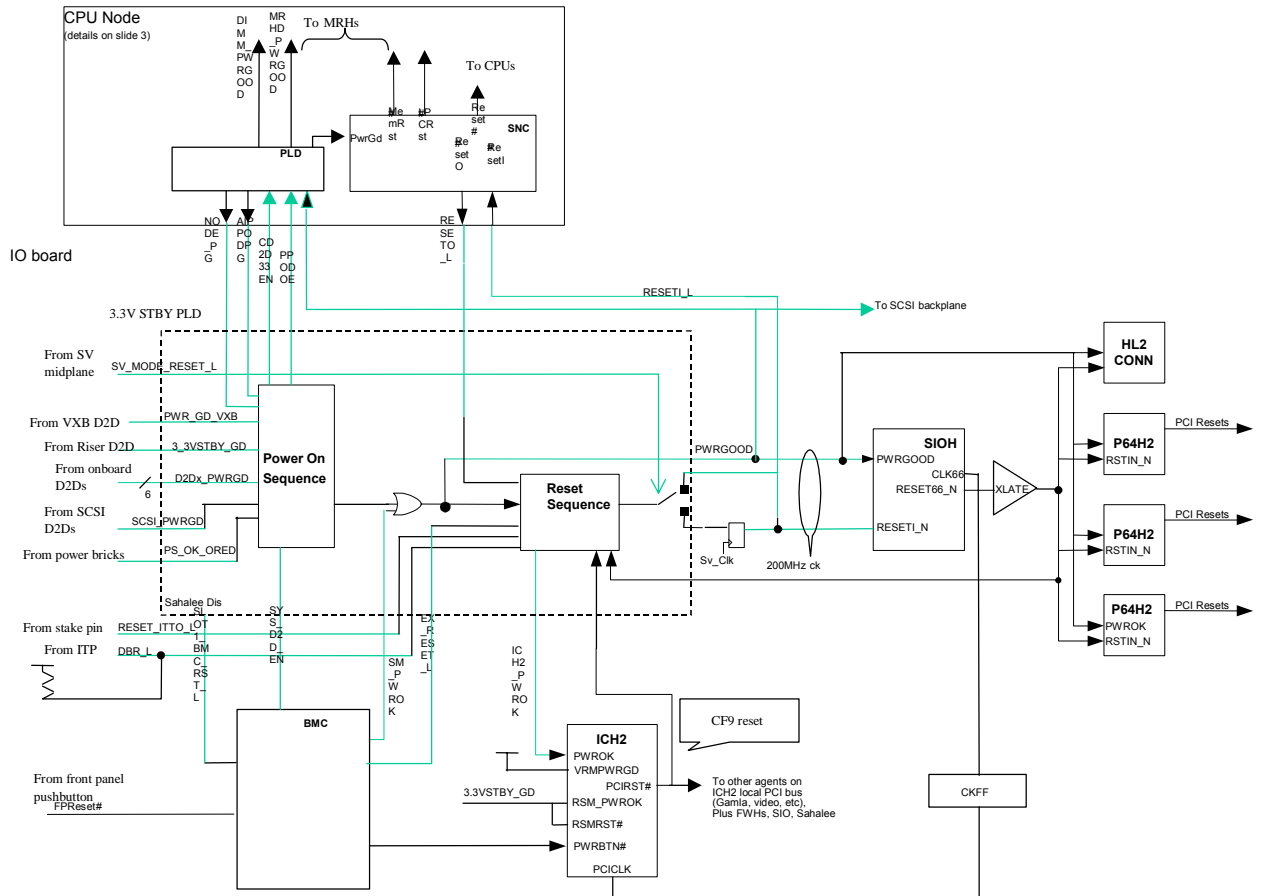


Рисунок 4-11. Блок-схема перезагрузки системы

На рисунке 4-12 показана последовательность событий перезагрузки.

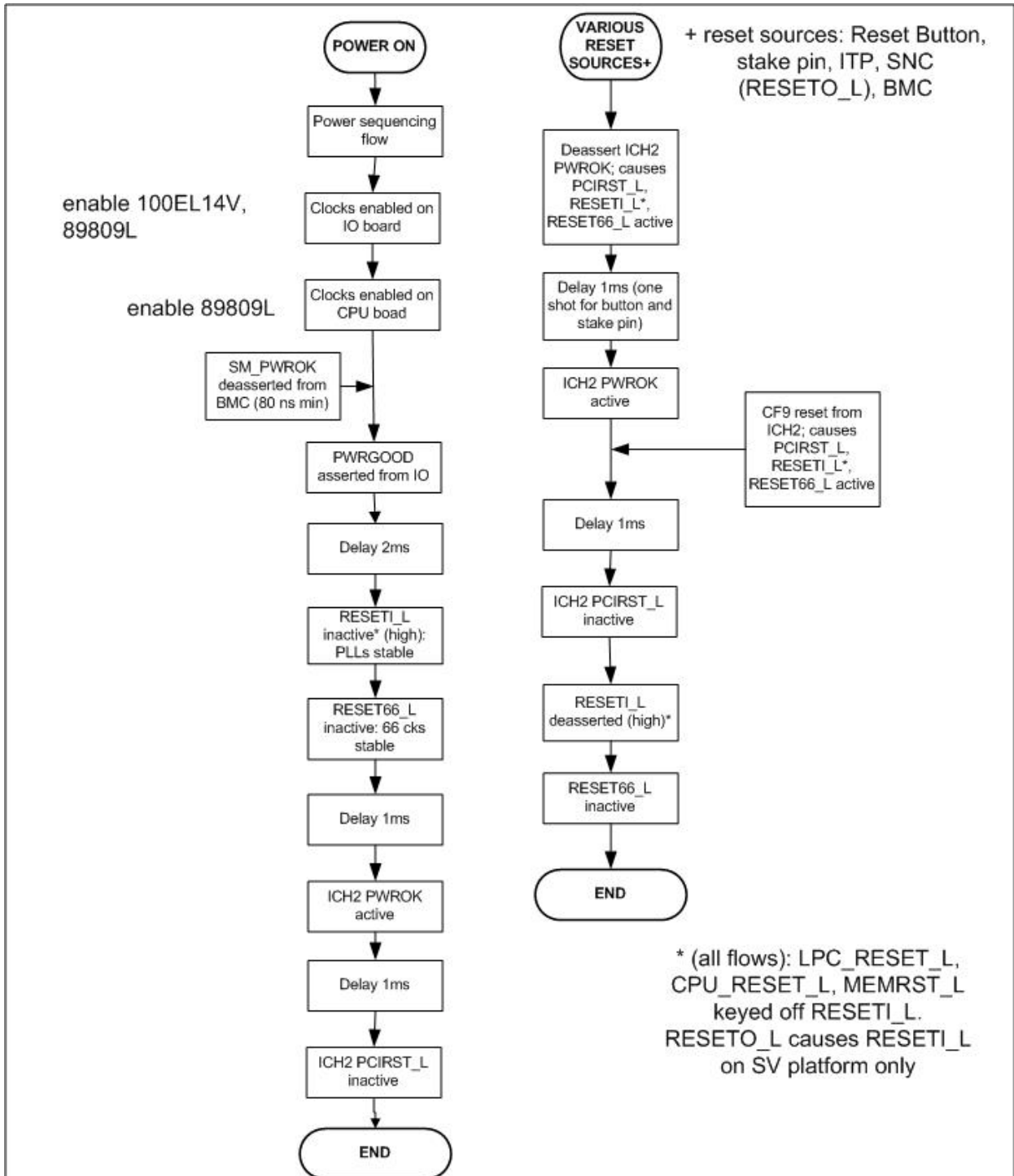


Рисунок 4-12. Последовательность событий при перезагрузке

На рисунке 4-13 показано время событий перезагрузки.

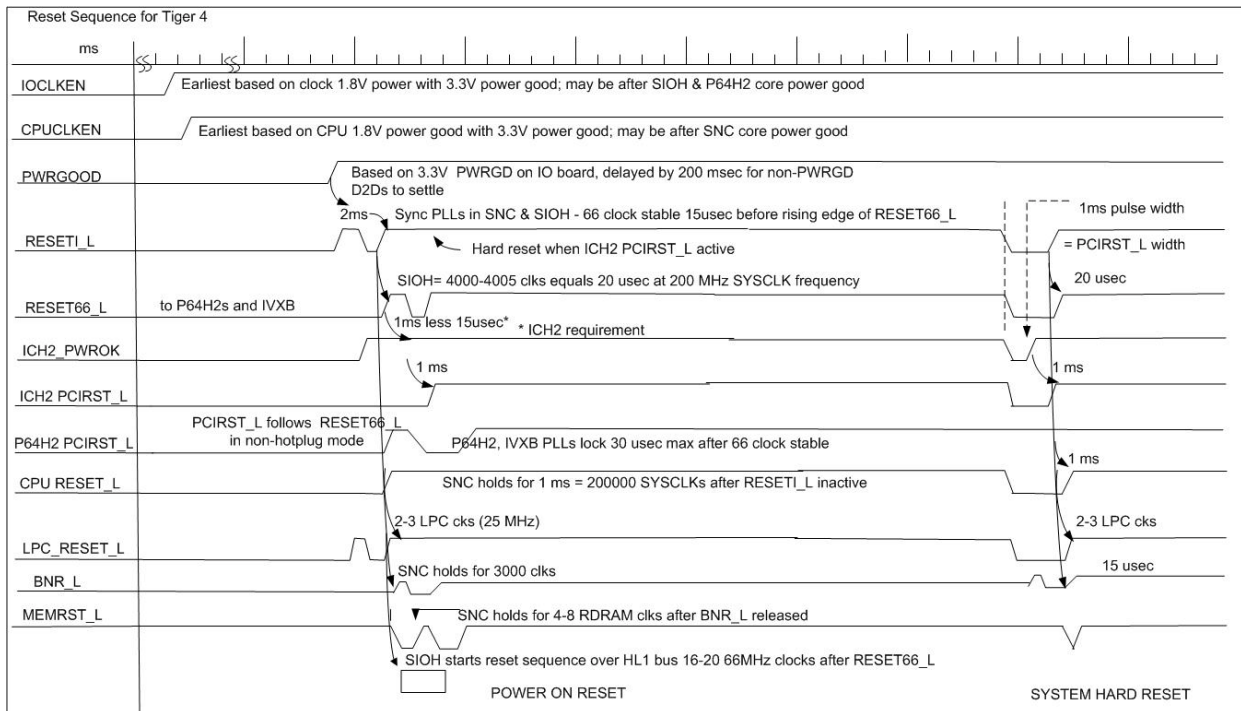


Рисунок 4-13. Временные параметры перезагрузки

4.5.15 Прерывания и ошибки

Плата ввода/вывода содержит цепь маршрутизации и логическую цепь, являющиеся частью общей структуры прерываний и ошибок набора плат SR870BN4. Сигналы прерываний и ошибок блока процессоров/памяти, подсистемы PCI и устройств подсистемы ввода/вывода проходят через логическую цепь платы ввода/вывода и подключаются к логике прерываний платы ввода/вывода.

Плата ввода/вывода поддерживает прерывания на базе сообщений и прерывания на базе 8259. Прерывания на базе сообщений могут отправляться непосредственно через контроллер PCI или через логическую цепь контроллера APIC переходной платы ввода/вывода.

Дополнительная информация приведена во *Внешней спецификации архитектуры серверной системы SR870BN2*.

4.5.15.1 Прерывания PCI

Плата ввода/вывода содержит интерфейс прерываний подсистемы PCI. Всего поддерживается два способа доставки сигналов прерываний. Стандартные сигналы прерываний PCI (INTA-INTD) или сигналы прерываний MSI. В любом случае контроллер P64H2 пересылает прерывания на процессоры посредством сообщений прерываний по шине HL2, или посредством отправки сигналов загрузочных прерываний на переходную плату ввода/вывода при загрузке системы. В *таблице 4-38* показана схема IRQ PCI.

Таблица 4-38. Схема IRQ

Разъем/IRQ	P64H2-AB		Разъем/IRQ	P64H2-CD		Разъем/IRQ	P64H2-EF
Slot 1-IRQ A	PAIRQ0		Slot 4-IRQ A	PAIRQ0		Slot 7-IRQ A	PAIRQ0
Slot 1-IRQ B	PAIRQ1		Slot 4-IRQ B	PAIRQ1		Slot 7-IRQ B	PAIRQ1
Slot 1-IRQ C	PAIRQ2		Slot 4-IRQ C	PAIRQ2		Slot 7-IRQ C	PAIRQ2
Slot 1-IRQ D	PAIRQ3		Slot 4-IRQ D	PAIRQ3		Slot 7-IRQ D	PAIRQ3
SCSI A	PAIRQ4		Slot 5-IRQ A	PAIRQ4		Slot 8-IRQ A	PBIRQ0
SCSI B	PAIRQ5		Slot 5-IRQ B	PAIRQ5		Slot 8-IRQ B	PBIRQ1
Slot 2-IRQ A	PBIRQ0		Slot 5-IRQ C	PAIRQ6		Slot 8-IRQ C	PBIRQ2
Slot 2-IRQ B	PBIRQ1		Slot 5-IRQ D	PAIRQ2		Slot 8-IRQ D	PBIRQ3
Slot 2-IRQ C	PBIRQ2		Slot 6-IRQ A	PBIRQ0			
Slot 2-IRQ D	PBIRQ3		Slot 6-IRQ B	PBIRQ1			
Slot 3-IRQ A	PBIRQ4		Slot 6-IRQ C	PBIRQ2			
Slot 3-IRQ B	PBIRQ5		Slot 6-IRQ D	PBIRQ3			
Slot 3-IRQ C	PBIRQ6						
Slot 3-IRQ D	PBIRQ7						

Примечание: PAIRQ7 для всех контроллеров P64H2 используется для сигнала HPC_INTR_L (прерывание горячей установки).

4.5.15.2 Системные прерывания

Помимо прерываний PCI, плата ввода/вывода также генерирует и пересылает ряд других прерываний. В их число входят:

Прерывание горячей установки: Сигнал *HP_INT_L* генерируется блоком процессоров/памяти при нажатии кнопки горячей установки. Этот сигнал сообщает о необходимости горячей замены блока процессоров/памяти. Сигнал отправляется на подсистему управления сервером и логическую цепь прерываний. Учтите, что плата ввода/вывода поддерживает только один блок процессоров/памяти, горячая установка этого блока не предусматривается как нормальная операция.

Int_Out: Сигналы SIOH и SNC INT_OUT_L подаются на порт масштабируемости при событиях горячей установки и событиях, влияющих на производительность. Сигнал *INT_OUT_L* контроллера SNC переводится на уровень 3,3 В перед переходом через промежуточную плату. Перед отправкой на переходную плату ввода/вывода он стробируется с сигналом *INT_OUT_SIOH_L*.

BINITIN_L: Сигнал *BINITIN_L* отправляется на SNC для генерирования сигнала BINIT_L, подаваемого на процессор.

BERRIN_L: Сигнал *BERRIN_L* отправляется на SNC, сообщая о неустранимой ошибке. Копия этого сигнала, *SNC_BERRIN_L*, отправляется на логическую цепь прерываний переходной платы ввода/вывода.

На *рисунке 4-14* показана связь прерываний промежуточной платы, подсистемы PCI и набора микросхем платы ввода/вывода.

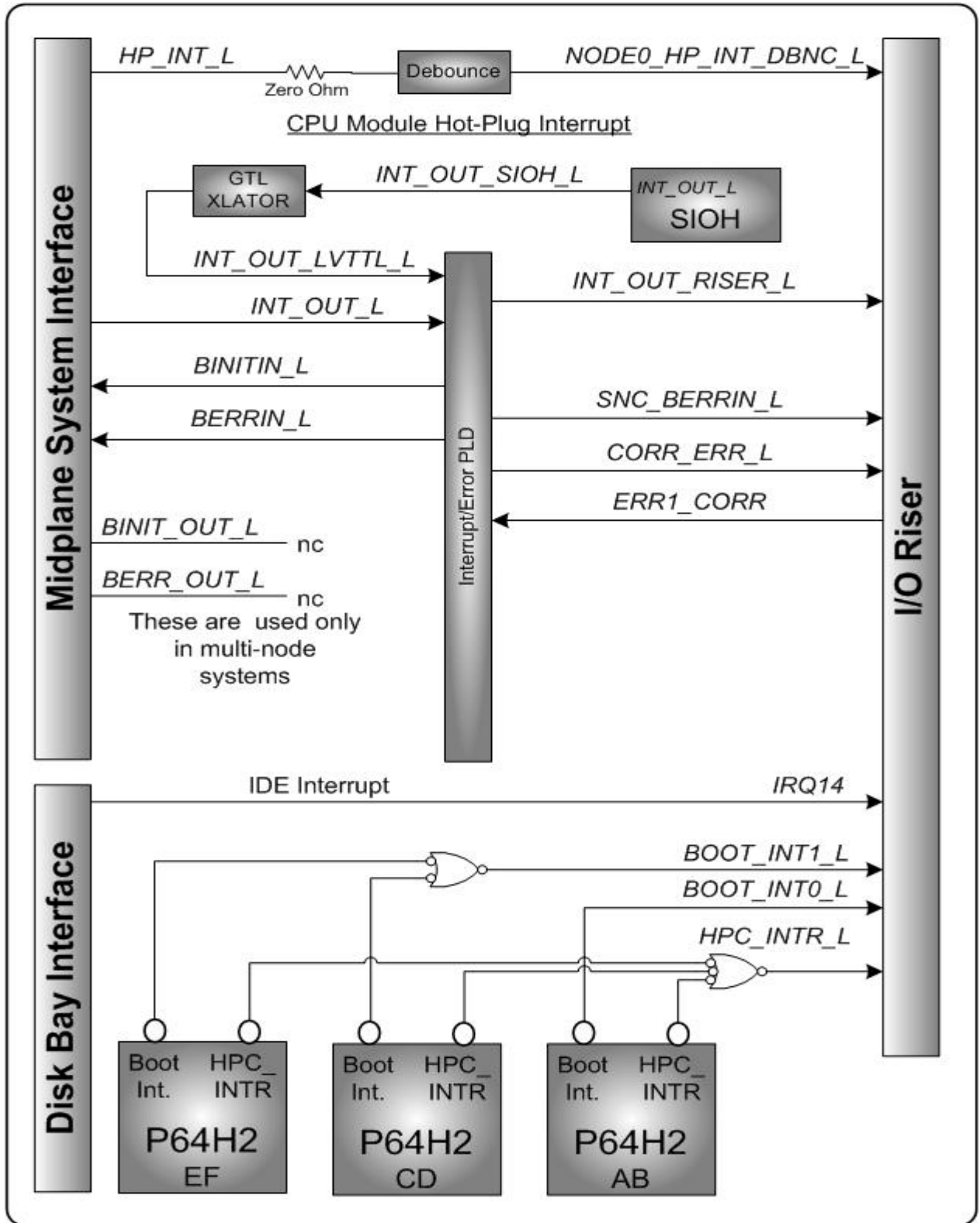


Рисунок 4-14. Блок-схема прерываний

4.5.16 Логика обработки ошибок

Плата ввода/вывода содержит логику обработки устранимых и неустранимых ошибок набора

микросхем 870. Сигнал ERR_L(0) (с аппаратной функцией ИЛИ, отправляемый SNC или SIOH) сообщает об устранимых ошибках набора микросхем. Он генерирует сигнал CORR_ERR_L, отправляемый на логическую цепь IOAPIC переходной платы ввода/вывода. Сигнал ERR_L(2) (с аппаратной функцией ИЛИ, отправляемый SNC или SIOH) сообщает о неустранимых ошибках набора микросхем. Он стробируется с сигналом ICH SERR, генерируя сигнал SNC_BERRIN_L, отправляемый на логическую цепь IOAPIC переходной платы ввода/вывода. Сигнал SIOH/SNC ERR1 может преобразовываться в сигнал CORR_ERR_L или в сигнал SNC_BERRIN_L в зависимости от параметров сигнала ERR1_CORR переходной платы ввода/вывода.

Логика стробирования содержится в программируемом логическом устройстве обработки прерываний/ошибок. На *рисунке 4-15* показана схема ошибок платы ввода/вывода.

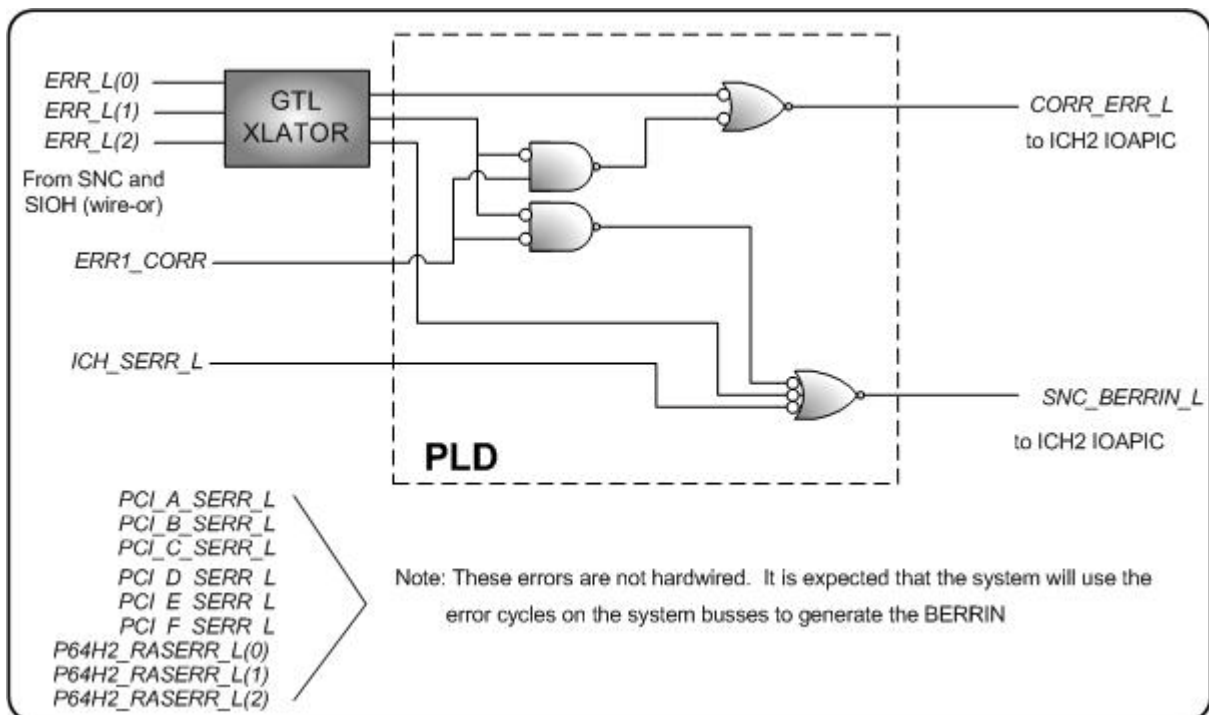


Рисунок 4-15. Схема логической цепи обработки ошибок

4.5.17 Интерфейс передней панели

Плата ввода/вывода связывается с передней панелью системы с помощью сигналов, проходящих через разъем промежуточной платы. В *таблице 4-39* перечислены сигналы и функции передней панели.

Таблица 4-39. Интерфейс передней панели

Сигнал	Функция
ON_LED_L	Индикатор питания
COOL_FLT_LED_L	Индикатор неисправности системы охлаждения
POWER_FLT_LED_L	Индикатор неисправности системы питания
GEN_FLT_LED_L	Индикатор неисправности системы
FP_LED_L	Идентификационный индикатор корпуса
SPEAKER	Сигнал встроенного динамика
CHASS_ID_L	Кнопка идентификации корпуса на передней панели
POWER_SW_L	Кнопка питания
RESET_SW_L	Кнопка перезагрузки
SDINT_SW_L	Кнопка системного прерывания

4.5.18 Внутренний разъем включения питания

На плате ввода/вывода имеется разъем, позволяющий внутреннему адаптеру (обычно плате управления сервером) подавать сигнал POWER_SW_L. Этот сигнал активирует цикл питания, так же как и кнопка питания на передней панели. Этот сигнал должен подключаться к заземлению только при необходимости выключения/включения питания. В противном случае он должен оставаться открытым.

Таблица 4-40. Схема контактов внутреннего разъема включения питания (J9E1)

SIGNAL	PIN#
GND	1
POWER_SW_L	2
GND	3
nc	4

4.5.19 Режим производства

На плате ввода/вывода имеется место для разъема режима производства, предназначенного для использования специальных процедур BIOS, ускоряющих производственное тестирование. Этот разъем устанавливается на позиции J1J1. При установке разъема режима производства переходная плата ввода/вывода получает сигнал перехода в режим производства. Разъем может устанавливаться сверху или снизу.

4.5.20 Разъемы ICMB/IPMB

Плата ввода/вывода поддерживает внешний разъем ICMB и внутренний разъем IPMB. Оба разъема используются для функций управления сервером. Всего в системе имеется три канала ICMB. Канал ICMB выступает в качестве основного коммуникационного порта ICMB. Каналы ICMB ID1 и ICMB_ID2 обеспечивают функцию идентификации корпуса. Разъем ICMB подключается к блоку разъемов корпуса, поддерживающему стандартные штекеры ICMB. В *таблице 4-41* и *таблице 4-42* показаны схемы контактов этих разъемов.

Таблица 4-41. Схема контактов разъема ICMB (J9C1)

SIGNAL	PIN#	PIN#	SIGNAL
GND	1	2	(key)
ICMB_A	3	4	ICMB_B
GND	5	6	ICMB_ID1_A
ICMB_ID1_B	7	8	GND
ICMB_ID2_B	9	10	ICMB_ID2_A

Таблица 4-42. Схема контактов разъема IPMB (J9D1)

SIGNAL	PIN#
I2C_IPMB_SDA	1
GND	2
I2C_IPMB_SCL	3

4.5.21 Идентификатор версии платы

Плата ввода/вывода может устанавливать идентификатор версии, который может считываться BIOS для определения значительных изменений аппаратного обеспечения, которые должны учитываться в процедурах BIOS. Этот идентификатор устанавливается с помощью резистором и считывается переходной платой ввода/вывода. Подробная информация по считыванию соответствующих бит приведена в главе, посвященной переходной плате ввода/вывода. В *таблице 4-43* указаны резисторы 0 Ом, используемые для установки идентификатора версии платы.

Таблица 4-43. Идентификатор версии платы

Редакция	R2B10	R2B9	R2B11
0	Populate	Populate	Populate
1	Populate	Populate	De-Populate
2	Populate	De-Populate	Populate
3	Populate	De-Populate	De-Populate
4	De-Populate	Populate	Populate
5	De-Populate	Populate	De-Populate
6	De-Populate	De-Populate	Populate
7	De-Populate	De-Populate	De-Populate

4.5.22 Общие температурные спецификации платы

Общие температурные ограничения платы показаны в таблице ниже. В разделе ниже указаны требования к охлаждению компонентов платы. Спецификации отдельных компонентов могут быть более жесткими, чем температурные спецификации платы.

Таблица 4-44. Общие температурные спецификации платы

Параметр	Условия	Минимальный	Максимальный
Температура	В рабочем состоянии	0 °C	55 °C
	При хранении	-40 °C	70 °C
Air Velocity	В рабочем состоянии	0.75 m/s (150 lfm)	нет данных

4.5.23 Температурные требования платы ввода/вывода

В таблице ниже перечислены компоненты, требующие охлаждения вынужденной конвекцией. Требования к температуре и воздушному потоку приведены в сопутствующей документации. Внимательное соблюдение требований спецификаций и справочной документации обеспечит соблюдение требований к охлаждению для этих компонентов. Максимальная рабочая температура платы зависит от конструкции системы и схемы воздушного потока. Адекватное охлаждение компонентов платы, не перечисленных в таблице, обеспечивается при соблюдении требований для компонентов, перечисленных в таблице.

Таблица 4-45. Основные компоненты платы ввода/вывода

Компонент		Specifications ¹		Справочный документ	Теплоотвод
Набор микро-схем	SIOH	T _{Junction}	105 °C	Intel® 870 EMTS	Intel Enabled
	P64H2	T _{Junction}	105 °C	P64H2 TAN	Нет
	SCSI	T _{Junction}	115 °C	Спецификация 53C1030	Нет (предположительно воздушный поток >>100LFM)
T-D2Ds		Свободная скорость потока и T _{Ambient}	150 lfm @ 45 °C, 300 lfm @ 55 °C	Спецификация T-D2D	Встроенный
Адаптеры PCI		Various		Спецификация адаптера PCI	нет данных

4.5.24 Средства снижения электромагнитных помех

На плате ввода/вывода используется ряд средств для снижения электромагнитного излучения. Большинство высокоскоростных сигналов, включая основные шины и синхронизирующие сигналы, содержатся на внутренних уровнях, окруженных заземленными пластинами. На плате ввода/вывода нет никаких разъемов, выходящих наружу корпуса.

Основная цепь синхронизирующих импульсов поддерживает функцию распределения спектра, максимально снижающую электромагнитные помехи, меняя частоту синхронизирующих импульсов в небольшом диапазоне.

Система заземления платы ввода/вывода подключена к корпусу через заземляющие прокладки, расположенные на задней стороне печатной платы вокруг четырех монтажных

отверстий. Резисторы на 0 Ом позволяют выбрать, соединяется ли заземляющая прокладка с панелью заземления. *Таблица 4-46* показывает резисторы, соответствующие монтажным отверстиям. При снятии резисторов монтажные отверстия отключаются от панели заземления.

Таблица 4-46. Резисторы монтажных отверстий

Монтажное отверстие	Резистор
Zone 8A	R2L1
Zone 4A	R6L1
Zone 5D	R5R1
Zone 5H	R5V1

4.5.25 Механические характеристики

Плата ввода/вывода крепится к корпусу на крюках и через монтажные отверстия. Восемь отверстий в печатной плате соответствуют металлическим крюкам корпуса, позволяя определить положение платы и закрепить плату в корпусе. Три из этих отверстия также предназначены для стандартных монтажных винтов. Кроме того, имеется одно монтажное отверстие (не для крюка), предназначенное для стандартного монтажного винта. Это позволяет устанавливать плату в корпус, используя минимальное количество винтов, ускоряя сборку и уменьшая вероятность повреждения системы винтами. Плата помещается в корпус так, чтобы крючки совпадали с отверстиями. Затем плата сдвигается вбок и фиксируется.

Один или несколько монтажных винтов окончательно закрепляют плату в корпусе. Отверстия для винтов и отверстия для крюков служат для дополнительного заземления корпуса, улучшая устойчивость к электромагнитному излучению. Системный инженер может варьировать электромагнитные характеристики системы, используя или не используя винты.

Разъем VHDM оборудован направляющими блоками, предназначенными для направляющих контактов разъема промежуточной платы. Это помогает правильно установить промежуточную плату.

4.5.25.1 Схема платы и основные размеры

На *рисунке 4-16* показаны общие размеры платы и расположение разъемов PCI. Точные механические спецификации содержатся на механической схеме платы.

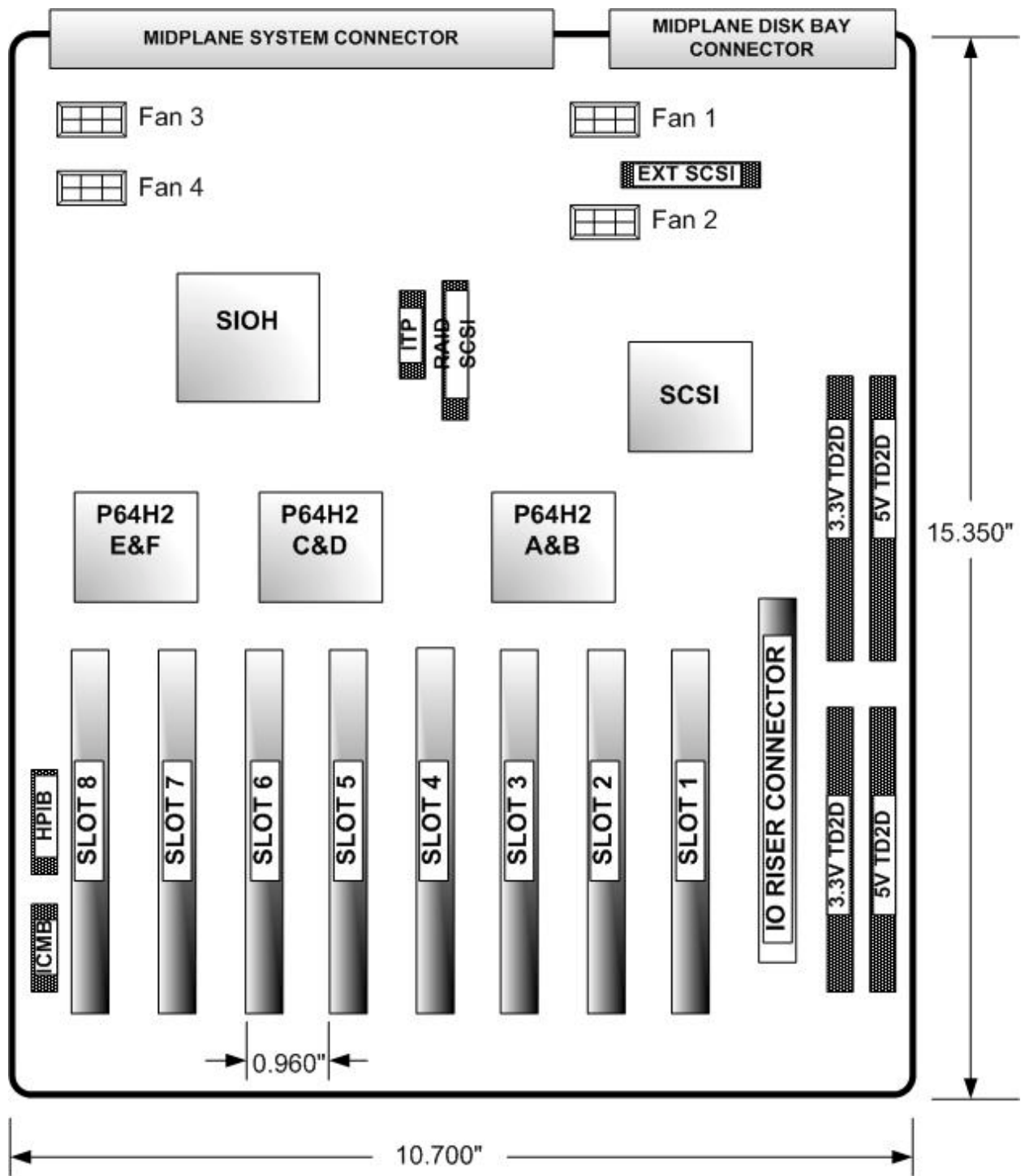


Рисунок 4-16. Схема платы и основные размеры

4.5.25.2 Вес

Плата ввода/вывода весит приблизительно 3 фунта без адаптеров PCI, переходной платы ввода/вывода и преобразователей D2D.

4.5.26 Защита 240 ВА

Плата ввода/вывода содержит опасную зону 240 ВА, которая должна быть изолирована от областей, используемых пользователем. Опасность связана с наличием компонентов шины питания 48 В, разъемов и съемных преобразователей постоянного тока.

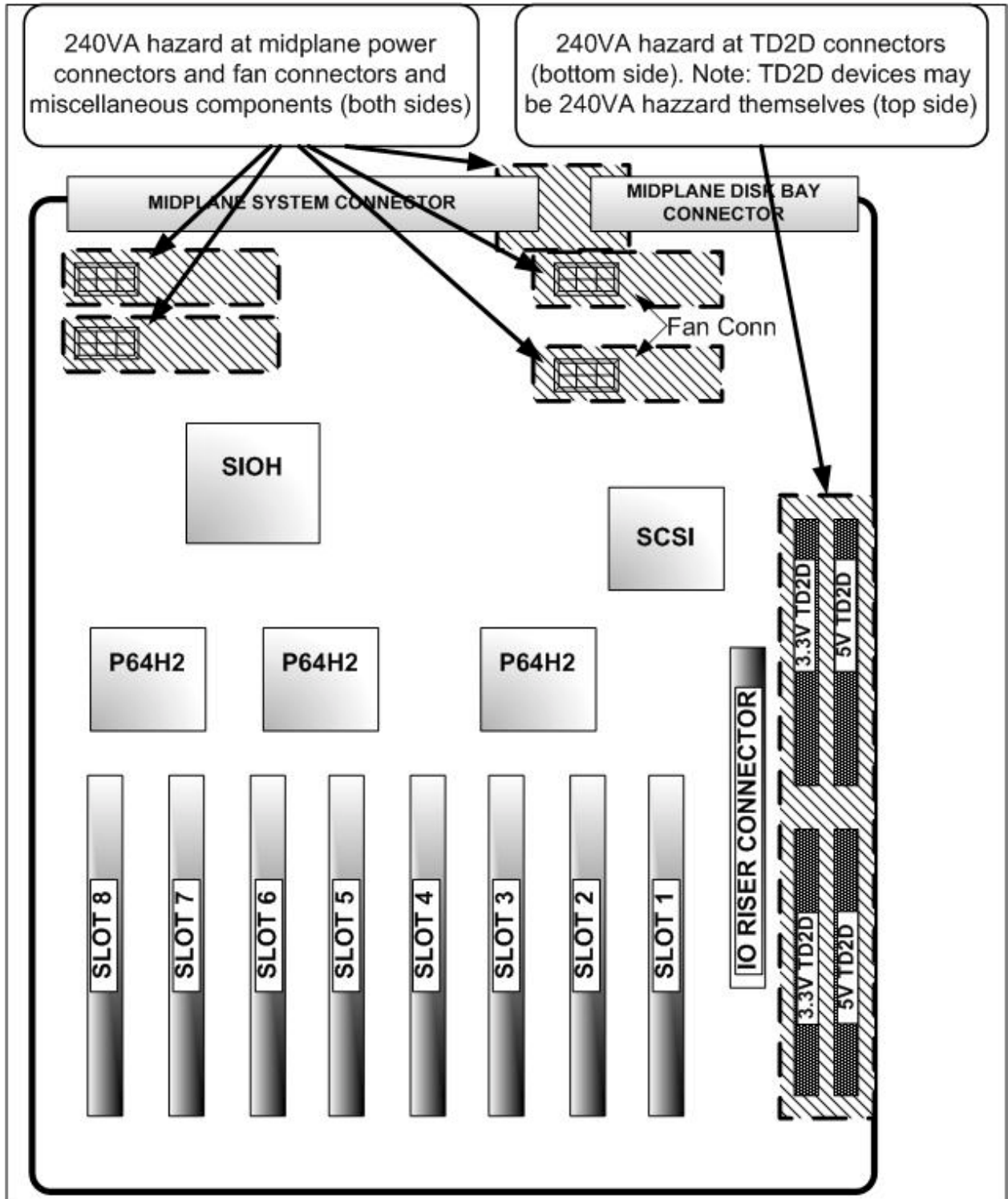


Рисунок 4-17. Схема опасной зоны 240 ВА

4.5.26.1 Питание 48 В

Электрические параметры шины питания 48 В выходят за пределы спецификации 240 ВА, и поэтому эта шина должна быть изолирована от участков, используемых пользователем. Эта шина питания присутствует на разъеме промежуточной платы (блоки питания) и в преобразователях T-D2D, разъемах и других компонентах.

4.5.26.2 Шины питания 3,3 В и 5 В

Шины питания 3,3 В и 5 В разделены на две отдельных области, и поэтому не выходят за пределы спецификации 240 ВА.

4.5.27 ITP

Разъем ITP обеспечивает доступ к определенным микросхемам платы ввода/вывода. Интерфейс ITP совместим со спецификацией ITP для набора микросхем 870. На *рисунке 4-18* показана схема соединений ITP. В *таблице 4-47* показаны соединения разъема ITP.

Таблица 4-47. Схема контактов разъема ITP

Сигнал			Сигнал
GND	1	2	GND
BMP_L(0)	3	4	DBA_L
EV_L(1)	5	6	DBR_L
EV_L(2)	7	8	GND
EV_L(3)	9	10	TDI
BMP_L(4)	11	12	TMS
EV_L(0)	13	14	TRST_L
ITP_RESETI_L	15	16	TCK
FBO	17	18	FBI
CLK200_ITP	19	20	GND
CLK200_ITP_L	21	22	PWR
EV_L(0)	23	24	TDO
GND	25	26	(KEY)

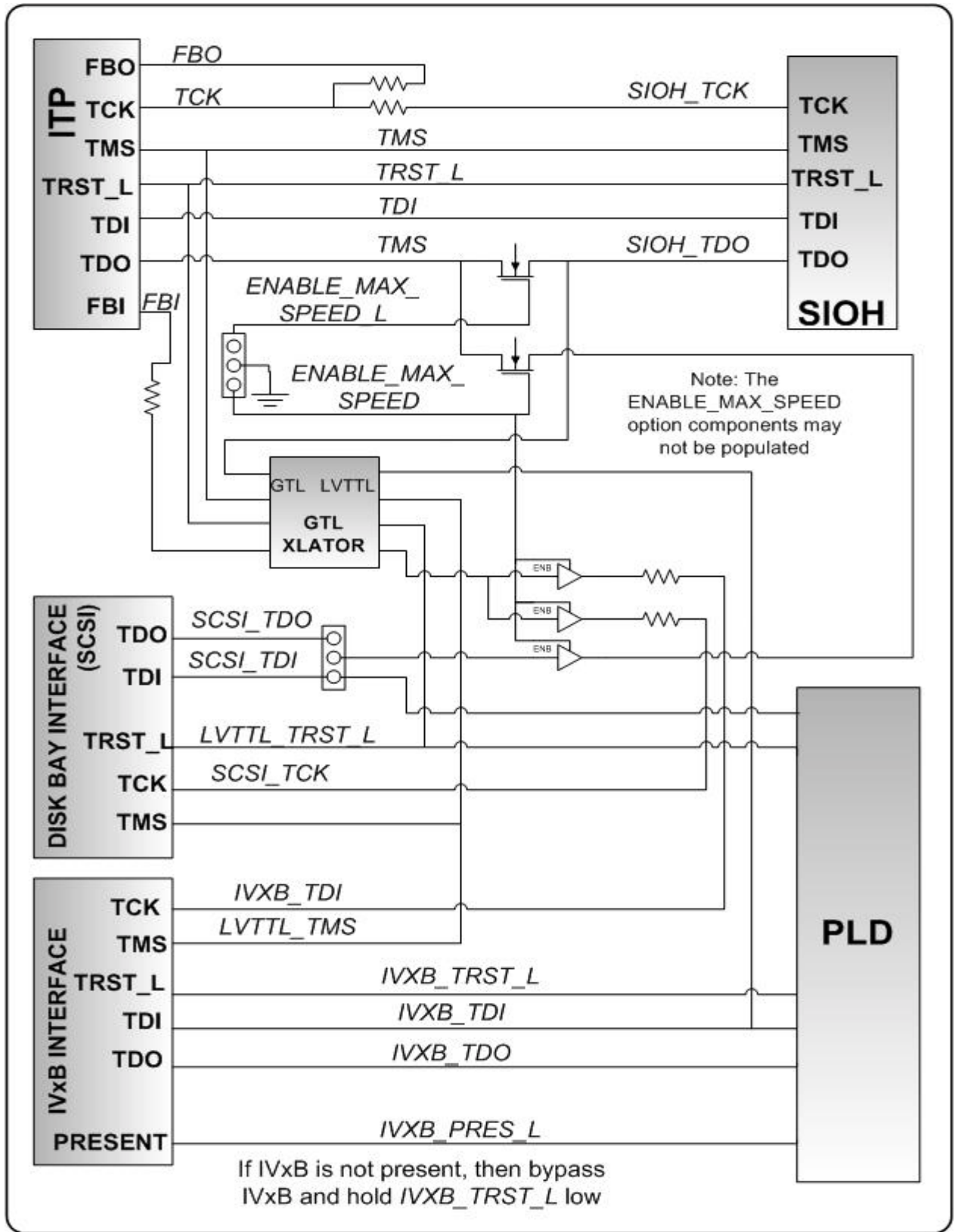


Рисунок 4-18. Схема ITP

<Данная страница преднамеренно оставлена пустой.>

5. Переходная плата ввода/вывода

В этой главе описывается архитектура и спецификация переходной платы ввода/вывода серверной системы S870BN4, подключаемой к плате ввода/вывода S870BN4 через 242-контактный разъем. Ниже описываются функциональные возможности и характеристики переходной платы ввода/вывода.

5.1 Характеристики

Переходная плата ввода/вывода имеет следующие характеристики:

- Поддержка контроллера ICH4
 - Интерфейс Hublink 1.5
 - Один интерфейс IDE с поддержкой двух устройств ATA33
 - Четыре порта USB
 - Шина PCI
 - Шина LPC

- Контроллер управления сервером BMC (интерфейс LPC)
 - Шесть шин управления сервером I²C, включая шину IPMB
 - Доступ к шине ICMB через адаптер ICMB
 - Доступ к порту аварийного управления через общий последовательный порт
 - Поддержка кнопок передней панели и индикаторов
 - Датчики напряжения Voltage monitors

- Суперконтроллер ввода/вывода SMC* (интерфейс LPC)
 - Один последовательный порт

- Видеоадаптер ATI* Rage XL (интерфейс PCI)
- Четыре концентратора встроенного микрокода (интерфейс LPC)
- Контроллер Ethernet Intel® 82540EM 10/100/1000 (интерфейс PCI)

5.2 Архитектура

Переходная плата ввода/вывода представляет собой функциональное расширение платы ввода/вывода. Переходная плата ввода/вывода подключается к плате ввода/вывода через 242-контактный разъем. Переходная плата ввода/вывода обеспечивает три основные функции серверной системы SR870BN4: (1) интерфейс ввода/вывода, (2) управление сервером (3) часть питания режима ожидания.

Встроенный контроллер ICH4 – основная микросхема ASIC переходной платы ввода/вывода. Он поддерживает:

- Интерфейс Hublink 1.5
- Шина PCI (32 бит, 33 МГц)
- 4-битная шина LPC

- Одна шина IDE
- Четыре порта USB

Видеоадаптер ATI и гигабитный сетевой адаптер располагаются на шине PCI за ICH4. Они обеспечивают работу видеоподсистемы и сетевой подсистемы. Суперконтроллер ввода/вывода расположен на шине LPC и обеспечивает работу последовательного порта RS232.

Контроллер BMC подключен к контроллеру ICH4 по шине LPC, и является основным механизмом управления сервером. Контроллер BMC поддерживает порты ICMB, IPMB и EMP. Он также имеет шесть общих шин I²C и восемь контактов A2D для мониторинга питания. Сигналы ввода/вывода общего назначения (GPIO) используются для поддержки системных функций, включая последовательности включения питания и перезагрузки, ввод команд с передней панели и программирование ISP/JTAG.

На переходной плате ввода/вывода установлено два встроенных преобразователя постоянного тока. Преобразователь D2D HIP6004* обеспечивает работу шины питания 3,3 В режима ожидания (6,9 А). Поскольку система требует менее 300 мА питания 5 В режима ожидания, в ней используется регулятор TL780. См. раздел 5.11: Питание/Питание режима ожидания приведена подробная информация по последовательности включения питания, требуемой для этих преобразователей.

S870BN4 IO Riser Block Diagram

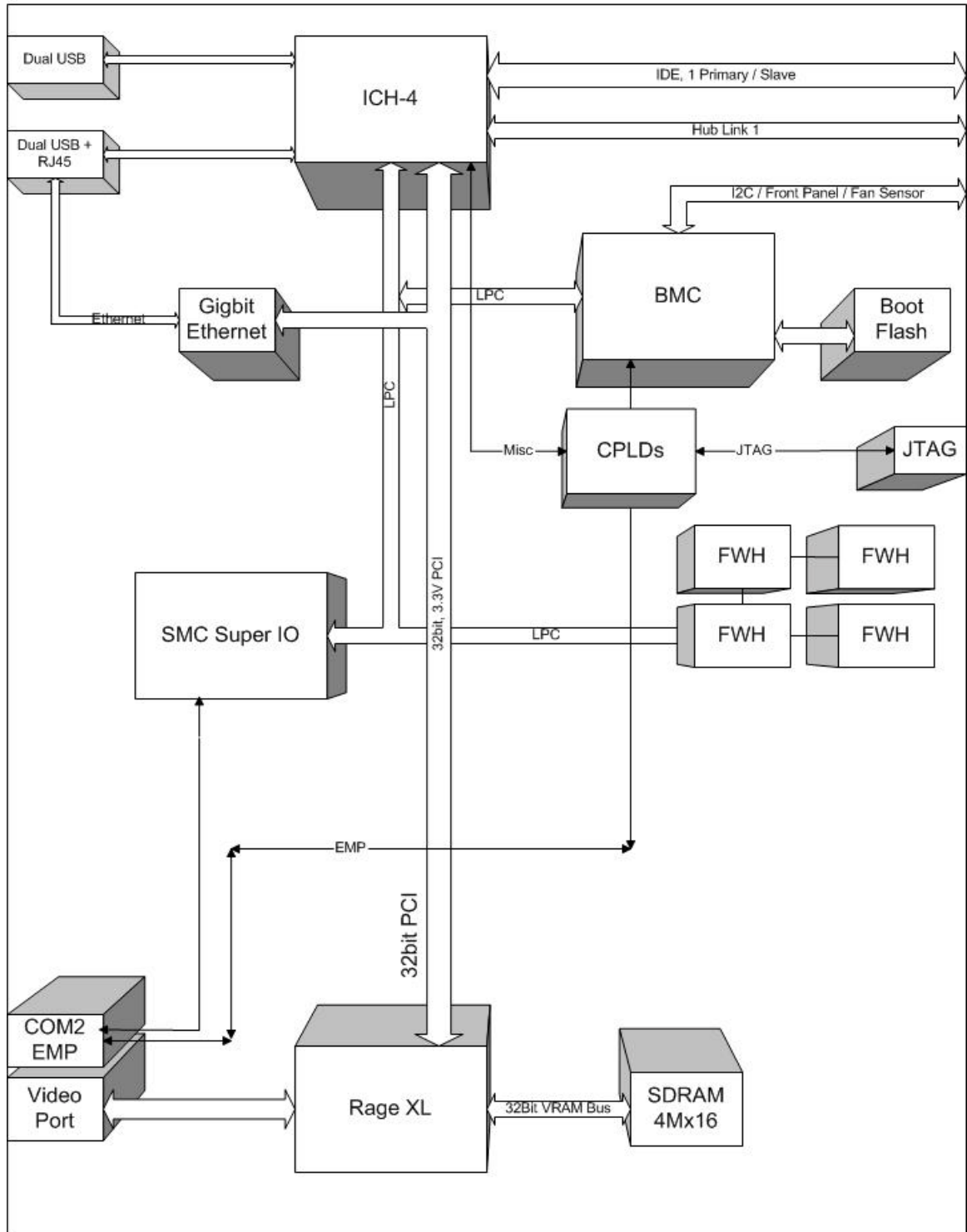


Рисунок 5-1. Блок-схема переходной платы ввода/вывода серверной системы Intel® S870BN4

5.3 Основные компоненты

5.3.1 ICH4

ICH4 представляет собой 421-контактную микросхему Intel® 82801DA в корпусе EBGA. ICH4 представляет собой главную интерфейсную микросхему ASIC, используемую переходной платой ввода/вывода. Контроллер ICH4 располагается непосредственно над разъемом подключения к плате ввода/вывода, благодаря чему обеспечивается минимальная длина интерфейса Hublink 1.5. Переходная плата ввода/вывода содержит следующие подсистемы:

- Интерфейс шины PCI
 - Поддержка режима PCI (33 МГц, 32 бит)
 - Поддержка спецификации PCI 2.2
- Интегрированный контроллер IDE
 - Независимый тайминг до двух дисков
 - Ultra* ATA 33
 - Буфер записи Write Ping-Pong Buffer для повышения скорости записи
- Порт USB
 - Два контроллера USB с четырьмя портами
 - Поддержка USB 2.0
 - Поддержка пробуждения из режима сна
- Контроллер прерываний
 - Поддержка до восьми контактов прерываний PCI
 - Два каскада 82C59
 - Интегрированная функция APIC
 - Поддержка 15 прерываний в режиме 8259; поддержка 24 прерываний в режиме APIC
 - Поддержка последовательного протокола прерываний
 - Поддержка доставки прерываний системной шины
- Рабочее напряжение ядра 1,0 В, напряжение ввода/вывода 3,3 В
 - Буферы с поддержкой 5-В для сигналов IDE, PCI, перегрузки по току USB и стандартных сигналов
- Интерфейс Hublink 1.5
 - Использование расширенного режима в переходной плате ввода/вывода
- Интерфейс концентратора встроенного микрокода (с контактами шины LPC)
 - Поддержка области памяти BIOS до 8 МБ
- Шина LPC
 - Поддерживает подключение стандартных микросхем, например, суперконтроллера ввода/вывода
 - Поддерживает два устройства DMA с функцией захвата шины
- Шина SM
 - Поддерживает интерфейс хоста; поддерживает код POST80
 - Поддержка подчиненного интерфейса (не используется в переходной плате ввода/вывода)
- Часы реального времени

- Память CMOS RAM объемом 256 байт с резервным питанием от батареи
- Аппаратная система указания смены веков

В таблице ниже приведено краткое описание и даны сведения по всем сигналам контроллера ICH4. Подробное описание контактов можно найти во *Внешней спецификации контроллера ICH4*.

Таблица 5-1. Сигналы ICH4

Группа сигналов / Название	Описание	Пересылка сигналов
Интерфейс Hublink	Интерфейс Hublink 1.5	Идет на плату ввода/вывода с заземлением сверху и снизу
Интегрированный сетевой адаптер	Сигналы интерфейса локальной сети (IF)	Нет соединения, не поддерживается переходной платой ввода/вывода.
EEPROM IF	EEPROM для внутренней локальной сети	EE_DOUT PD, другие - плавающие.
FWH Interface	Интерфейс концентратора встроенного микрокода (с контактами шины LPC)	Подключается ко всем концентраторам встроенного микрокода. Также подключается к контроллеру BMC и суперконтроллеру ввода/вывода.
Интерфейс PCI	Шина PCI (32 бит, 33 МГц)	Видеоконтроллер и контроллер Ethernet 82540EM.
Интерфейс IDE	Переходная плата ввода/вывода поддерживает только режим ATA33	Сигналы IDE пересылаются на интерфейс Slot 1. Вторая шина IDE не подключена
LPC IF	Интерфейс LPC , с контактами концентратора встроенного микрокода, IF. Поддерживает два устройства DMA с функцией захвата шины	Сигналы пересылаются на концентратор встроенного микрокода, суперконтроллер ввода/вывода и контроллер BMC. Всего на этой шине установлено шесть устройств. Контроллер ICH4 имеет встроенный нагрузочный резистор для этих контактов
AC 97 Link	Подключение AC 97, пять сигналов	Не используется, плавает, внутреннее понижение напряжения. BIOS устанавливает бит отключения AC97 = 1 в глобальном реестре управления AC97 (адрес: NABMBAR + 2 Ch).
Интерфейс прерывания		
SERIRQ	Запрос последовательного прерывания	Пересылается на SIRQ суперконтроллера ввода/вывода.
PIRQ[H:A]	Прерывание PCI, восемь линий,	Нагрузочный резистор 10 K, подробная схема PIRQ приведена в разделе 5.9: IRQ и хозяин шины.
IRQ[14]	Стандартный IRQ, одна линия	IRQ14 подключается к главной шине IDE.
APICCLK	Синхронизирующий сигнал APIC	Не используется, понижение напряжения.
APICD[1:0]	Сигнал данных APIC	Не используется, понижение напряжения.
Интерфейс USB	Интерфейс USB, 12 контактов	Пересылается на разъем USB, для защиты от перегрузки установлен диод защиты от переходного напряжения. Также установлен плавкий предохранитель на 1,1 А для защиты от перегрузки по току.
Управление питанием		
THRM_L	Оповещение/ввод по температуре	Не используется, повышение напряжения.
SLP_S3_L	Управление/вывод режима сна S3	Не используется, повышение напряжения.
SLP_S5_L	Управление/вывод режима сна S5	Пересылается на PLD2, затем пересылается на

		BMC XINT1 (ввод IRQ).
PWROK	Power OK / Ввод	Плата ввода/вывода отправляет сигнал ICH4_PWROK на PLD2. После проверки PLD2 пересылает этот сигнал на контакт PWROK микросхемы ICH4. Подробная информация приведена в разделе 5.6.2: Последовательность включения питания
PWRBTN_L	Кнопка питания / Ввод	Пересылается контроллером BMC на PLD2. PLD2 может отправить этот сигнал на вход ICH4 PWRBTN_L. Подробная информация приведена в разделе 5.6.2: Последовательность включения питания.
RI_L	Индикатор вызова / Ввод	Сигнал ввода общего назначения. К этому контакту подключен выход SMI контроллер BMC для генерирования сигналов SCI.
RSMRST_L	Нормальное возобновление, перезагрузка / ввод	Подключен к сигналу 3_3VSTDBY_GD. После подачи HIP6004 D2D стабильного питания режима 3,3 В режима ожидания (с отклонением менее 10%), микросхема Dallas* DS1815 подождет 150 мс, а затем подаст этот сигнал.
RSM_PWROK	Нормальное возобновление, power Ok / Ввод	Подключен к сигналу 3_3VSTDBY_GD. Сигнал подается, когда питание режима ожидания стабильно в течение 150 мс. (В спецификации ICH4 требуется только 10 мс.)
SUS_STAT_L	Состояние режима сна/ Выход	Пересылается на PLD2. Не используется в PLD.
SUSCLK	Синхронизирующий сигнал режима сна/ Выход	Выходной синхронизирующий сигнал 32 Кгц, пересылается на контроллер BMC и суперконтроллер ввода/вывода.
VRMPWRGD	Стабилизаторы напряжения, сигнал Power Good / Ввод	Не используется, повышение напряжения.
Интерфейс процессора		
A20M_L	Маска A20 / Вывод	
CPUSLP_L	Режим сна процессора / Вывод	
FERR_L	Ошибка числового сопроцессора / Ввод	
IGNNE_L	Игнорировать числовую ошибку / вывод	
INIT_L	Инициализация / Вывод	
INTR	IRQ процессоры/ Вывод	
NMI	Немаскируемый IRQ / Вывод	
SMI_L	IRQ системного управления / Вывод	
STPCLK_L	Запрос остановки синхронизирующих сигналов / Вывод	
RCIN_L	Перезагрузка процессора контроллером клавиатуры /Ввод	
A20GATE	Шлюз A20 / Ввод	
CPUPWRGD	Процессор, сигнал Power Good / Вывод, открытый сток	
Интерфейс SMBus		
SMBDATA	Сигнал данных шины SMBus / Вывод, OD	Пересылается на J3A1 для порта POST 80
SMBCLK	Синхронизирующий сигнал шины SMBus / Вывод, OD	Пересылается на J3A1 для порта POST 80

SMBALERT_L	Оповещение SMB / Ввод	Используется в качестве GP11, пересылается на PROCHOT_L, дополнительная информация содержится в разделе 5.9: IRQ и хозяин шины.
Интерфейс управления системой		
INTRUDER_L	Обнаружение вскрытия корпуса / Ввод	Пересылается на разъем Slot1 для цепи обнаружения вскрытия корпуса.
SMLINK[1:0]	Соединение системного управления / Ввод	Не используется, повышение напряжения.
Часы реального времени	RTCX1, RTCX2 два контакта	Подключаются к кристаллу 32 КГц.
Синхронизирующие импульсы		
CLK14	Входной синхронизирующий импульс	14,31818 МГц с платы ввода/вывода для таймера 8254.
CLK48	Входной синхронизирующий импульс	48 МГц с платы ввода/вывода для контроллера USB.
CLK66	Входной синхронизирующий импульс	66 МГц с платы ввода/вывода для контроллера ICH4.
Другие сигналы		
SPKR	Динамик / Вывод	Выходной сигнал динамика, пересылается на PLD2. Соединен по схеме ИЛИ с выходным сигналом динамика, отправляемым BMC.
RTCRST_L	Перезагрузка часов реального времени / Ввод	Перезагрузка цепи реального времени с помощью массива резисторов/конденсаторов.
TP0	Точка тестирования / Ввод	Повышение напряжения.
FS0	Полоса функций / Ввод	Зарезервирован, NC.
Питание и заземление		
Vcc3_3	3,3 В для буфера ввода/вывода	Подключен к VCC, 3.3 V.
Vcc1_5	1,5 В для ядра	От стабилизатора 3,3 В->1,5 В.
V5REF	Вход 5 В	5-В от +5-В, требуется последовательность включения питания. Подробная информация приведена в разделе 5.6.2: Последовательность включения питания.
VccSus3_3	3,3 В (режим ожидания)	Встроенная шина 12 В режима ожидания на преобразователь 3,3 В режима ожидания.
VccSus1_5	1,5 В (режим ожидания)	От стабилизатора/транзистора 3,3 В ->1,5 В режима ожидания.
V5REF_Sus	5 В (режим ожидания)	От 5V_stdby, требуется последовательность включения питания
VccRTC	Питание часов реального времени	От 3,3 В или батареи
VBIAS	Напряжение смещения часов реального времени	От батареи, дополнительная информация приведена в разделе 5.6.2: Последовательность включения питания.
V_CPU_I/O	Напряжение ввода/вывода процессора	От стабилизатора 1,5 В.
Vss	Земля	Цифровое заземление.
GPIO (Ввод/вывод общего назначения)		

Таблица 5-2. Опции полосы ICH4

Деталь	По умолчанию	Описание
R7D4	Install	Не загружать ICH4.
R6C11	DNI	Тестирование GPIO16 (интегрированного резистора PU) контроллера ICH4.

5.3.2 BMC

Специализированная интегральная микросхема контроллера BMC содержит ядро ARM7TDMI и периферийные устройства. Этот контроллер выступает в качестве центрального контроллера управления серверной системы. Контроллер BMC содержит логику, необходимую для встроенного ПО, управления системой, мониторинга датчиков и связи с другими системами и устройствами через различные интерфейсы.

В данной системе контроллер BMC работает с частотой 40 МГц от внешнего возбуждителя. На цепь управления сервером подается питание режима ожидания. BMC имеет параллельную шину для подключения SRAM и загрузочного блока флэш-памяти. Два сложных программируемых логических устройства (CPLD) используются для пересылки сигналов управления сервером и расширения портов ввода/вывода контроллера BMC.

В таблице 5-3 приведена схема контактов контроллера BMC. Подробное описание функций контроллера BMC содержится в разделе 5.5.5, «Управление сервером». Контроллер BMC используется для поддержки следующих характеристик переходной платы ввода/вывода:

- Ядро процессора ARM7TDMI с разъемом JTAG для эмуляции ICE. В разделе JTAG 5.7.4 содержится более подробная информация.
- 32 КБ внутренней памяти RAM для программирования/данных.
- Внешние интерфейсы параллельной шины: Поддерживается 4 МБ SRAM и 4 МБ загрузочной флэш-памяти. Параллельная шина также подключена к PLD1 и порту расширения BMC. См. раздел 5.4, «Шины и интерфейсы».
- Контроллер прерываний с 32 входами поддерживает внутренние периферийные устройства и восемь внешних прерываний.
- Два 16550-совместимых универсальных асинхронных приемопередатчика (UART) с интегрированными генераторами скорости. Один используется в качестве порта аварийного управления, другой UART используется в качестве порта ICMB.
- Счетчик ОС реального времени (RTOS)
- Контрольный счетчик
- Разделитель синхронизирующих импульсов часов реального времени. Контроллер ICH4 подает синхронизирующий импульс 32 КГц..
- Восемь 10-битных каналов аналогово-цифрового преобразователя. Пять каналов используется для мониторинга шин питания 12 В режима ожидания, 2,5 В, 5 В режима ожидания, 1,5 В режима ожидания и 1,5 В. Мониторинг других напряжений производится на плате ввода/вывода.
- Интерфейс LPC поддерживает следующие функции:

- Подчиненные интерфейсы: Три интерфейса контроллера клавиатуры 8042
- Интерфейс Snoor: Поиск данных конкретных циклов ввода/вывода
- Интерфейс хозяина шины
- Два хозяина шины, два подчиненных устройства, четыре интерфейса I²C с функцией захвата шины. В их число входят интерфейсы I²C для IPMB, PCI, LAN, SYS, SMB и ввода/вывода. См. раздел 5.4, «Шины и интерфейсы».
- Многие контакты используются для логики ввода/вывода общего назначения
- Четыре сигнала индикаторов, обеспечивающие работу индикаторов включения системы, общего сбоя, неисправности вентиляторов и сбоев питания.
- Интерфейс параллельной шины с CPLD для портов расширения BMC.
- Поддержка цепи ISP через порт расширения BMC. Подробная информация приведена на схеме CPLD.
- Синхронизирующий импульс 40 МГц со внешнего возбуждителя.
- 156-контактный корпус BGA.

Таблица 5-3. Контакты BMC и описание группы сигналов

Группа сигналов / Название	Описание
SMM_A[22:0]	Выход, адрес памяти BMC. Пересылается на SRAM, флэш-память BMC и PLD1.
SMM_D[15:0]	Двунаправленный, шина данных BMC. Пересылается на SRAM, флэш-память BMC и PLD1.
BMC_RST_R_L	Вход, линия перезагрузки BMC. Генерируется PLD2. Перезагрузка BMC может производиться по сигналу 3,3 В режима ожидания.
BMC_CLK	Вход синхронизирующих импульсов BMC, 40 МГц от возбуждителя (45/55 рабочий цикл).
LPC_LDRQ1_L	Канал 1 хозяина шины LPC, пересылается на ICH4 LDRQ1.
BMC_SMI_L	Прерывание управления сервером BMC. Пересылается на контакт RI_L ICH4, способный генерировать прерывание конфигурирования системы (SCI).
BUF1_PCIRST_L	Линия перезагрузки PCI. Перезагрузка шины LPC BMC.
BUS_ISOLATE_L	При отсутствии тока, управляемого напряжением (VCC), питание не подается, этот сигнал изолирует BMC от шины LPC.
LPC BUS	Пяти проводной интерфейс шины LPC. Подключен к ICH4, суперконтроллеру ввода/вывода, концентратору встроенного микрокода.
XINT[0..7]	IRQ BMC. Подключены к разным сигналам управления сервером.
PMI_L	Линия PMI IRQ от CPLD.
BMC Serial Port 0	Порт аварийного управления.
BMC Serial Port 1	Порт ICMB.
BMC I2C Buses	Шесть шин I ² C*, подключенных к плате ввода/вывода, плате процессоров, платам памяти, и т.д.
FP_SYS_PWR_L	Выход, индикатор питания системы. Подключен к передней панели.
FP_PWR_FAIL_L	Выход, индикатор сбоя питания. Подключен к передней панели.
FP_COOL_FAIL_L	Выход, индикатор сбоя вентилятора. Подключен к передней панели.
FP_GEN_FAULT_L	Выход, индикатор общего сбоя в работе системы. Подключен к передней панели.

BMC_SPK_DATA	Выход, выходной сигнал динамика. Подключен к CPLD, где соединен по схеме И с выходным сигналом динамика ICH4. Выход, объединенный по схеме И, подключен к передней панели.
BOOT_OK_L	Выход, сигнал BMC Boot Ok на плату ввода/вывода.
PIRQE	Вход BMC, прерывание на активном высоком уровне. Инвертируется из PIRQE_L of ICH4.
A2D[0..7]	Сигналы входа аналогово-цифрового преобразователя BMC. Мониторинг напряжения питания переходной платы ввода/вывода.
BMC_VREF	Обозначение напряжение аналогово-цифрового преобразователя. Требуется вход 2,5 В.
BMC_PLD_RST_L	Выход BMC, перезагрузка устройств PLD.
BMC_D2D_EN	Включение преобразователей постоянного тока, пересылается на PLD, где сигнал буферизуется и передается на плату ввода/вывода.
PS_ON_L	Выход BMC, сигнал включения питания пересылается на плату ввода/вывода.
SM_PWRBTN_L	Сигнал питания, пересылается на устройство PLD. PLD отправляет сигнал на ICH4 и плату ввода/вывода.
POWER_SW	Сигнал кнопки питания BMC. Сигнал идет с передней панели.
RESET_SW	Сигнал кнопки перезагрузки BMC. Сигнал идет с передней панели.
SDINT_SW	Сигнал кнопки SDINT BMC. Сигнал идет с передней панели.
XP0_EN_L	Включение порта расширения 0. Подключен к PLD. (Зарезервирован)
XP1_EN_L	Включение порта расширения 1. Подключен к PLD. (Зарезервирован)
XP2_EN_L	Включение порта расширения 2. Подключен к PLD. (Зарезервирован)
BMC_WE_L	Включение записи BMC. Подключен к SRAM, флэш-памяти, PLD.
BMC_OE_L	Включен выход BMC. Подключен к SRAM, флэш-памяти, PLD.
BMC_CS0_L	Выход BMC, выбор микросхемы для порта расширения PLD.
BMC_CS1_L	Выход BMC, выбор микросхемы для SRAM.
BMC_UPDATE	Запрос обновления BMC, подключен к перемычке.

5.3.3 Концентратор встроенного микрокода

Переходная плата ввода/вывода содержит четыре флэш-компонента концентратора встроенного микрокода (в корпусе PLCC32). Все концентраторы встроенного микрокода находятся на одной шине LPC с изоляцией быстродействующими выключателями. Такая изоляция требуется для быстрого параллельного программирования при ICT. Каждый концентратор встроенного микрокода имеет синхронизирующий импульс 33 МГц. Длина этих синхронизирующих импульсов соответствует 4,5 дюймам с импедансом 50 Ом.

Шина питания 3,3 В подключена к контактам VPP концентраторов встроенного микрокода. Изоляция этой шины обеспечивается тремя транзисторами CMOS (Q8B2, Q9B1, Q9B2). Для нормальной записи на концентратор встроенного микрокода, на контакт VPP всегда подается напряжение 3,3 В. Для программирования на производстве, вызов машины ICT понижает напряжение шлюза транзисторов (контакт 1), изолируя , isolating шину 3,3 В от VPP. Одновременно с этим ICT подает на VPP напряжение 12 В. Это значительно ускоряет программирование.

Каждый концентратор встроенного микрокода имеет пять контактов ввода, что в сумме составляет 30 контактов ввода общего назначения (GPI). Контакты ввода общего назначения концентраторов встроенного микрокода с идентификаторами 4, 6, 8 подключены к ревизионным битам печатной платы. Контакты ввода общего назначения концентраторов встроенного микрокода с идентификаторами 3, 5, 7 подключены к линейному входу BIOS. Неиспользуемые контакты ввода общего назначения подключены к нагрузочным резисторам 3,3-К. В таблице ниже описываются контакты GPI и их функции.

Таблица 5-4. Контакты ввода общего назначения на концентраторе встроенного микрокода

FWH GPI	Устройство / Контакт	Функции
GPI0	U8D3, U9D1, U8E2 / 6	Идентификатор версии PCB, бит 0
GPI1	U8D3, U9D1, U8E2 / 5	Идентификатор версии PCB, бит 1
GPI2	U8D3, U9D1, U8E2 / 4	Идентификатор версии PCB, бит 2
GPI3	U8D3, U9D1, U8E2 / 3	Идентификатор версии PCB, бит 3
GPI4	U8D3, U9D1, U8E2 / 30	Не используется, нагрузочный резистор
GPI5	U8E1, U9C1, U9E1 / 6	Перемычка отключения PHP
GPI6	U8E1, U9C1, U9E1 / 5	Вход очистки CMOS
GPI7	U8E1, U9C1, U9E1 / 4	Вход очистки пароля
GPI8	U8E1, U9C1, U9E1 / 3	Вход восстановления загрузочного блока
Прочее	U8E1, U9C1, U9E1 / 30	Не используется, нагрузочный резистор

*Примечание: При отключении концентратора встроенного микрокода на северном мосту (на плате процессоров), концентраторы встроенного микрокода 8 и 9 получают идентификаторы 0 и 1.

5.3.4 Суперконтроллер ввода/вывода

Суперконтроллер ввода/вывода SMC* обеспечивает работу одного последовательного порта на переходной плате ввода/вывода. Это устройство установлено на шине LPC, в него встроена AMI* BIOS. Последовательный порт по умолчанию имеет адрес 0x2E. Эти порты ввода/вывода подробно описаны в разделе 5.5, «Порты ввода/вывода и интерфейсы».

5.3.5 Графическое решение

Переходная плата ввода/вывода использует видеоконтроллер ATI Rage XL. Процессоры контроллера работают от напряжения 2,5 В, а системы ввода/вывода – от напряжения 3,3 В. Видеоцепь обеспечивает поддержку 8 МБ SDRAM. Видеоконтроллер на шине PCI имеет IDSEL = AD17. Он не использует линию PCI IRQ. Ниже приведено описание резистора видеоцепи.

Таблица 5-5. Описание резистора видеоцепи

Резистор	По умолчанию	Описание
R6N2	DNI	Не установлен = видеоподсистема включена, установлен = видеоподсистема отключена

5.3.6 82540EM* 10/100/1000 Ethernet

Переходная плата ввода/вывода содержит контроллер Ethernet 10/100/1000 82540EM. Это быстрый многофункциональный контроллер Ethernet PCI/CardBus. Контроллер 82540EM повышает пропускную способность сети, самостоятельно выполняя задачи, связанные с коммуникациями. В нем также интегрированы улучшенные функции управляемости. Микросхема 82540EM включает порт шины системного управления и обеспечивает защиту данных посредством 168-битного шифрования. Ниже перечислены характеристики контроллера 82540EM:

- Интегрированная обработка протокола
 - Поддержка контрольной суммы Ipv4
 - Расширенная фильтрация IP-адресов
 - Поддержка функций tagging и stripping виртуальных сетей VLAN 802.3ac

- Security
 - Стандарт тройного шифрования данных (168 бит)
 - HMACMD 5 и HMAC – защищенный алгоритм хэширования для аутентификации передачи и поддержки подтверждения получения
 - Гибкий и простой интерфейс защищенного режима шифрования протокола IP
 - Режим аппаратного шифрования IP
 - Циклы шифрованных данных для повторного использования
- Улучшения производительности
 - Задержана возможность приема прерываний
 - Быстрая обработка, меньшая загрузка шины
- Управляемость
 - Интеграция с интерфейсом универсальных сетевых адаптеров
 - Активный мониторинг состояния системы (интегрирована функция Alert on LAN)

На сетевой адаптер 82540EM питание подается от шины режима ожидания. Однако поскольку это устройство также установлено на шине PCI, на которую подается обычное питание, для изоляции устройства 82540EM от шины PCI при отсутствии VCC используется сигнал BUS_ISOLATE_L. Шина SMB контроллера 82540EM подключена к шине BMC I2C_LAN. Эта шина I²C контроллера BMC используется только для сетевого адаптера 82540EM.

Для этого сетевого адаптера выделена область EEPROM объемом 256 слов. В ней хранятся MAC-адреса и конфигурационная информация PCI.

Ниже приведено описание контактов и сигналов контроллера 82540EM.

Таблица 5-6. Описание сигналов 82540EM

Группа сигналов / Название	Описание
Шина PCI	Пересылается на шину ICH4 PCI. IDSEL = 16. Прерывание = PIRQC_L.
NIC_SMBALRT_L	Выход 82540EM, пересылается на PLD, а затем на BMC XINT0.
I2C_LAN_SCL	Шина SMB, подключена к BMC.
I2C_LAN_SDA	Шина SMB, подключена к BMC.
3_3VSTDBY_GD	Сигнал Power Good шины 3,3 В режима ожидания, используется для перезагрузки 82540EM.
EEPROM Interface	Четырехпроводной интерфейс EEPROM.
Интерфейс флэш-памяти / модема	Плавающий сигнал, функция не поддерживается.
LILED	Активный индикатор, зеленый цвет означает, что соединение установлено
ACTLED	Активный индикатор, мигание означает активность соединения
100_L	Индикатор скорости, зеленый цвет означает работу в режиме 100 Мбит/с (если индикатор не горит, скорость передачи 10 Мбит/с).
1000_L	Индикатор скорости, желтый цвет означает работу в режиме 1 Гбит/с.
TDPO, 1,2,3	Положительный передатчик (4 провода).
TDNO,1,2,3	Отрицательный передатчик (4 провода), дифференцирован по отношению к другим сигналам

5.4 Шины и интерфейсы

5.4.1 Интерфейс Hublink 1.5

Переходная плата ввода/вывода подключается к плате ввода/вывода через 242-контактный разъем. Основной интерфейс разъема, Hublink 1.5, соединяет ICH4 с серверным концентратором ввода/вывода (SIOH) на плате ввода/вывода. Компенсационный резистор Hublink (Romp) имеет параметры 45,3 Ом, 1% и подключен к шине 1,5 В. Поскольку для этой шины требуется минимальная длина, она реализована в виде 5-миллиметровой дорожки во внутреннем слое. Сверху и снизу идут панели заземления. Длина дорожки составляет 20 мм, импеданс 50 Ом.

Таблица 5-7. Схема контактов интерфейса Hublink (HL)

Группа сигналов / Название	Описание	Пересылка сигналов
HL[7:0]	Путь данных HL	Пересылается на соединительный разъем. Подключен к HL[7:0] на плате ввода/вывода
HL8	Интерфейс Hublink или HL_REQM	Пересылается на соединительный разъем. Подключен к HL_REQM на плате ввода/вывода
HL9	Интерфейс Hublink или HL_REQI	Пересылается на соединительный разъем. Подключен к HL_REQI на плате ввода/вывода
HL10	Интерфейс Hublink или HL_STOP	Пересылается на соединительный разъем. Подключен к HL_STOP на плате ввода/вывода
HL11	Интерфейс Hublink или HL_PAR	Пересылается на соединительный разъем. Подключен к HL_PAR на плате ввода/вывода
HL_STB	Стробирование интерфейса HL	Пересылается на соединительный разъем. Подключен к HL_STB на плате ввода/вывода
HL_STB_L	Дополнительное стробирование интерфейса HL	Пересылается на соединительный разъем. Подключен к HL_STB_L на плате ввода/вывода
HL_COMP	Компенсация интерфейса концентратора	Подключен к линии 1,5 В через резистор 45,3 Ом

5.4.2 Интерфейс IDE

Контроллер ICH4 поддерживает две шины IDE. Переходная плата ввода/вывода подключает к интерфейсу соединительного разъема платы ввода/вывода только главный канал IDE. Шина IDE на переходной плате ввода/вывода работает в режиме ATA33. Импеданс дорожки PCB составляет 60 Ом. Поскольку контроллер ICH4 использует последовательные резисторы на шине IDE, за исключением IDE-RESET, дополнительное оконечное напряжение не требуется. Однако для сигнала IDE RESET используется резистор 22 Ом. Сигнал IDE RESET представляет собой буферизованный сигнал PCI Reset контроллера ICH4.

5.4.3 Шина LPC

ICH4 поддерживает шину LPC (4 бит, 33 МГц). Функция моста LPC в контроллере ICH4 содержится в устройстве PCI 31: Функция 0. Информацию о конфигурационном реестре PCI для моста LPC можно найти в последней версии *Внешней спецификации ICH4*. На шине LPC расположены следующие устройства:

- Концентратор встроенного микрокода – На шине концентраторов встроенного микрокода установлено четыре компонента флэш-памяти в корпусе PLCC . Эта шина также называется шиной LPC. Сигнальные биты шины концентраторов встроенного микрокода 3 ~ 0 соответствуют битам адресов шины LPC 3 ~ 0. Сигнальный бит 4 концентратора встроенного микрокода соответствует сигналу LFRAME# шины LPC.
- Суперконтроллер ввода/вывода – Используется суперконтроллер ввода/вывода SMC 47B272. Он занимает канал LPC DMA 0 ICH4.
- BMC – Контроллер BMC располагается на шине LPC и поддерживает связь с ICH4. Контроллер BMC занимает канал LPC DMA 1 на этой шине. При выключении системы сигнал BUS_ISOLATE_L подает сигнал низкого уровня на контакт LPCPD_L. При этом происходит отключение шины LPC BMC. Это необходимо поскольку контроллер BMC работает от питания режима ожидания, а шина ICH4 LPC работает от обычных шин питания.

Таблица 5-8. Список контактов шины LPC

Группа сигналов / Название	Описание	Комментарий
LPC_LAD[3:0]_L	Мультиплексируемые сигналы команд, адресов и данных шины LPC, вход/выход	Все имеют встроенные нагрузочные резисторы
LPC_LFRAME_L	Кадр LPC, Выход	Указывает начало цикла.
LPC_LDRQ[1:0]_L	Запрос LPC Serial DMA/Master, вход	Канал 0 занят суперконтроллером ввода/вывода*. Канал 1 подключен к контроллеру BMC.

5.4.4 Интерфейс PCI

Интерфейс ICH4 обеспечивает режим 33 МГц, совместимый со спецификацией PCI 2.2. Все сигналы PCI выдерживают напряжение 5 В. В контроллер ICH4 интегрирован арбитр PCI, поддерживающий до шести внешних хозяев шины PCI помимо внутренних запросов ICH4.

Учтите, что большинство транзакций, предназначенных для ICH4, сначала появятся на внешней шине PCI, а потом будут востребованы ICH4. Исключение составляют циклы ввода/вывода с участием устройств USB, IDE и AC'97. Эти транзакции выполняются через интерфейс концентратора и не занимают внешнюю шину PCI.

На переходной плате ввода/вывода на 32-битной шине PCI имеется два устройства.

- Видеоконтроллер ATI* Rage XL
- Контроллер Ethernet Intel® 82540

Видеоконтроллер поддерживает 8 МБ памяти SDRAM и не использует линии PCI IRQ. Контроллер Ethernet - Intel® 82540EM. Он имеет встроенные функции 168-битного шифрования и поддерживает управление сервером. В таблице ниже показано распределение PCI IRQ, DMA и IDSEL.

Таблица 5-9. Распределение PCI IRQ, DMA и IDSEL

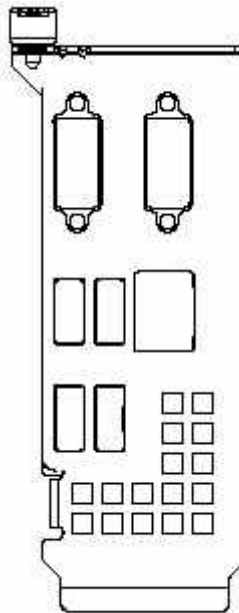
Графическое решение	IDSEL = AD17 Хозяин шины = REQ2 IRQ = Нет
Сетевой контроллер Intel® 82540 EM	IDSEL = AD16 Хозяин шины = REQ1 IRQ = PIRQC

5.5 Порты и интерфейсы ввода/вывода

5.5.1 Порт USB

Контроллер-концентратор ICH4 включает два контроллера USB. Каждый контроллер поддерживает два USB 1.1-совместимых порта, таким образом, всего поддерживается четыре порта USB. Ниже показано физическое расположение портов USB на разъемах.

- J1D1, верхний разъем --- USB 1
- J1D1, нижний разъем --- USB 2
- JA1D1, верхний разъем --- USB 3
- JA1D1, нижний разъем --- USB 4



В ICH4, конфигурационные реестры USB PCI расположены в D31:F2/F4. Схема приведена в таблице ниже. Подробная информация по каждому реестру приведена во Внешней Спецификации ICH4.

Таблица 5-10. Схема ICH4

Offset	Mnemonic	Register Name/Function	Function 2 Default	Function 4 Default	Type
00–01h	VID	Vendor ID	8086h	8086h	RO
02–03h	DID	Device ID	2442h	2444h	RO
04–05h	CMD	Command Register	0000h	0000h	R/W
06–07h	STA	Device Status	0280h	0280h	R/W
08h	RID	Revision ID	See Note	See Note	RO
09h	PI	Programming Interface	00h	00h	RO
0Ah	SCC	Sub Class Code	03h	03h	RO
0Bh	BCC	Base Class Code	0Ch	0Ch	RO
0Eh	HTYPE	Header Type	00h	00h	RO
20–23h	Base	Base Address Register	00000001h	00000001h	R/W
2C–2Dh	SVID	Subsystem Vendor ID	00	00	RO
2E–2Fh	SID	Subsystem ID	00	00	RO
3Ch	INTR_LN	Interrupt Line	00h	00h	R/W
3Dh	INTR_PN	Interrupt Pin	03h	03h	RO
60h	SB_RELNUM	Serial Bus Release Number	10h	10h	RO
C0–C1h	USB_LEGKEY	USB Legacy Keyboard/ Mouse Control	2000h	2000h	R/W
C4h	USB_RES	USB Resume Enable	00h	00h	R/W

5.5.2 Порт Ethernet

Во внешнем разъеме JA1D1 объединены разъемы USB и RJ45. Порт RJ45 располагается над двумя портами USB. Он содержит трансформатор Ethernet с сетью резисторов и двумя цветными индикаторами. На трансформаторе установлен согласующий резистор 120 Ом. На трансформаторе установлено несколько внешних согласующих резисторов 49,9 Ом. Ниже описываются состояния индикаторов скорости/состояния соединения.

- Индикатор скорости: Желтый включен – 1000 Мбит/с
Индикатор скорости: Зеленый включен – 100 Мбит/с
Индикатор скорости: Выключен – 10 Мбит/с
- Индикатор состояния: Зеленый включен, обнаружено подключение к сети
- Индикатор состояния: Выключен, подключение к сети не обнаружено
- Индикатор состояния: Зеленый мигает, передача данных по сети

Индикатор состояния системы

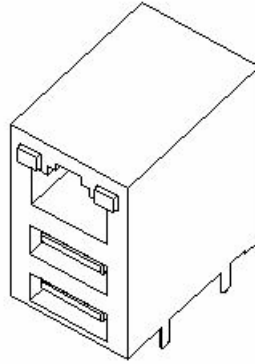


Рисунок 5-2. Расположение индикаторов и разъема RJ45

5.5.3 Последовательный порт

Суперконтроллер ввода/вывода SMC* поддерживает два последовательных порта. Однако переходная плата ввода/вывода серверной системы S870BN4 использует только порт COM2. Порт COM2 подключен к блоку J1B1, в котором объединены видеоразъем и последовательный порт. Порт COM1 подключен к J1A1 только для отладки. Последовательный порт поддерживает базовые адреса 0 x 02E и 0 x 04E. По умолчанию переходная плата ввода/вывода имеет адрес 0 x 02E. Это производится посредством подачи низкого напряжения на контакт GPIO24 при включении. Этот контакт GPIO24 контролируется CPLD.

5.5.4 Видеоразъем

Переходная плата ввода/вывода использует блок разъемов J1B1. Ниже приведена схема контактов видеопорта J1B1.

Таблица 5-11. Схема контактов видеоразъема (J1B1)

Контакт 1	Цветовой сигнал красный
Контакт 2	Цветовой сигнал зеленый
Контакт 3	Цветовой сигнал синий
Контакт 4	NC
Контакт 5	GND
Контакт 6	GND
Контакт 7	GND
Контакт 8	GND
Контакт 9	NC
Контакт 10	GND
Контакт 11	NC
Контакт 12	MONID1, I2C bus
Контакт 13	VID_HSYNC
Контакт 14	VID_VSYNC

Контакт 15	MONID2, шина I2C
------------	------------------

5.5.5 Коннектор POST-кодов I²C*

Переходная плата ввода/вывода имеет пятиконтактный коннектор (без четвертого контакта) для адаптера POST-кодов I²C. Коннектор расположен на позиции J3A1. Сигналы I²C посылаются шиной SMB контроллера ICH4. Сигналы данных и синхронизирующие сигналы подключены к шине питания 3,3 В режима ожидания. Ниже приведено описание контактов.

Контакт 1	12 В режима ожидания
Контакт 2	SMBDATA
Контакт 3	SMBCLK
Контакт 4	Нет контакта – контакт снят
Контакт 5	Земля

5.5.6 Коннекторы ISP

На переходной плате ввода/вывода имеется два коннектора ISP. Коннектор в точке J8A1 предназначен для PLD1 (U7B1), а коннектор в точке J7A2 предназначен для PLD2 (U5B2) и системной цепи. Оба коннектора представляют собой 8-контактные коннекторы без пятого контакта. Ниже приведено описание контактов этих коннекторов. Подробное описание функций ISP приведено в разделе 5.7.5.

Контакт 1	3,3 В режима ожидания
Контакт 2	TDO
Контакт 3	TDI
Контакт 4	Включено
Контакт 5	Нет контакта – контакт снят
Контакт 6	TMS
Контакт 7	Земля
Контакт 8	TCLK

5.5.7 Переключатель

На переходной плате ввода/вывода на позиции S8A1 установлен один переключатель с пятью положениями. По умолчанию переключатель находится в выключенном положении. Когда пользователь хочет произвести восстановление загрузочного блока или очистку CMOS, он должен установить переключатель в соответствующее положение. Ниже приведено описание положений переключателя.

	Переключатель выключен	Переключатель включен
Контакт 1	Нет действий	Восстановление загрузочного блока
Контакт 2	Нет действий	Очистить пароль
Контакт 3	Нет действий	Очистка CMOS
Контакт 4	Нет действий	Нет контакта – контакт снят
Контакт 5	Нет действий	Обновление BMC

Примечание: При производстве переключатель выключен.

5.5.8 Перемычка

На переходной плате ввода/вывода имеется один 5-контактный коннектор (J7A3), на который

может быть установлена перемычка. Он выполняет две функции: отключение горячей установки и отключение отказоустойчивой загрузки (FRB).

Ниже показано нормальное положение контактов (перемычка не требуется).

1	2	3	4	5
---	---	---	---	---

Для функции PHP_DIS_JP (отключение горячей установки), следует поместить перемычку на контакты 1 и 2.

Для функции FRB_DIS_JP (отключение отказоустойчивой загрузки), следует поместить перемычку на контакты 4 и 5.

На переходной плате ввода/вывода также имеется трехконтактный коннектор (J7A1) для защиты загрузочного блока BMC. В нормальном положении на нем нет перемычек, то есть загрузочный блок BMC защищен. При установке перемычки на контакты 2 и 3 коннектора J7A1, защита загрузочного блока снимается, и становится возможным обновление кода BMC в загрузочном блоке.

5.6 Управление сервером

5.6.1 Блок-схема управления сервером

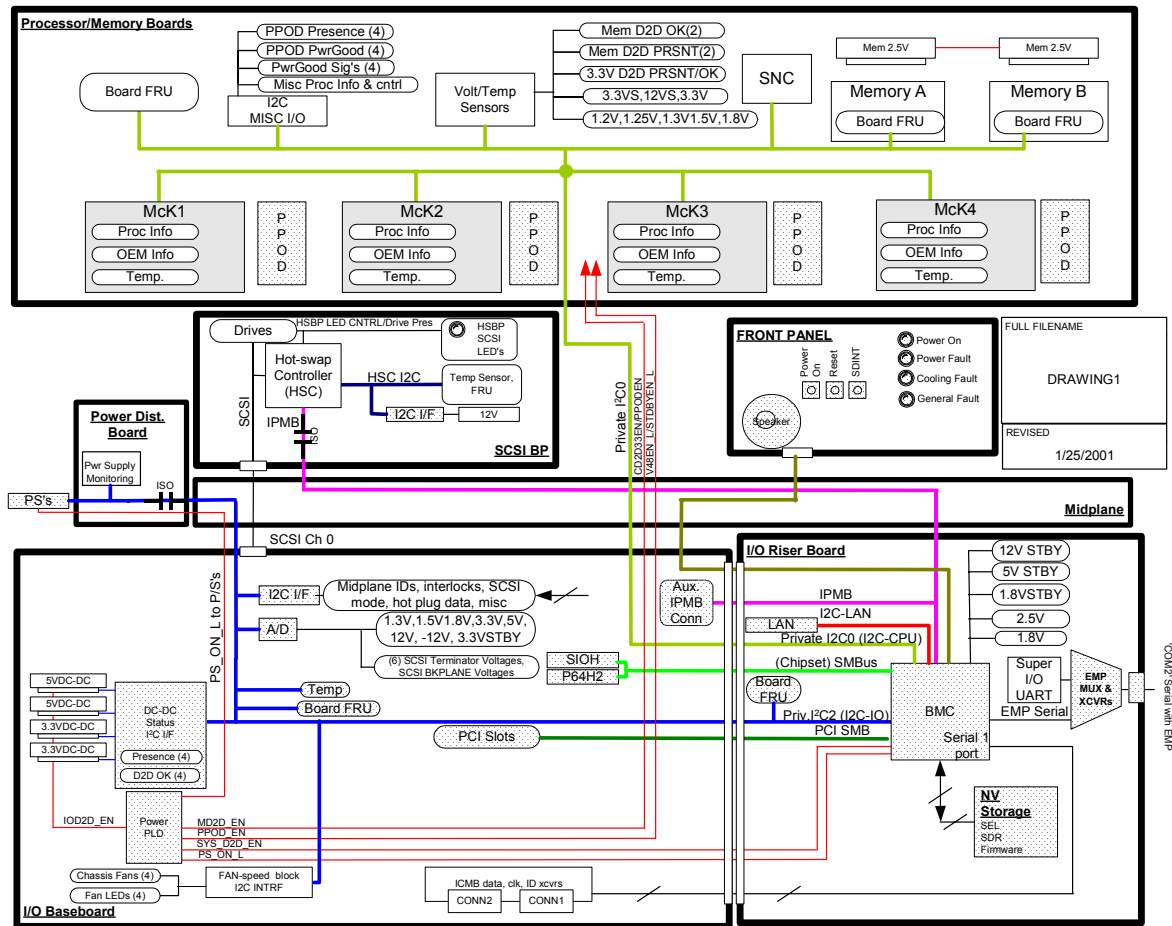


Рисунок 5-3. Блок-схема системы управления сервером

5.6.2 Последовательность включения питания

Контроллер BMC управляет последовательностью включения питания системы. Он получает сигнал о нажатии кнопки на передней панели и отправляет системе соответствующие команды.

Например, он сразу же пересылает сигнал о нажатии кнопки питания. Он убеждается, что система не находится в критическом состоянии, например, что в данный момент не производится программирование PLD, и убеждается в надежности всех соединений. При выполнении всех условий, контроллер BMC генерирует сигналы BMC_D2D_EN, PS_ON и SM_PWRBTN_L. Эти сигналы сообщают системе о том, что кнопка питания нажата, и что необходимо включить блоки питания преобразователей постоянного тока.

Когда контроллер BMC снова обнаруживает активность кнопки питания, он снова пересылает этот сигнал. Если кнопка удерживается более четырех секунд, платформа выключается. Дополнительная информация приведена во *Внешней спецификации системы управления сервером SR870BN4*.

5.7 Перегрузка переходной платы ввода/вывода

Перезагрузка большинства специализированных интегральных микросхем на переходной плате ввода/вывода производится с помощью сигналов PCIRST_L или 3_3VSTBY_GD .

Как только переходная плата ввода/вывода получает питание от шины 12 В режима ожидания, встроенный преобразователь постоянного тока преобразует напряжение 12 В режима ожидания в напряжение 3,3 В режима ожидания и генерирует выходной сигнал 3.3V_STDBY. Внешний генератор перезагрузки Dallas* 1815 (Обозначение. U5C2), определяет выходное напряжение 3.3V_STDBY. Если напряжение составляет приблизительно 3 В, устройство ждет 150 мс, а затем отправляет сигнал перезагрузки на линию 3_3VSTBY_GD. Это указывает, что подача питания режима ожидания осуществляется нормально, и что необходимо произвести перезагрузку всех цепей, работающих от питания режима ожидания.

Когда питание системы включено и синхронизирующие сигналы PCI стабильно работают в течение хотя бы 1 мс, цепь перезагрузки платы ввода/вывода подает на переходную плату ввода/вывода сигнал PWROK. Этот сигнал принимается CPLD (Ref U5B1), и CPLD подает сигнал PWROK контроллеру ICH4. После того, как контроллер ICH4 получает сигналы PWROK = 1, он перезагружается и подает сигналы PCIRST# на все шины PCI и LPC. Сигнал PCIRST_L буферизуется в CPLD и передается видеоконтроллеру, суперконтроллеру ввода/вывода, контроллеру BMC, концентратору встроенного микрокода и сетевому контроллеру 82540.

5.7.1.1 Перегрузка ICH4

ICH4 перезагружается по сигналу 3_3VSTBY_GD. Контроллер ICH4 сам генерирует сигнал PCIRST_L для шины PCI и LPC, когда получает сигнал PWROK =1. Ядро ICH4 также перезагружается интерфейсом Hublink при получении сигнала перезагрузки.

5.7.1.2 Перегрузка BMC

Контроллер BMC работает только от питания режима ожидания. Поэтому перезагрузка ядра BMC производится по сигналу 3_3VSTBY_GD.

Шина LPC BMC перезагружается по сигналу PCIRST_L. CPLD буферизует сигнал PCIRST_L контроллера ICH4 и посылает его точную копию на контакт перезагрузки LPC контроллера BMC. Сигнал PCIRST_L также буферизуется. Сигнал PCIRST_L подается на 11 устройств.

5.7.1.3 Перегрузка суперконтроллера ввода/вывода

Суперконтроллер ввода/вывода перезагружается по сигналу PCIRST_L, который также буферизуется в CPLD U5B1. При этом перезагружается не только интерфейс LPC суперконтроллера ввода/вывода но и его ядро.

5.7.1.4 Перегрузка видеоконтроллера

Видеоконтроллер перезагружается по сигналу PCIRST_L или по команде BMC. Линия перезагрузки декодируется CPLD. CPLD подает сигнал на линию перезагрузки когда он получает сигнал PCIRST_L от контроллера ICH4 или определяет сигнал vid_reset bit=1 на порту расширения BMC.

5.7.1.5 Перегрузка сетевого контроллера 82540EM

Сетевой контроллер 82540EM работает от шины питания 3,3 В режима ожидания. Он перезагружается по сигналу 3_3VSTBY_GD при включении питания режима ожидания. Также

он перезагружается по буферизованному сигналу PCIRST_L от CPLD и ICH4.

5.7.1.6 Перезагрузка CPLD

Перезагрузка CPLD производится по сигналу 3_3VSTDBY_GD и линии BMC_PLD_RST_L. При первоначальном включении питания (т.е. при подаче переменного тока), CPLD перезагружается после стабилизации шины питания 3,3 В режима ожидания. После программирования ISP устройства PLD, контроллер BMC отправляет сигнал BMC_PLD_RST_L для перезагрузки PLD.

5.7.2 I²C, IPMB и FRU

Контроллер BMC поддерживает шесть шин I²C. Первая шина I²C – это шина IPMB. Шина IPMB работает от шины питания 5 В режима ожидания, а остальные шины работают от шин питания 3,3 В режима ожидания (переходная плата ввода/вывода – единственная плата, повышающая напряжение на шинах I²C). В списке ниже описывается шесть шин I²C:

1. I2C_IPMB: генерируется BMC I2C0. Подключается к плате ввода/вывода и объединительной плате SCSI. Также эта шина подключена к порту ICMB контроллера BMC.
2. I2C_SYS: генерируется BMC и подключается к SNC, платам памяти и платам процессоров.
3. I2C_LAN: генерируется BMC и подключается только к сетевому контроллеру 82540.
4. I2C_PCI: подключается к разъемам PCI на плате ввода/вывода.
5. I2C_I/O: подключается к преобразователям на плате ввода/вывода. Также на этой шине установлен блок FRU 24C32 на переходной плате ввода/вывода (адреса FRU: A2,A1,A0 = 1,0,1).
6. I2C_SMB, подключена к концентратору SIOH и контроллерам P64H2 на плате ввода/вывода.

Ниже приводится подробная схема соединений I²C, взятая из *Внешней спецификации системы управления сервером SR870BN4*.

SR870BN4 I2C Buses and Device Addresses

All buses on 3.3VSTBY
unless noted

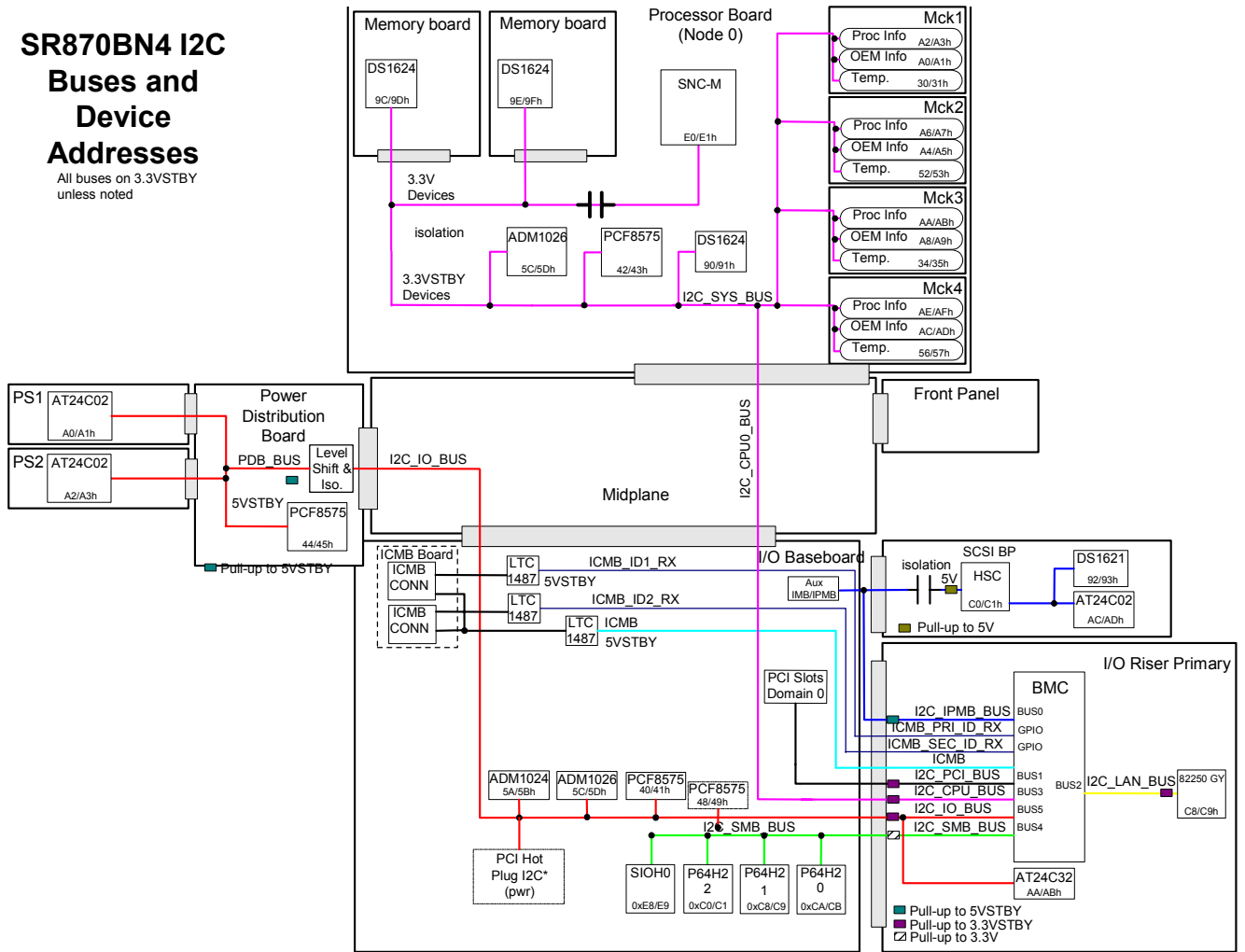


Рисунок 5-4. Шины I²C и адреса устройств серверной системы Intel® SR870BN4

5.7.3 Шина ICMB и порт аварийного управления (EMP)

Сигналы ICMB передаются через контроллер BMC прямо на соединительный разъем. На плате ввода/вывода будет установлен модуль ICMB для передачи сигналов в заднюю часть блока ввода/вывода. В списке ниже описывается шесть сигналов ICMB, поддерживающих идентификаторы ICMB.

Таблица 5-12. Список сигналов ICMB

Группа сигналов / Название	Описание
ICMB_TX	Линия передатчика, выход
ICMB_RX	Линия приемника, вход
ICMB_TXEN	Включение передатчика, выход, активный высокий уровень
ICMB_ID_TXEN	Включение идентификатора передатчика, выход, активный высокий уровень
ICMB_ID1_RX	Линия приемника ID1, вход
ICMB_ID2_RX	Линия приемника ID2, вход

В качестве порта аварийного управления используется последовательный порт суперконтроллера ввода/вывода (COM2). Три устройства 74HC4066 объединяют эти два порта в одном устройстве RS232. Существует два взаимоисключающих сигнала, указывающих, какая шина проходит через разъем DB9 переходной платы ввода/вывода.

Таблица 5-13. Список сигналов порта аварийного управления

Группа сигналов / Название	Описание
EMP_MUX	Выход BMC. Этот сигнал подключен к PLD. Активный высокий уровень '1' означает EMP_EN = 1 и COM2_EN = 0. При включении используется режим EMP_MUX=1.
EMP_EN	Выход PLD. При значении EMP_EN = 1, разъем DB9 выступает в качестве порта аварийного управления.
COM2_EN	Выход PLD. При значении COM2_EN = 1 разъем DB9 выступает в качестве последовательного порта (COM2). Сигналы EMP_EN и COM2_EN не могут подаваться на высоком уровне одновременно.

5.7.4 JTAG

Порт JTAG контроллера BMC может выступать в качестве хозяина шины и подчиненного устройства. Сигналы проходят через резисторы и передаются прямо на соединительный разъем. Плата ввода/вывода получает эти сигналы и отправляет их в системную цепь JTAG. В режиме хозяина шины контроллер BMC управляет системной цепью JTAG. Дополнительная информация приведена во *Внешней спецификации архитектуры SR870BN4*.

Контроллер BMC также может выступать в качестве подчиненного устройства на порту JTAG. На цепи в точке J6A1 установлен коннектор ICE и коннектор DIP 2 x 8. Разработчики встроенного ПО могут подключать к этому коннектору эмулятор JENNI ICE для отладки кода.

По умолчанию контроллер BMC выступает в качестве хозяина цепи JTAG.

Таблица 5-14. Опции JTAG переходной платы ввода/вывода серверной системы Intel® S870BN4

Резистор	Опция
R6C1	Установлен: BMC работает в режиме хозяина порта JTAG (нормальное положение). По схеме это сигнал TDI (ввод данных).
R5C1	Не установлен: BMC JTAG работает в подчиненном режиме. Включен ICE. Установлен ; TDO (выход данных)
R5C4	Установлен; синхронизирующий импульс

R5C5	Установлен; сигнал IO_TMS
R5C6	Установлен; сигнал перезагрузки.

5.7.5 ISP Chain

Контроллер BMC управляет цепью ISP. Его область памяти декодируется устройством PLD1 переходной платы ввода/вывода, и часть ее переносится в цепь ISP. Например, когда контроллер BMC записывает данные в область памяти адресом "2XXXX0", устройство PLD1 знает, что эти данные предназначены для цепи ISP. В этом случае оно преобразовывает эти данные для цепи ISP. Учтите, что устройство PLD передает на цепь ISP только нижние пять бит (биты 0,1,2,3,4) данных.

Цепь ISP также используется совместно с сигналом LCD. Статус шины определяется сигналами LCD_E_L и ISP_EN_L. Когда на низком уровне подается сигнал LCD_E_L, общая шина данных предназначена для интерфейса LCD. Когда на низком уровне подается сигнал ISP_EN_L, шина предназначена для цепи ISP. Эти два сигнала декодируются из адресов флэш-памяти BMC и никогда не подаются на низком уровне одновременно. Устройство Lattice* CPLD отвечает за все логические операции. Например, когда контроллер BMC отправляет данные на адрес "2XXXXF" (HEX), устройство PLD доставляет нижние пять бит данных на общую шину LCD/ISP. Также устройство CPLD подает сигналы LCD_E_L = '0' и ISP_EN_L='1'. Такое сочетание сигналов указывает, что шина используется для интерфейса LCD. Учтите, что функция LCD (жидкокристаллический дисплей) не проверена и не протестирована.

На переходной плате ввода/вывода установлено два коннектора ISP. Первый коннектор, J8A1, используется для программирования устройства PLD1. Поскольку устройство PLD1 используется для декодирования сигнала цепи ISP, оно не может быть запрограммировано BMC и должно программироваться с этого коннектора. Второй коннектор, J7A2, располагается на цепи ISP. Пользователь может просканировать и запрограммировать системную цепь ISP с помощью этого коннектора. Это решение представляет собой альтернативу использованию BMC.

На рисунке ниже показана базовая блок-схема цепи ISP серверной системы SR870BN4.

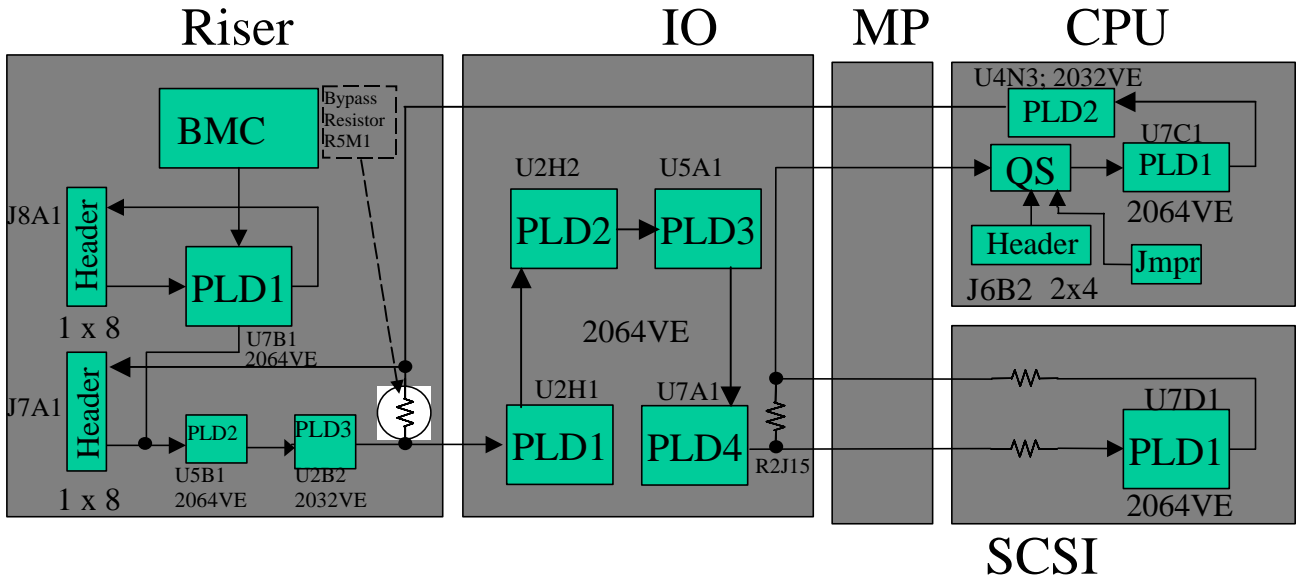


Рисунок 5-5. Блок-схема цепи ISP серверной системы Intel® SR870BN4

5.7.6 Интерфейс передней панели

Все интерфейсы передней панели подключены к контроллеру BMC. Всего используется три входа для кнопок, четыре выхода для индикаторов и один выход динамика.

Таблица 5-15. Интерфейс передней панели

Сигнал	Описание	Подключение
POWER_SW	Вход кнопки питания, передается на плате ввода/вывода	BMC GPIO, PLD
RESET_SW	Вход кнопки перезагрузки, передается на плате ввода/вывода	BMC GPIO, PLD
SDINT_SW	Вход кнопки SDINT, передается на плате ввода/вывода	BMC GPIO, PLD
SPEAKER	Активный сигнал, подаваемый MMBT3904	CPLD, BMC, ICH4
ON_LED	Индикатор питания, OD, активный низкий выход, максимум 20 мА	BMC GPIO
PWR_FLT_LED	Индикатор сбоя питания, OD, активный низкий выход, максимум 20 мА	BMC GPIO
COOL_FLT_LED	Индикатор сбоя вентилятора, OD, активный низкий выход, максимум 20 мА	BMC GPIO
GEN_FLT_LED	Индикатор сбоя системы, OD, активный низкий выход, максимум 20 мА	BMC GPIO

Примечание: Интерфейс LCD обеспечивается аппаратными средствами переходной платы ввода/вывода. Во Внешней спецификации встроенного ПО BMC указывается, поддерживается эта опция, или нет.

5.7.7 Интерфейс CPLD

На переходной плате ввода/вывода имеется три устройства PLD Lattice* 2064VE. Первое

устройство CPLD используется для декодирования адресов цепи ISP, сигналов жидкокристаллического дисплея и порта управления сервером. Поскольку первое устройство PLD декодирует данные цепи ISP, оно не входит в цепь ISP. Это устройство CPLD может быть запрограммировано только через встроенный коннектор ISP.

Второе устройство CPLD используется в основном для пересылки сигналов управления сервером и эмуляции последовательности включения питания/перезагрузки. Также это устройство обрабатывает другие логические системы.

Третье устройство PLD представляет собой уменьшенную версию ISP2032. Оно обеспечивает работу режима Serial Over LAN, последовательного порта и цепи включения порта аварийного управления.

5.7.7.1 PLD1

Устройство PLD1 расположено на позиции U7B1. Оно декодирует адреса памяти BMC, формируя шину ISP, шину LCD и три восьмибитных реестра. Таблица распределения адресов показана ниже.

Переходная плата
ввода/вывода серверной
системы S870BN4

A21	A20	A19	A3	A2	A1	Описание
						Загрузочный блок флэш-памяти, защищен
0	X	X	X	X	X	SMM_BB_UNPROT_L
1	0	0	X	X	X	Адрес флэш-памяти
1	0	1	X	X	X	BMC - BMC
1	1	0	X	X	X	Порт расширения – подробнее см. следующую таблицу
1	1	1	X	X	X	Зарезервирован

Серверная система SR870BN4 – Порт
расширения

A21	A20	A19	A3	A2	A1	Описание
1	1	0	0	0	0	Порт расширения 0
1	1	0	0	0	1	Порт расширения 1
1	1	0	0	1	0	Порт расширения 2
1	1	0	0	1	1	Порт расширения 3, зарезервирован
1	1	0	1	0	0	Порт расширения 4, зарезервирован
1	1	0	1	0	1	Порт расширения 5, зарезервирован
1	1	0	1	1	0	Порт расширения 6, шина LCD
1	1	0	1	1	1	Порт расширения 7, шина ISP

PLD1 использует 6-битные адреса. Схема адреса порта определяется в соответствии с таблицей выше. Например, если A21=1, A20=1, A19=0, A3=1, A2=1, A1 =1, то это порт ISP.

В таблице ниже определяются биты данных, обрабатывающие сигналы на конкретных портах.

Схема шины расширения переходной платы ввода/вывода серверной системы S870BN4

Схема ISP -- (Реестр)

Контакт данных	По умолчанию	Имеет значение:	Схематическое название	Ссылка
D7	0	<i>Зарезервирован</i>		
D6	0	<i>Зарезервирован</i>		
D5	0	<i>Зарезервирован</i>		
D4	1	Включено	ISP_EN_L	
D3	1	SDO	ISP_SDO_LCD7	Только чтение для ISP
D2	1	SDI	LCD6_PLD2_SDI	
D1	1	MODE	ISP_MODE_LCD5	
D0	1	SCLK	ISP_SCLK_LCD4	

Схема LCD (Реестр)

Контакт данных	По умолчанию	Имеет значение:	Схематическое название	Ссылка
D7		<i>Зарезервирован</i>		
D6	1	Чтение/Запись_N	LCD_RW	U7B1 pin 77
D5	0	Перезагрузка (активный высокий)	LCD_RS	U7B1 pin 76
D4	0	Включение (активный высокий)	LCD_E	U7B1 pin 78
D3	1	LCD7	ISP_SDO_LCD7	U7B1 pin 72
D2	1	LCD6	LCD6_PLD2_SDI	U7B1 pin 70
D1	1	LCD5	ISP_MODE_LCD5	U7B1 pin 69
D0	1	LCD4	ISP_SCLK_LCD4	U7B1 pin 68

Порт расширения 0 (реестр)

Шина данных	По умолчанию	Имеет значение:	Схематическое название	Примечания
D7	1	CON_DIR_L		Read / Write
D6	1	CLR_CMOS	С открытым стоком	Read / Write
D5	1	VIDEO_BLANK_N		Read / Write
D4	1	EX_RESET_N		Read / Write
D3	1	IS1_JTAGEN_N		Read / Write
D2	1	IS0_JTAGEN_N		Read / Write
D1	1	BMC_SDINT_L		Read / Write
D0	1	SM_PWROK		Read / Write

Порт расширения 1/ Только чтение

Шина данных	По умолчанию	Считывается из:	Схематическое название	Примечания
D7	0	Зарезервирован		
D6	0	Зарезервирован		
D5	0	Зарезервирован		
D4	0	Зарезервирован		
D3	0	Зарезервирован		
D2	NC	CLR_CMOS		READ ONLY
D1	NC	SMM_BB_UNPROT_L		READ ONLY
D0	0	Зарезервирован		

Порт расширения 2 (фиксатор)

Шина данных	По умолчанию	Считывается из:	Схематическое название	Примечания
D7	0	Зарезервирован		
D6	0	Зарезервирован		
D5	0	Маска фиксации D3		1 = маска включена
D4	0	Маска фиксации D2		1 = маска включена
D3	0	NODE1_HP_INT_L		Write 0 to clear
D2	0	NODE0_HP_INT_L		Write 0 to clear
D1	0	SDINT_SW_L		Write 0 to clear
D0	0	Зарезервирован		Write 0 to clear

Цепь ISP и цепь LCD функционируют поочередно для удержания данных. На плате они используют одни и те же контакты данных. Поэтому переходная плата ввода/вывода серверной системы S870BN4 I/O позволяет выполнять только одну операцию в каждый момент времени. Когда используется цепь ISP серверной системы SR870BN4, переходная плата ввода/вывода не может отправлять сигналы LCD.

Порт расширения 0 имеет восемь триггеров. BMC может использовать эти триггеры для чтения/записи. Каждый триггер подключен к внешнему сигналу. Таким образом, триггеры выступают в качестве дополнительных сигналов GPIO для контроллера BMC.

Порт расширения 1 предназначен только для чтения. Он выступает в качестве GPI контроллера BMC.

Порт расширения 2 имеет восемь фиксаторов. Каждый фиксатор содержит важные сигналы и прерывания. Контроллер BMC может очищать фиксаторы, отправляя нулевой сигнал на порт.

В этом устройстве PLD имеется специальный сигнал "CLR_CMOS". Этот сигнал используется BMC для очистки CMOS. Также существует внешний переключатель S8A1, также служащий для очистки CMOS. Устройство PLD обеспечивает это, используя выход с открытым стоком. Записывая ноль в адрес данных D6 порта расширения 0, контроллер BMC может произвести очистки CMOS. Когда бит данных D6 порта расширения 0 имеет высокий уровень, контроллер BMC не очищает линию CMOS. Внешний переключатель может быть как на низком, так и на высоком уровне. Контроллер BMC может считывать установку внешнего переключателя с адреса данных D2 на порту расширения 1.

5.7.7.2 PLD2

Устройство PLD2 расположено в точке U5B2. Оно используется для буферизации сигналов перезагрузки PCI и для пересылки некоторых сигналов управления сервером. Когда контроллер BMC не готов, оно также используется для включения питания системы. См. схему ниже.

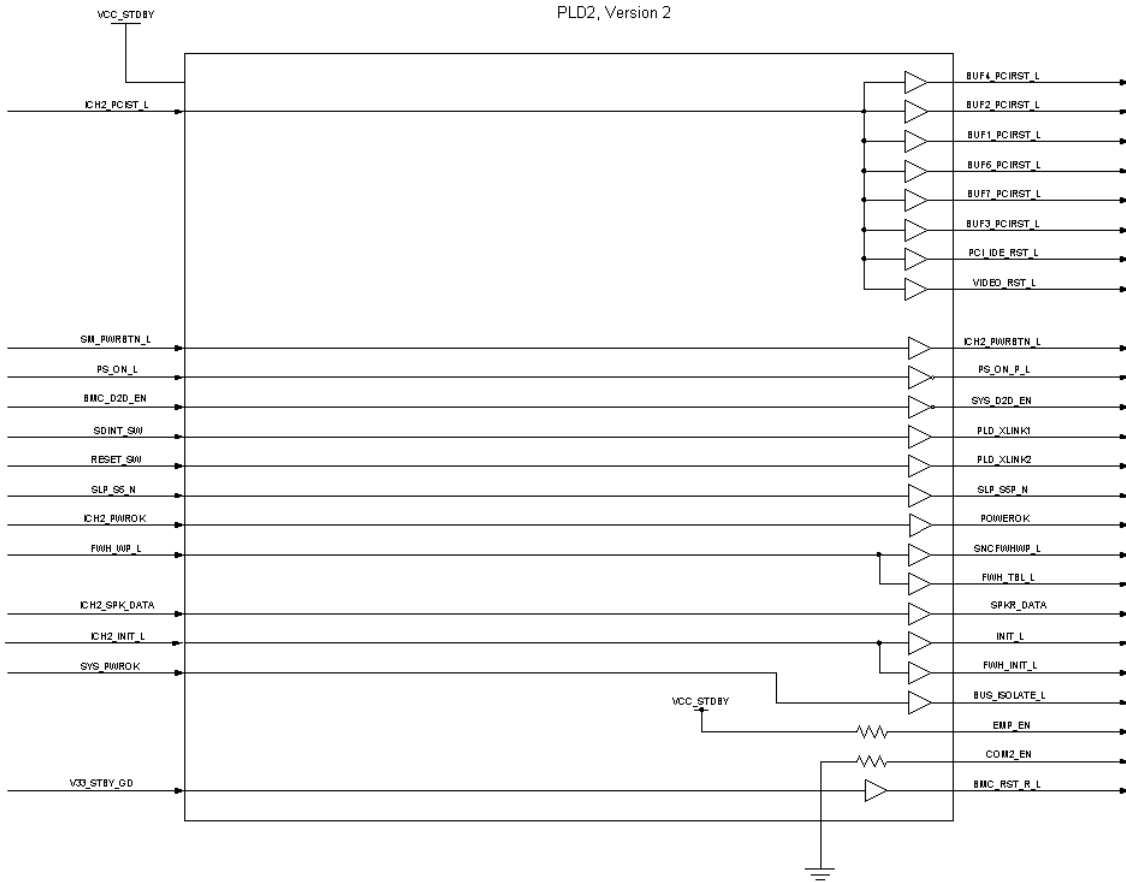


Рисунок 5-6. PLD2

5.8 Сигнал

На переходной плате ввода/вывода используется семь синхронизирующих сигналов. Четыре сигнала подаются СКФФ платы ввода/вывода; еще три генерируются кристаллами. В таблице ниже показаны микросхемы и соответствующие им синхронизирующие сигналы.

Таблица 5-16. Синхронизирующие сигналы переходной платы ввода/вывода серверной системы Intel® S870BN4

SR870BN4 I/O riser CLOCK					
Название	Тактовая частота	Номер контакта соединительного разъема	Место назначения	Импеданс	Длина
CLK33_FWH4	33 МГц	A121	FWH ID = 4	50	11,25 см

CLK33_FWH6	33 МГц	A103	FWH ID = 6	50	11,25 см
CLK33_FWH5	33 МГц	A117	FWH ID = 5	50	11,25 см
CLK33_FWH7	33 МГц	A99	FWH ID = 7	50	11,25 см
CLK33_ICH2	33 МГц	A65	ICH4	50	11,25 см
CLK33_NIC	33 МГц	A10	NIC	50	11,25 см
CLK33_SIO	33 МГц	A6	SIO	50	11,25 см
CLK33_VID	33 МГц	A8	Графическое решение	50	11,25 см
CLK33_BMC	33 МГц	B62	BMC	50	11,25 см
CLK66_ICH2	66 МГц	A61	ICH4	50	11,25 см
CLK48_ICH2	48 МГц	A63	ICH4	50	11,25 см
CLK14_SIO	14 МГц	A4	SIO	50	11,25 см
CLK14_ICH2	14 МГц	A47	ICH4	50	11,25 см
Chips	Сигнал 66 МГц	Сигнал 33 МГц	Сигнал 14 МГц	Сигнал 48 МГц	Другие
ICH4	1	1	1	1	Один кристалл 32 МГц
BMC	1	1			Один возбуждатель 40 МГц
Суперконтроллер ввода/вывода		1	1		Один сигнал 32 КГц от ICH4
Графическое решение		1			Один кристалл 29,498928 МГц
FWH (6 chips)		6			
Локальная сеть 82540		1			Один кристалл 25 МГц
Lattice PLD		1			

Всего с платы ввода/вывода подается девять синхронизирующих импульсов с частотой 33 МГц. Эти синхронизирующие импульсы предназначены для двух типов шин, PCI и LPC. Они располагаются рядом с контактом заземления и все имеют длину 4,5 дюйма. Большинство синхронизирующих импульсов направлены на импеданс 50 Ом, за исключением концентраторов встроенного ПО. Переходная плата ввода/вывода серверной системы S870BN4 не поддерживает совместное использование синхронизирующих сигналов; на каждый концентратор встроенного микрокода подается отдельный синхронизирующий сигнал 33 МГц с платы ввода/вывода.

Синхронизирующий сигнал 66 МГц передается только на контроллер ICH4. Между этим сигналом и сигналом 33 МГц имеется особое временное соотношение. Оно обеспечивается СКФФ платы ввода/вывода. BMC не может использовать этот синхронизирующий сигнал, поскольку питание СКФФ подается по обычной шине VCC. Поэтому специально для контроллера BMC установлен возбуждатель сигналов 40 МГц. Этот возбуждатель работает от шины питания 3,3 В режима ожидания, обеспечивая синхронизирующие импульсы системы управления сервером в состоянии сна (S3, S5).

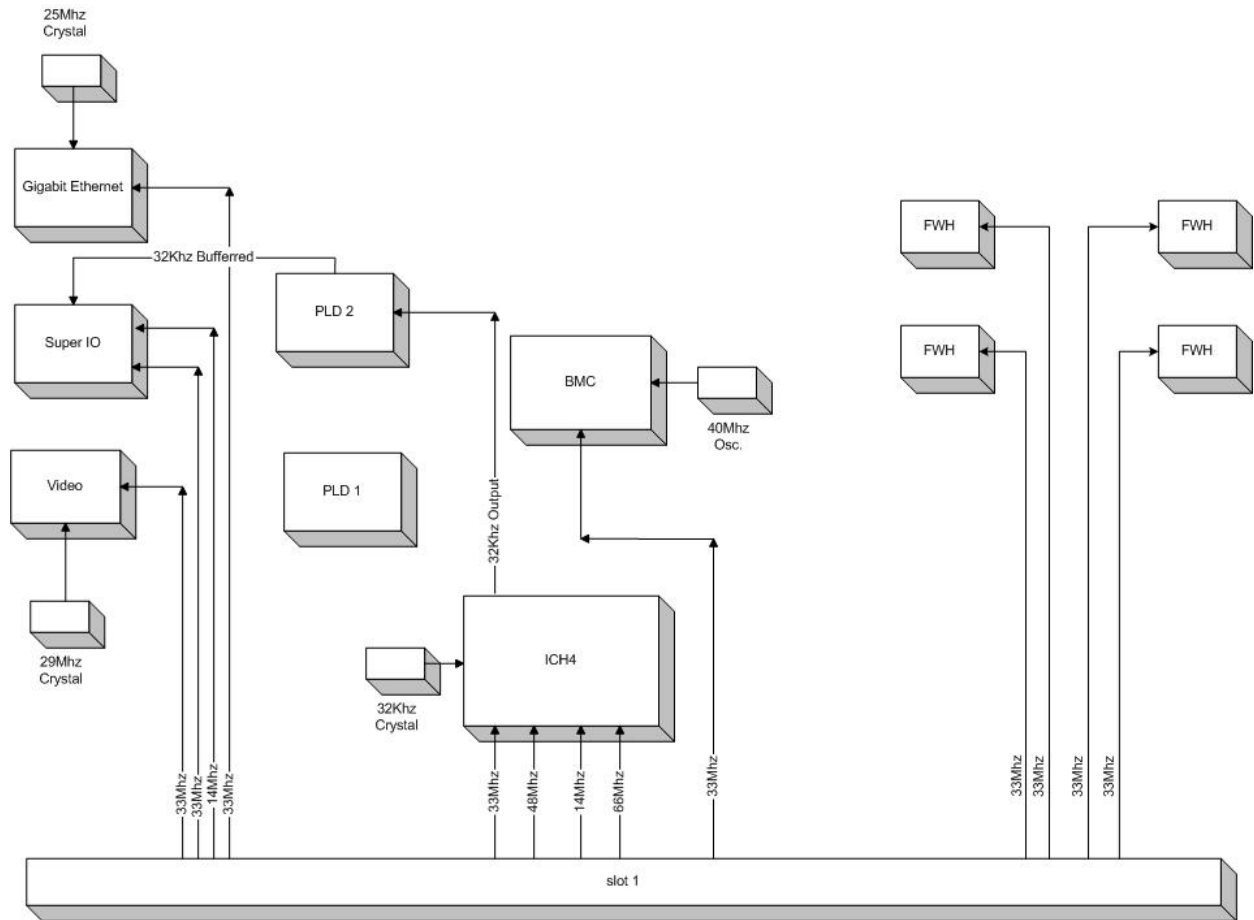


Рисунок 5-7. Распределение синхронизирующих импульсов переходной платы ввода/вывода серверной системы Intel® S870BN4

5.9 IRQ и хозяин шины

В таблице ниже представлена схема IRQ и хозяина шины/DMA контроллера ICH4.

Примечание:Видеоконтроллер ATI* не имеет прерывания, поскольку он предназначен для специальных видеоконанд.

Описание прерывания совместности и прерываний ошибок приведено во внешней спецификации архитектуры серверной системы Intel® SR870BN4.

Таблица 5-17. Схема IRQ и хозяев шины / DMA

ICH4 IRQ	Устройство
IRQ14	IDE0
IRQ15	IDE1
PIRQA	BOOT_INT1_L
PIRQB	BOOT_INT0_L
PIRQC	Сетевой адаптер 82540
PIRQF	SNC_BERRIN_L
PIRQG	CORR_ERR_L

PIRQH	Reserved (USB2)
SERIRQ	Суперконтроллер ввода/вывода
DMA0	Free
DMA1	Сетевой адаптер 82540
DMA2	Графическое решение

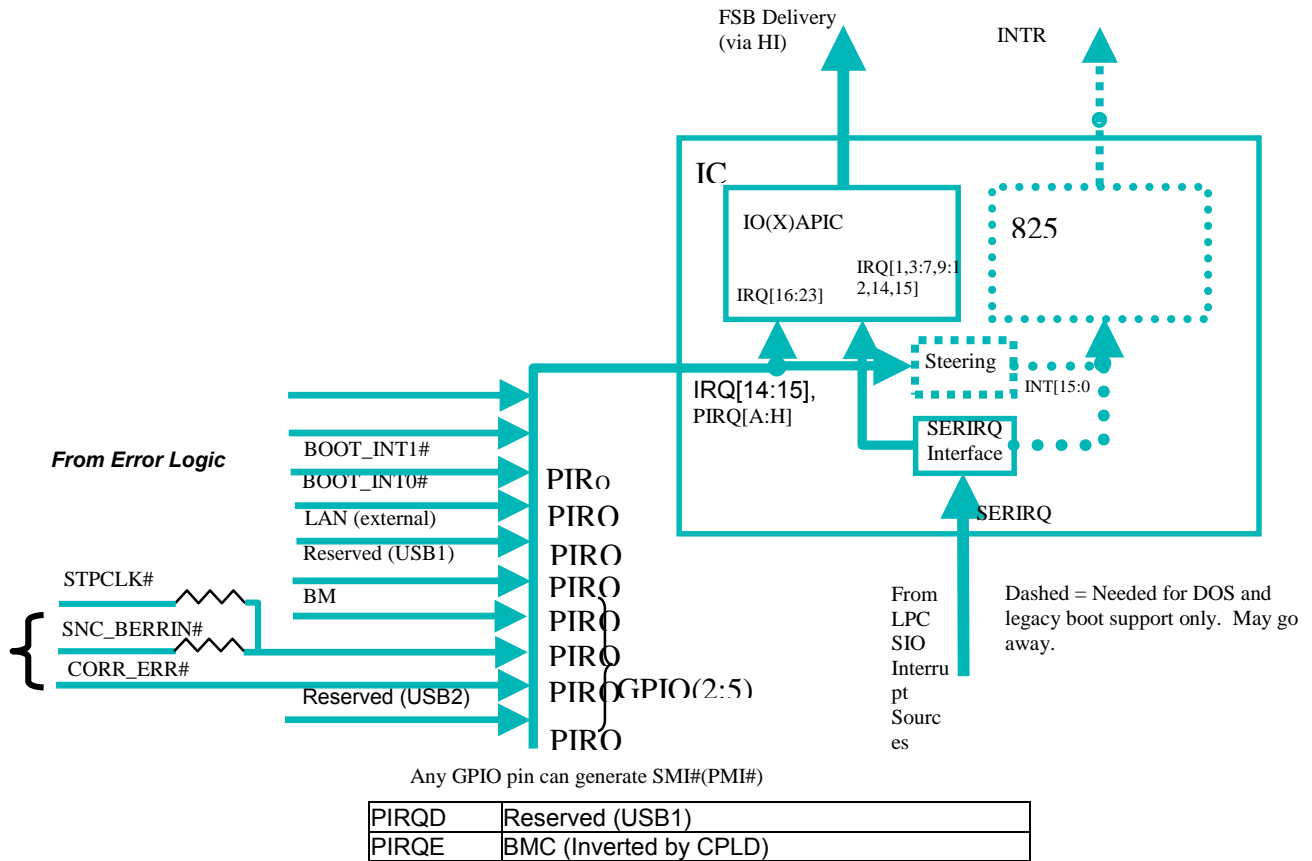


Рисунок 5-8. Маршрутизация IRQ ICH4

ICH4 обеспечивает стандартные реестры и управляющие элементы событий GPE ACPI и контролирует генерирование масштабируемых прерываний ACPI SCI. Источники прерываний SCI находятся внутри ICH4, однако контакты GPIO 0-15 ICH4 также могут генерировать прерывания SCI. На рисунке ниже показана схема работы этих контактов GPIO.

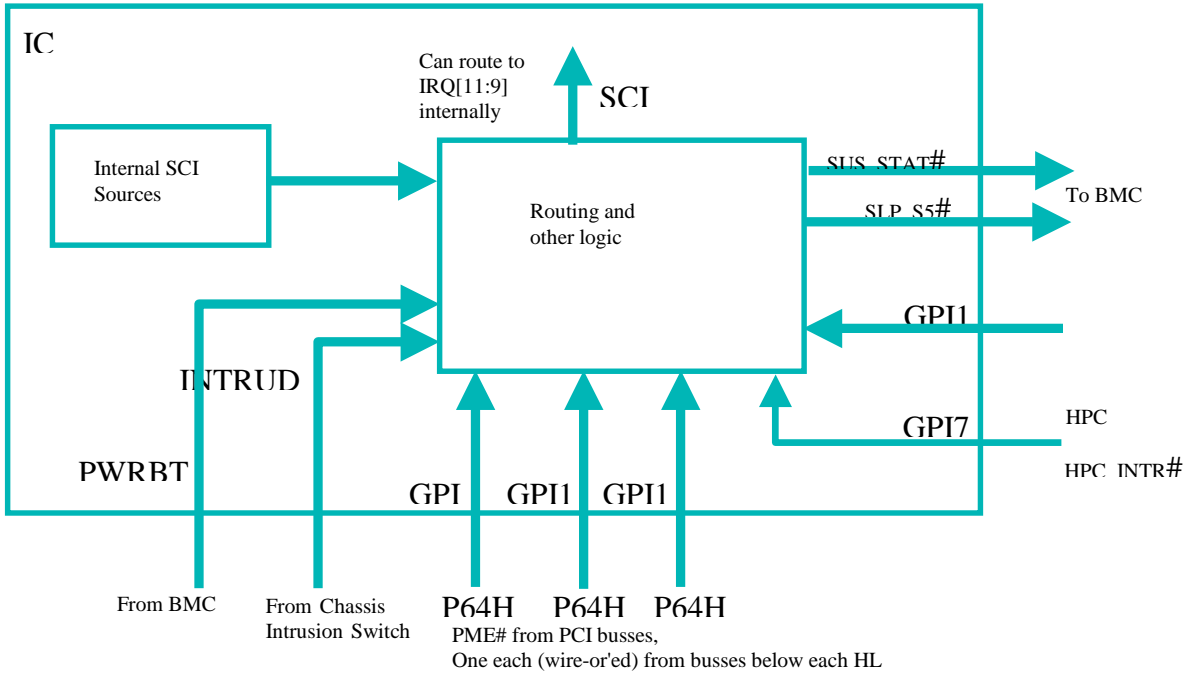


Рисунок 5-9. Схема контактов GPIO

Примечание: На рисунке не показан сигнал 870-INTOUT# для разделения доменов.

5.10 Интерфейс переходной платы ввода/вывода и платы ввода/вывода

Ниже приведена схема контактов соединительного разъема переходной платы ввода/вывода.

Таблица 5-18. Схема контактов соединительного разъема переходной платы ввода/вывода

Плата ввода/вывода	Переходная плата ввода/вывода	Сигнал			Сигнал	Переходная плата ввода/вывода	Плата ввода/вывода
		Interlock01	B121	A121	CLK33_FWH4		
		VCC	B120	A120	GND		
		GND	B119	A119	CLK33_FWH8	FWH	CKFF
SIOH	ICH4	HL0	B118	A118	GND		
		GND	B117	A117	CLK33_FWH5	PCI2	CKFF
SIOH	ICH4	HL1	B116	A116	GND		
		GND	B115	A115	RESV1		
SIOH	ICH4	HL2	B114	A114	GND		
		GND	B113	A113	HL_PAR	ICH4	SIOH
SIOH	ICH4	HL3	B112	A112	GND		
		GND	B111	A111	HL_REQM	ICH4	SIOH
SIOH	ICH4	HL_STB	B110	A110	HL_REQI	ICH4	SIOH
		GND	B109	A109	IA64_IA32	FWH	CPU

SIOH	ICH4	HL_STB_L	B108	A108	SNC_BERRIN_L	ICH4-IRQF	Плата ввода/ вывода
		GND	B107	A107	CORR_ERR_L	ICH4-IRQG	Плата ввода/ вывода
SIOH	ICH4	HL4	B106	A106	VCC		
		GND	B105	A105	P5V_STDBY		
SIOH	ICH4	HL5	B104	A104	GND		
		GND	B103	A103	CLK33_FWH6	FWH	
SIOH	ICH4	HL6	B102	A102	GND		
		GND	B101	A101	CLK33_FWH9	FWH	CKFF
SIOH	ICH4	HL7	B100	A100	GND		
		GND	B99	A99	CLK33_FWH7	PLD1	CKFF
		P5V	B98	A98	GND		
		VCC	B97	A97	VCC_STDBY		
		GND	B96	A96	HL_STOP		
IDE CON	ICH4	PCI_IDE_RST_L	B95	A95	BUF_32KHZ		
IDE CON	ICH4	PDCS1_L	B94	A94	PDCS3_L	ICH4	IDE CON
IDE CON	ICH4	PDA2	B93	A93	PDA1	ICH4	IDE CON
IDE CON	ICH4	IRQ14	B92	A92	PDA0	ICH4	IDE CON
IDE CON	ICH4	PDDACK_L	B91	A91	PDIOR_L	ICH4	IDE CON
IDE CON	ICH4	PDIOW_L	B90	A90	PIORDY	ICH4	IDE CON
IDE CON	ICH4	PDDREQ	B89	A89	PDD0	ICH4	IDE CON
IDE CON	ICH4	PDD14	B88	A88	PDD15	ICH4	IDE CON
IDE CON	ICH4	PDD1	B87	A87	PDD2	ICH4	IDE CON
IDE CON		GND	B86	A86	VCC		
IDE CON	ICH4	PDD12	B85	A85	VCC		
IDE CON	ICH4	PDD3	B84	A84	GND		
IDE CON	ICH4	PDD4	B83	A83	PDD13	ICH4	IDE CON
IDE CON	ICH4	PDD10	B82	A82	PDD11	ICH4	IDE CON
IDE CON	ICH4	PDD9	B81	A81	PDD5	ICH4	IDE CON
IDE CON	ICH4	PDD8	B80	A80	A20M_L	ICH4	CPU?
IDE CON	ICH4	PDD6	B79	A79	FERR_L	ICH4	CPU?
IDE CON	ICH4	PDD7	B78	A78	IGNNE_L	ICH4	CPU?
870	ICH4	870_INTOUT_L	B77	A77	ERR1_CORR		
P64H2	ICH4-IRQA	BOOT_INT1_L	B76	A76	INTR	ICH4	CPU?
P64H2	ICH4-IRQB	BOOT_INT0_L	B75	A75	NMI	ICH4	CPU?
P64H2	ICH4	P64H0_PME_L	B74	A74	PMI_L	ICH4, BMC	CPU
P64H2	ICH4	P64H1_PME_L	B73	A73	VCC		
P64H2	ICH4	P64H2_PME_L	B72	A72	VCC		
		VCC_STDBY	B71	A71	GND		
		VCC_STDBY	B70	A70	GND		
		PLD2_SLOT1_IO2	B69	A69	VCC		
PULL HI	ICH4	SLAVE_BMC	B68	A68	GND		
		PLD2_SLOT1_IO3	B67	A67	VCC		
I/O	ICH4	ICH4_PWROK	B66	A66	GND		
		GND	B65	A65	CLK33_ICH4	ICH4	CKFF
		VCC	B64	A64	GND		
		GND	B63	A63	CLK48_ICH4	ICH4	CKFF

CKFF	BMC	CLK33_BMC	B62	A62	GND		
		GND	B61	A61	CLK66_ICH4	ICH4	CKFF
CKFF	PLD2	CLK33_PLD2	B60	A60	GND		
		GND	B59	A59	INTRUDER_L		
		P5V_STDBY	B58	A58	MMGPI		
	ICH4	PROCHOT_L	B57	A57	HPC_INTR_L	ICH4, GPI7	
CPU	ICH4	STPCLK_L	B56	A56	SMBDATA		
		V_BAT	B55	A55	SMBCLK		
		GND	B54	A54	POWER_SW	BMC	Передняя панель
Ser. Mag	BMC	I2C_IPMB_SCL	B53	A53	RESET_SW	BMC	Передняя панель
Ser. Mag	BMC	I2C_IPMB_SDA	B52	A52	SDINT_SW	BMC	Передняя панель
Ser. Mag	BMC	I2C_PCI_SCL	B51	A51	INIT_L		
Ser. Mag	BMC	I2C_PCI_SDA	B50	A50	SNCFWHWP_L		
8 way I/O	Only	BMC2BMC_SCL	B49	A49	FP_CHASIS_ID_S W_L		
		BMC2BMC_SDA	B48	A48	GND		
		GND	B47	A47	CLK14_ICH4	ICH4	CKFF
Ser. Mag	BMC	I2C_SYS_SCL	B46	A46	GND		
Ser. Mag	BMC	I2C_SYS_SDA	B45	A45	BMC_SLOT1_1		
Ser. Mag	BMC	I2C_SMB_SCL	B44	A44	Динамик	CPLD	Передняя панель
Ser. Mag	BMC	I2C_SMB_SDA	B43	A43	ON_LED	BMC	Передняя панель
Ser. Mag	BMC	I2C_IO_SCL	B42	A42	PWR_FLT_LED	BMC	Передняя панель
Ser. Mag	BMC	I2C_IO_SDA	B41	A41	COOL_FLT_LED	BMC	Передняя панель
		VCC	B40	A40	GEN_FLT_LED	BMC	Передняя панель
Плата ввода/вывода	BMC	IO_TCK	B39	A39	GND		
Плата ввода/вывода	BMC	IO_TDI	B38	A38	LCD_RS	CPLD	Зарезервирован
Плата ввода/вывода	BMC	IO_TDO	B37	A37	LCD_E	CPLD	Зарезервирован
Плата ввода/вывода	BMC	IO_TMS	B36	A36	LCD_RW	CPLD	Зарезервирован
Плата ввода/вывода	BMC	IO_TRST_L	B35	A35	ISP_SCLK_LCD4	CPLD	Зарезервирован
		P5V	B34	A34	ISP_MODE_LCD5	CPLD	
		GND	B33	A33	LCD6	CPLD	Зарезервирован
		NODE1_HP_INT_L	B32	A32	ISP_SDO_LCD7	CPLD	Зарезервирован
		NODE0_HP_INT_L	B31	A31	ISP_SDI	CPLD	Зарезервирован
		P3.3V_STDBY_GD	B30	A30	ISP_EN_L	CPLD	ISP Chain
		GND	B29	A29	IO_ID0		
		IO_ID1	B28	A28	SERR_L		
		SYS_PWROK	B27	A27	PS_ON_L	PLD2	
		P12V_STDBY	B26	A26	SM_PWROK		
		P12V_STDBY	B25	A25	PLD_RST_L		
		P12V_STDBY	B24	A24	EX_RESET_L		
		P12V_STDBY	B23	A23	IO_ID2		

	P12V_STDBY	B22	A22	SYS_D2D_EN	PLD2	
	P12V_STDBY	B21	A21	ICMB_ID1_RX		
	P12V_STDBY	B20	A20	ICMB_ID2_RX		
	GND	B19	A19	ICMB_ID_TXEN		
	VCC_STDBY	B18	A18	ICMB_TX		
	VCC_STDBY	B17	A17	ICMB_RX		
	VCC_STDBY	B16	A16	ICMB_TXEN		
	VCC_STDBY	B15	A15	IS1_JTAGEN_L		
	VCC_STDBY	B14	A14	IS0_JTAGEN_L		
	GND	B13	A13	GND		
	VCC_STDBY	B12	A12	P5V		
	VCC_STDBY	B11	A11	GND		
	VCC_STDBY	B10	A10	CLK33_NIC	NIC	CKFF
	VCC_STDBY	B9	A9	GND		
	GND	B8	A8	CLK33_VID	Графическое решение	CKFF
	VCC	B7	A7	GND		
	VCC	B6	A6	CLK33_SIO	SIO	CKFF
	GND	B5	A5	GND		
	P5V	B4	A4	CLK14_SIO	PCI1	CKFF
	P5V	B3	A3	GND		
	P5V	B2	A2	P5V		
	Interlock1	B1	A1	P5V		

5.11 Питание/Питание режима ожидания

На переходной плате ввода/вывода имеется семь шин питания. Линии 3,3 В и 5 В идут с платы ввода/вывода. Переходная плата ввода/вывода получает питание от шины 12 В режима ожидания, а затем преобразует его в напряжение 5 В режима ожидания и 3,3 В режима ожидания. Часть мощности режима ожидания потребляется на переходной плате ввода/вывода, но основная часть возвращается в систему. Для работы контроллера ICH4 и видеоконтроллера переходной плате ввода/вывода также требуется напряжение 1,5 В и 2,5 В. В списке ниже показана одна цепь Happy Valley* D2D и четыре цепи стабилизаторов.

- HIP6004 D2D 12 В режима ожидания → 3,3 В режима ожидания, максимальная сила тока = 6,9 А
- Стабилизатор 12 В режима ожидания → 5 В режима ожидания, максимальная сила тока = 300 мА
- Стабилизатор 3,3 В → 1,5 В, максимальная сила тока = 1 А для ядра ICH
- Zener* / FET 3,3 В режима ожидания → 1,5 В режима ожидания, максимальная сила тока = 200 мА для отключения питания ICH4
- Стабилизатор 3,3 В → 2,5 В, максимальная сила тока = 900 А для видеоконтроллера

Напряжение 1,5 В и 1,5 В режима ожидания подается на ядро процессора ICH4, а напряжение 2,5 В подается на видеоконтроллера ATI. Напряжение 3,3 В режима ожидания и 5 В режима ожидания генерируется на переходной плате ввода/вывода и возвращается в систему. Хотя номинальная сила тока шин питания 3,3 В режима ожидания и 5 В режима ожидания составляет соответственно 6,9 А и 300 мА, на переходной плате ввода/вывода используется не более 1,4 А для шины 3,3 В режима ожидания и 100 мА для шины 5 В режима ожидания. В связи с ограничением высоты в нижней части переходной платы ввода/вывода, на выходы режима ожидания рядом с соединительным разъемом нельзя поместить большой конденсатор. Это необходимо для достаточной мощности на плате ввода/вывода при отключении.

Контроллеры BMC и ICH4 требуют соблюдения последовательности включения питания. Контроллер BMC требует, чтобы напряжение 3,3 В режима ожидания всегда подавалось после напряжения 5 В режима ожидания, а отключалось раньше него. Чтобы защитить шину питания 5 В режима ожидания контроллера BMC, несколько транзисторов CMOS используются в качестве шлюза между выходом 5 В режима ожидания и стабилизатором. Контроллер ICH4 требует, чтобы сначала напряжение подавалось на контакты 5В, а затем на ядро подавалось напряжение 3,3 В. Для решения этой проблемы используется простой диод (CR7D1).

Ниже приведена таблица распределения питания на переходной плате ввода/вывода.

Таблица 5-19. Требования к питанию переходной платы ввода/вывода серверной системы Intel® SR870BN4

3,3 В – Основное питание (с платы ввода/вывода)			
Устройство	Кол-во	Общий ток (А)	Комментарии
Графическое решение	1	0.90	На базе ATI* Rage 2C
SIO	1	0.02	SMC* LPC47S42x
FWH	6	0.53	Оценка на базе RS-82802 FWH
Ядро ICH4	1	1.67	Напряжение 1,8 В для ICH4 со стабилизатора
Всего 3,3 В		3.12	
5 В – Основное питание (с платы ввода/вывода)			
		2.26	
Устройство	Кол-во	Ток (А)	Комментарии
Различные компоненты 5 В	1	0.1	RS232, другие,
PCI	1	3.00	Максимальная нагрузка PCI 3 А.
Всего 5,0 В		3.1	
2,5 В – питание видеоконтроллера, стабилизатор напряжения 3,3 В			
		0.90	
Устройство	Кол-во	Ток (А)	Комментарии
ATI Rage* XL	1	0.90	0,9 А максимум
Всего 2,5 В		0.90	

Стабилизатор 2,5 В			
Эффективность (%)			2,5 В – питание видеоконтроллера, стабилизатор напряжения 3,3 В
Тепловая мощность (Вт)			
Общая нагрузка на шину 3,3 В		0.9	
1,5 В – Вторичное питание (стабилизатор напряжения 3,3 В)		0.30	
Устройство	Кол-во	Ток (А)	Комментарии
ICH4	1	0.30	0,3 А максимум
Всего 1,5 В		0.30	
Стабилизатор 1,5 В			1,8 В – питание ядра ICH4, стабилизатор напряжения 3,3 В
Эффективность (%)			
Тепловая мощность (Вт)			
Общая нагрузка на шину 3,3 В		0.3	
1.5V_STDBY – Вторичный источник (стабилизатор 3.3V_STDBY)		0.12	
Устройство	Кол-во	Ток (А)	Комментарии
ICH4	1	0.12	Максимальный ток в режиме сна 120 мА
Всего 1.5V_STDBY		0.12	
Стабилизатор 1,5 В			1,5 В режима ожидания от Zener* и транзисторов
Эффективность (%)			Питание режима ожидания ICH4. Требуется не более 120 мА
Тепловая мощность (Вт)			
Общая нагрузка на шину 3,3 В режима ожидания		0.120	
3,3 В (режим ожидания)		4.43	
Устройство	Кол-во	Ток (А)	Комментарии
ВМС (SM)	1	0.15	
Суперконтроллер ввода/вывода	1	0.001	SMC LPC47S42x
Устройства управления сервером	1	0.50	
ICH4	1	0.03	
Сдвиг на уровне шины I ² C	1	0.20	
Сетевой адаптер 82540	1	0.20	82540 использует не более 200 мА
Lattice CPLD	2	0.24	
Плата ввода/вывода SPS	1	3.11	SPS I/O для значения
Плата ввода/вывода не SPS	1	2.88	SPS I/O для значения
T4 всего 3,3 В режима ожидания		4.43	

Стабилизатор 3,3 В режима ожидания			Встроенный преобразователь постоянного тока 12 В режима ожидания --> 3,3 В режима ожидания
Эффективность (%)			Встроенный преобразователь постоянного тока, максимальный ток 6,9 А
Тепловая мощность (Вт)			
T4 Общая нагрузка на шину 12 В режима ожидания		1.36	
5 В (режим ожидания)		0.20	
Устройство	Кол-во	Ток (А)	Комментарии
Цепь ICMB	1	0.10	
Плата ввода/вывода	1	0.10	SPS I/O для значения
Всего 5 В режима ожидания		0.20	
Стабилизатор 5 В режима ожидания			Стабилизатор 12 В ->5 В режима ожидания, поддерживает до 250 мА
Эффективность (%)			Поместить стабилизатор рядом с вентилятором
Тепловая мощность (Вт)			
Общая нагрузка на шину 12 В режима ожидания		0.20	
12 В – питание режима ожидания (с платы ввода/вывода)		1.99	
Устройство	Кол-во	Ток (А)	Комментарии
Канальный транзистор преобразователя –12 В	1	0.14	
Преобразователь 5 В (режим ожидания)	1	0.20	
Канальный транзистор преобразователя 5 В (режим ожидания)	1	0.14	
Канальный транзистор преобразователя 3,3 В (режим ожидания)	1	0.14	
T4 Преобразователь 3,3 В (режим ожидания)	1	1.36	
T4 Всего 12 В режима ожидания		1.99	

5.12 Описание полос

Деталь	По умолчанию	Описание
R6C11	DNI	Тест ICH4 GPIO16. (Интегрированный резистор PU)
R7D8	Install	Нагрузочный Резистор 45,3 Ом, 1,5 В для Hublink HL_COMP. Выбирает расширенный режим Hublink
R6M2	Install	Выбор режима PCI 33 МГц для видеоконтроллера
R6N2	DNI	Не установлен = видеоподсистема включена, установлен = видеоподсистема отключена

R6M1	Install	Отключить IRQ видеоподсистемы
R6C1	Install	Установлен = BMC – хозяин JTAG, порт ICE отключен
R5C1	Install	Установлен = BMC – хозяин JTAG, порт ICE отключен
R5C4	Install	Установлен = BMC – хозяин JTAG, порт ICE отключен
R5C5	Install	Установлен = BMC – хозяин JTAG, порт ICE отключен
R5C6	Install	Установлен = BMC – хозяин JTAG, порт ICE отключен
C2D1	DNI	Только для тестирования электромагнитных помех
R5M1	DNI	Не установлен = нормальное состояние ISP Установлен = установлен шунтирующий резистор ISP. ОК, чтобы запрограммировать PLD переходной платы ввода/вывода.

<Данная страница преднамеренно оставлена пустой.>

6. Промежуточная плата

6.1 Введение

В этом разделе описываются основные функции и требования к интерфейсу промежуточной платы серверной системы S870BN4. Данная плата предназначена для использования с корпусом серверной системы SR870BN4.

6.2 Аппаратная конструкция

Промежуточная плата серверной системы S870BN4 представляет собой печатную плату из 10 слоев, соединяющую модуль процессора, плату ввода/вывода, переднюю панель, плату распределения питания и объединительную плату SCSI серверной системы SR870BN4.

6.2.1 Промежуточная плата S870BN4

Всего на промежуточной плате имеется шесть разъемов. Через два разъема VHDM идет шина порта масштабируемости между модулем процессоров и платой ввода/вывода. Эти разъемы VHDM служат для передачи различных сигналов, в том числе синхронизирующих сигналов, сигналов перезагрузки, сигналов управления сервером и сигналов передней панели. Каждый разъем VHDM имеет три модуля питания. Кроме того, на промежуточной плате имеется два разъема HDM. Через эти разъемы к промежуточной плате подключается плата ввода/вывода и объединительная плата SCSI.

Промежуточная плата содержит интерфейсный разъем для подключения распределительной платы питания, через который подается питание на блок памяти/процессоров, объединительную плату SCSI и плату ввода/вывода. Этот разъем содержит два ножевых контакта 48 В и 48 В (заземление) для питания процессора. Другие контакты этого разъема предназначены для сигналов управления питанием и для подачи питания 12 В режима ожидания на модуль процессоров и на плату ввода/вывода. Дополнительные контакты используются для напряжения 12 В, подающегося с объединительной платы SCSI.

Промежуточная плата также содержит разъем для подключения передней панели серверной системы SR870BN4, пересылающий сигналы на плату ввода/вывода. В таблице 6-1 описываются разъемы промежуточной платы.

Таблица 6-1. Описание промежуточной платы S870BN4

Пункт меню	Контакты	Функция
Connectors:		
VHDM	360 + 3P	Подключается к блоку процессоров
VHDM	360 + 3P	Подключается к плате ввода/вывода
HDM	144	Подключается к объединительной плате SCSI
HDM	144	Подключается к плате ввода/вывода
Molex* Power	24 + 2P	Подключается к распределительной плате питания
AMP* Edge Card	14	Подключается к передней панели

6.2.2 Блок-схема

На рисунке 6-1 показана общая архитектура промежуточной платы.

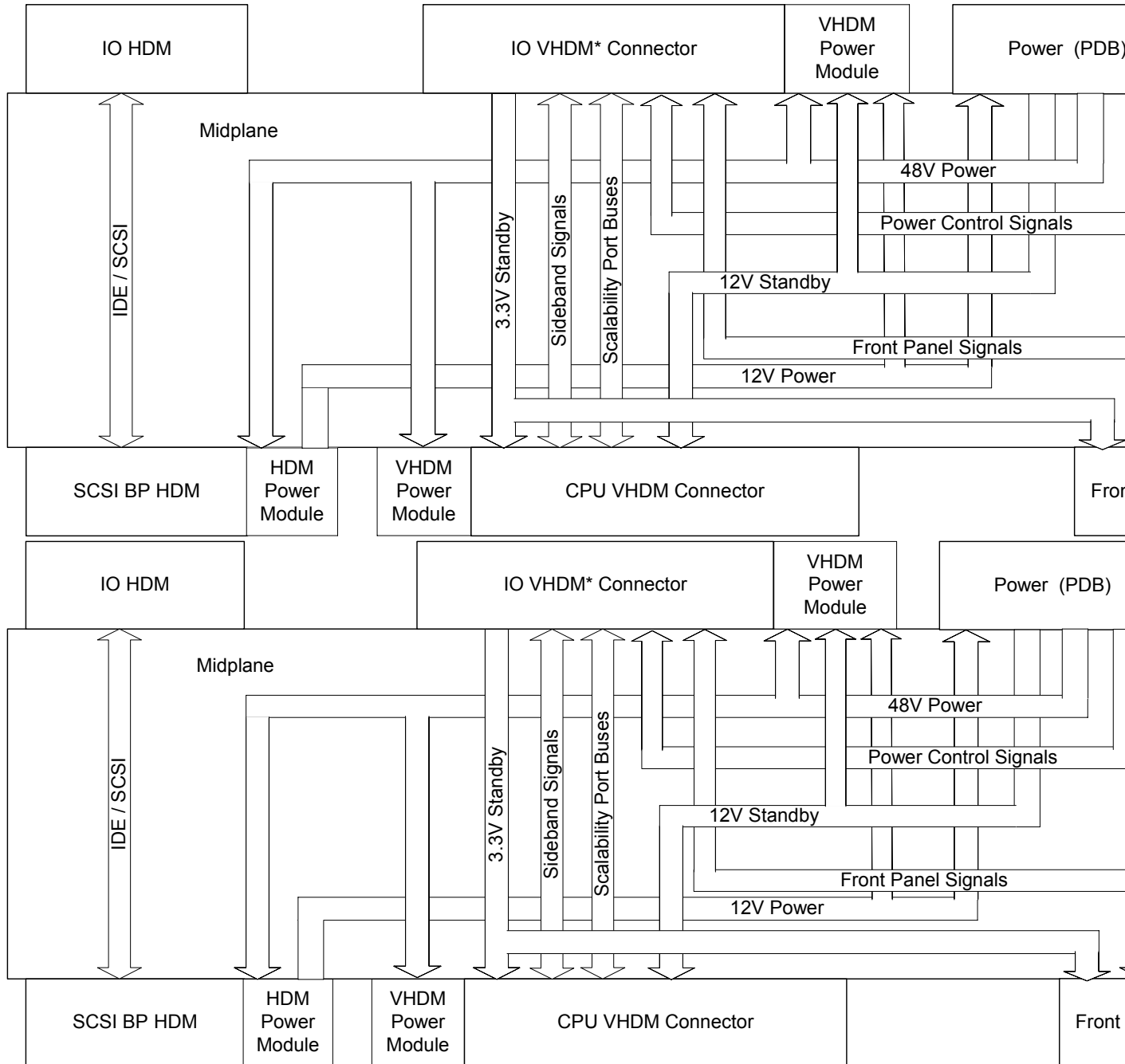


Рисунок 6-1. Блок-схема промежуточной платы

6.2.3 Расположение компонентов

На рисунке 6-2 показано расположение компонентов на передней стороне промежуточной платы (главная сторона). Также на рисунке показано расположение вентиляционных

отверстий. На этой стороне промежуточной платы находится три разъема: коннектор VHDM, коннектор HDM и разъем для карты расширения 2x7. Коннектор VHDM содержит три модуля питания. Этот разъем подключается непосредственно к плате процессоров. Коннектор HDM на этой стороне платы также содержит модуль питания. Он подключается непосредственно к объединительной плате SCSI. Соединительный разъем 2x7 служит для подключения передней панели.

Модули питания VHDM
 360-контактный разъем VHDM* (к плате процессора)
 Модуль питания HDM
 144-контактный разъем HDM
 Вентиляционные отверстия
 14-контактный разъем передней панели

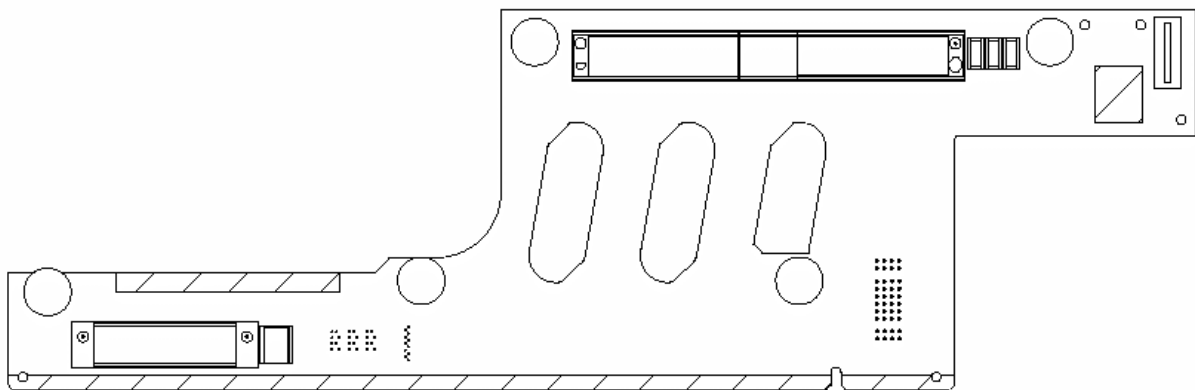
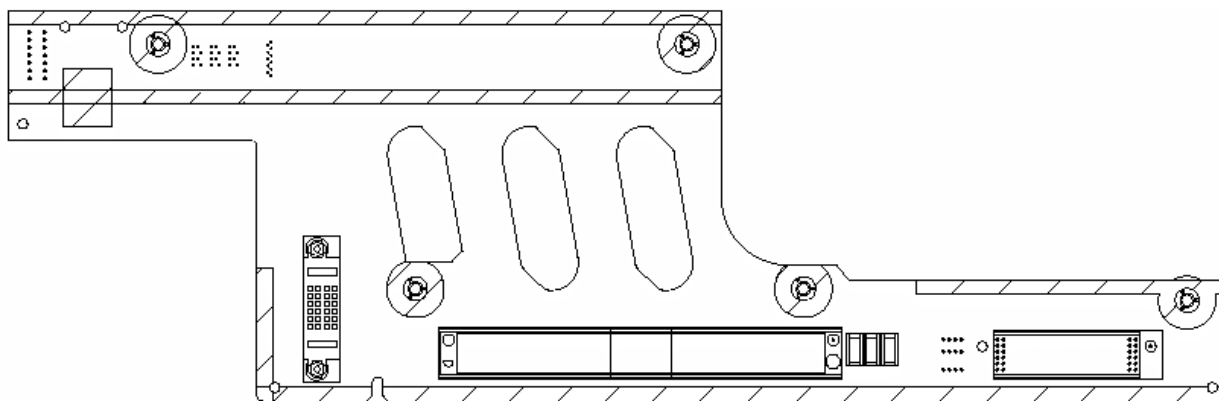


Рисунок 6-2. Главная сторона промежуточной платы серверной системы Intel® S870BN4 (со стороны процессора)

На рисунке 6-3 показано расположение разъемов на задней стороне промежуточной платы. На этой стороне платы расположено три разъема. Это разъемы 4x6 + 2P, VHDM и HDM. Коннектор VHDM содержит три модуля питания и подключается непосредственно к плате ввода/вывода. Разъем HDM на этой стороне не содержит модуля питания. Этот разъем HDM фактически просто закрывает контакты, выходящие с передней стороны. 24-контактный разъем с двумя ножевыми контактами подключается непосредственно к плате распределения питания.



360-контактный коннектор VHDM* с тремя модулями питания (для платы ввода/вывода)
 24-контактный разъем с двумя дополнительными ножевыми контактами для платы распределения питания
 144-контактный разъем HDM

Рисунок 6-3. Задняя сторона промежуточной платы серверной системы Intel® S870BN4 (со стороны задней панели ввода/вывода)

6.2.4 Номера компонентов

В таблице 6-2 перечислены разъемы промежуточной платы и указаны их производители и номера деталей Intel®.

Таблица 6-2. Номера разъемов

Разъем	Номер продукции производителя Teradyne	Номер продукции производителя Molex	Номер продукции Intel
6 x 60, VHDM с модулем питания (для платы процессоров)	498-5125-002	0740582502	728571-002 (6Row x 25Col)
	496-5010-002	070471002	728571-004 (6Row x 10Col)
	437-5050-000	0740296000	728573-001 (Power Mod. Qty = 3)
	498-5025-02	0740592502	728571-003 (6Row x 25Col)
6 x 60, VHDM с модулем питания (для платы ввода/вывода)	Teradyne 498-5125-002	0740582502	728571-002 (6Row x 25Col)
	496-5010-002	070471002	728571-004 (6Row x 10Col)
	437-5050-000	0740296000	728573-001 (6Row x 25Col)
	498-5025-02	0740592502	728571-003 (Power Mod. Qty = 3)
144-контактный разъем HDM с одной направляющей (ввод/вывод)	487-6124-090	738105000	710755-003
144-контактный коннектор HDM с одной направляющей и модулем питания (объединительная плата)	437-5121-000	738022016 738022017	710754-011 (72 pin)
		736560001	710754-012 (72 pin)

питания (объединительная плата SCSI)			710591-002 (Power Mod.)
24-контактный разъем Molex* с двумя ножевыми контактами питания	FCI-Berg 51666-001		A43180-001
14-контактный разъем AMP* Edge Card	AMP 145269-4		A46681-001

6.2.5 Порт масштабируемости

Порт масштабируемости (SP) – это шина, поддерживающая одновременную передачу данных в двух направлениях по одному проводу с максимальной скоростью 3,2 ГБ/с в каждом направлении. Описание шины SP можно найти в соответствующей спецификации. Шина SP проходит по промежуточной плате от разъема VHDM платы процессоров к разъему VHDM платы ввода/вывода. В настоящее время шины SP имеют сопротивление 45 Ом. На этих разъемах также имеются сигналы Sideband (SB) и Power (P). На рисунке 6-4 показана блок-схема, показывающая два контакта VHDM на промежуточной плате и расположение соответствующих сигналов SP. Изображение на рисунке показано с передней стороны промежуточной платы.

Рисунок 6-4. Расположение сигналов разъемов VHDM

6.3 Схемы контактов разъемов

В этом разделе описываются сигналы разъемов.

6.3.1 Интерфейс промежуточной платы и распределительной платы питания

Интерфейс между промежуточной платой и распределительной платой питания состоит из одного разъема. Этот разъем обеспечивает подачу питания 48 В на плату ввода/вывода, плату процессоров и объединительную плату SCSI, а также подачу питания 12 В режима ожидания на плату ввода/вывода и плату процессоров. Также на этот разъем подается напряжение 12 В с объединительной платы SCSI. Оно используется в качестве резервного напряжения при неисправности вентиляторов блока питания. Остальные контакты этого разъема используются для управления питанием.

Таблица 6-3. Интерфейс промежуточной платы и распределительной платы питания

Контакт	Сигнал	Описание
P1	48V_GND	Возвратная линия 48 В
P2	48V	Линия 48 В
1A	12V_STDBY	12 В режима ожидания
2A	GND	Земля
3A	PS_OK_ORED	Power OK
4A	GND	Земля
5A	GND	Земля
6A	+12V	12 В с объединительной платы SCSI (1A)
1B	12V_STDBY	12 В режима ожидания
2B	GND	Земля
3B	PS_ON_L	Блок питания включен

4B	GND	Земля
5B	GND	Земля
6B	+12V	12 В с объединительной платы SCSI (1A)
1C	12V_STDBY	12 В режима ожидания
2C	12V_STDBY	12 В режима ожидания
3C	GND	Земля
4C	I2C_IO_SDA	Сигналы I2C
5C	GND	Земля
6C	+12V	12 В с объединительной платы SCSI (1A)
1D	12V_STDBY	12 В режима ожидания
2D	12V_STDBY	12 В режима ожидания
3D	GND	Земля
4D	I2C_IO_SCL	Сигналы I2C
5D	GND	Земля
6D	+12V	12 В с объединительной платы SCSI (1A)

6.3.2 Интерфейс промежуточной платы и передней панели

Интерфейс между промежуточной платой и платой передней панели состоит из одного 14-контактного разъема.

Таблица 6-4. Интерфейс промежуточной платы и передней панели

Контакт	Сигнал	Описание
1	COOL_FLT_LED	Сбой температуры/напряжения
2	GEN_FLT_LED	HDD/другой индикатор сбоя
3	PWR_FLT_LED	Индикатор сбоя питания.
4	ON_LED	Индикатор включения питания
5	ID_LED	Chassis ID LED
6	SPEAKER	Сигнал динамика
7	CHASS_ID	Идентификатор корпуса
8	GND	Земля
9	GND	Земля
10	3.3V_STBY	Шина питания
11	3.3V_STBY	Шина питания
12	SDINT_SW	Немаскируемое прерывание.
13	RESET_SW	Перезагрузка сервера Запуск POST
14	POWER_SW	Кнопка включения/выключения питания сервера

6.3.3 Интерфейс промежуточной платы и платы процессоров

Интерфейс между промежуточной платой и платой процессоров состоит из одного 360-контактного разъема Teradyne*/Molex* VHDM с модулем питания. На плате процессоров расположен разъем, а на промежуточной плате расположен коннектор. Разъем VHDM имеет высокую плотность контактов и высокую скорость передачи сигнала, что обуславливается областью его применения. Питание подается на модуль питания этого разъема VHDM распределительной платой питания через промежуточную плату. В таблице 6-5 приводится схема контактов и описание сигналов разъема VHDM со стороны процессора.

Таблица 6-5. Интерфейс промежуточной платы и платы процессоров (VHDM)

Контакт	Сигнал	Описание
1A	RSVD	Зарезервирован
2A	GND	Земля
3A	RSVD	Зарезервирован
4A	RSVD	Зарезервирован
5A	RSVD	Зарезервирован
6A	GND	Земля
7A	RSVD	Зарезервирован
8A	RSVD	Зарезервирован
9A	RSVD	Зарезервирован
10A	RSVD	Зарезервирован
11A	CPU_INTERLOCK0_L	Определение подключения разъема VHDM
12A	I2C_CPU_SCL	Синхронизирующий сигнал шины I2C
13A	PPODOE	Включение процессора
14A	SP0GPIO	GPIO порта масштабируемости
15A	THERMALERT_L	Указывает выход температуры процессора за пределы допустимого диапазона
16A	ERR0_L	Сигнал кода ошибки
17A	RSVD	Зарезервирован
18A	AIPPODPG	Сигнал powergood для всех установленных модулей питания процессора
19A	PMI_L	Прерывание управления процессором.
20A	A20M_L	A20 Mask
21A	PWRGOOD	Сигнал Global power good платы ввода/вывода
22A	SP0SYNC	Синхронизация перезагрузки
23A	SP1BD5	Сигнал шины порта масштабируемости (SP) 1
24A	GND	Земля
25A	SP1BVREFL1	Сигнал шины порта масштабируемости (SP) 1
26A	SP1BEP0	Сигнал шины порта масштабируемости (SP) 1
27A	GND	Земля
28A	SP1BSTBP0	Сигнал шины порта масштабируемости (SP) 1
29A	SP1BD1	Сигнал шины порта масштабируемости (SP) 1
30A	GND	Земля
31A	SNCFWHWP_L	
32A	SP1AD0	Сигнал шины порта масштабируемости (SP) 1
33A	SP1AVREFL0	Сигнал шины порта масштабируемости (SP) 1
34A	GND	Земля
35A	SP1ASTBP0	Сигнал шины порта масштабируемости (SP) 1
36A	SP1AEP1	Сигнал шины порта масштабируемости (SP) 1
37A	GND	Земля
38A	SP1AVREFH1	Сигнал шины порта масштабируемости (SP) 1
39A	SP1AD4	Сигнал шины порта масштабируемости (SP) 1
40A	GND	Земля
41A	SP0BD5	Сигнал шины порта масштабируемости (SP) 0
42A	GND	Земля
43A	SP0BVREFL1	Сигнал шины порта масштабируемости (SP) 0
44A	SP0BEP0	Сигнал шины порта масштабируемости (SP) 0
45A	GND	Земля

46A	SP0BSTBN0	Сигнал шины порта масштабируемости (SP) 0
47A	SP0BD1	Сигнал шины порта масштабируемости (SP) 0
48A	GND	Земля
49A	RSVD	Зарезервирован
50A	SP0AD0	Сигнал шины порта масштабируемости (SP) 0
51A	SP0AVREFL0	Сигнал шины порта масштабируемости (SP) 0
52A	GND	Земля
53A	SP0AEP1	Сигнал шины порта масштабируемости (SP) 0
54A	SP0ASTBN0	Сигнал шины порта масштабируемости (SP) 0
55A	GND	Земля
56A	SP0AVREFH1	Сигнал шины порта масштабируемости (SP) 0
57A	SP0AD4	Сигнал шины порта масштабируемости (SP) 0
58A	GND	Земля
59A	BCLK	Системный синхронизирующий импульс 200 МГц
60A	GND	Земля
1B	GND	Земля
2B	RSVD	Зарезервирован
3B	GND	Земля
4B	RSVD	Зарезервирован
5B	GND	Земля
6B	RSVD	Зарезервирован
7B	RSVD	Зарезервирован
8B	RSVD	Зарезервирован
9B	RSVD	Зарезервирован
10B	RSVD	Зарезервирован
11B	3.3V_STDBY	3,3 В режима ожидания
12B	I2C_CPU_SDA	Подключается к процессорам , SNC, и др. Функции управления сервером на плате процессоров и платах памяти
13B	SP1GPIO	GPIO порта масштабируемости
14B	EV0_L	Логика событий
15B	HP_INT_L	Прерывание горячей установки узла
16B	ERR1_L	Сигнал кода ошибки
17B	RSVD	Зарезервирован
18B	CD2D33EN	Включает преобразователь постоянного тока 3,3 В на плате процессоров
19B	FERR_L	Ошибка вычислений с плавающей запятой
20B	IGNNE_L	Игнорировать числовую ошибку.
21B	NODE_PG	Сигнал Powergood преобразователей напряжения платы процессоров.
22B	GND	Земля
23B	GND	Земля
24B	SP1BD7	Сигнал шины порта масштабируемости (SP) 1
25B	SP1BVREFH1	Сигнал шины порта масштабируемости (SP) 1
26B	GND	Земля
27B	SP1BD2	Сигнал шины порта масштабируемости (SP) 1
28B	SP1BEP2	Сигнал шины порта масштабируемости (SP) 1
29B	GND	Земля
30B	SP1BVREFH0	Сигнал шины порта масштабируемости (SP) 1
31B	SP1BD0	Сигнал шины порта масштабируемости (SP) 1
32B	GND	Земля

33B	SP1AVREFH0	Сигнал шины порта масштабируемости (SP) 1
34B	SP1AEP2	Сигнал шины порта масштабируемости (SP) 1
35B	SP1ASTBN0	Сигнал шины порта масштабируемости (SP) 1
36B	GND	Земля
37B	SP1AD3	Сигнал шины порта масштабируемости (SP) 1
38B	SP1AVREFL1	Сигнал шины порта масштабируемости (SP) 1
39B	GND	Земля
40B	SP1AD6	Сигнал шины порта масштабируемости (SP) 1
41B	GND	Земля
42B	SP0BD7	Сигнал шины порта масштабируемости (SP) 0
43B	SP0BVREFH1	Сигнал шины порта масштабируемости (SP) 0
44B	GND	Земля
45B	SP0BD2	Сигнал шины порта масштабируемости (SP) 0
46B	SP0BSTBP0	Сигнал шины порта масштабируемости (SP) 0
47B	GND	Земля
48B	SP0BVREFH0	Сигнал шины порта масштабируемости (SP) 0
49B	SP0BD0	Сигнал шины порта масштабируемости (SP) 0
50B	GND	Земля
51B	SP0AVREFH0	Сигнал шины порта масштабируемости (SP) 0
52B	SP0AEP2	Сигнал шины порта масштабируемости (SP) 0
53B	SP0ASTBP0	Сигнал шины порта масштабируемости (SP) 0
54B	GND	Земля
55B	SP0AD3	Сигнал шины порта масштабируемости (SP) 0
56B	SP0AVREFL1	Сигнал шины порта масштабируемости (SP) 0
57B	GND	Земля
58B	SP0AD6	Сигнал шины порта масштабируемости (SP) 0
59B	BCLK_L	Системный синхронизирующий импульс 200 МГц
60B	GND	Земля
1C	RSVD	Зарезервирован
2C	GND	Земля
3C	RSVD	Зарезервирован
4C	GND	Земля
5C	RSVD	Зарезервирован
6C	RSVD	Зарезервирован
7C	RSVD	Зарезервирован
8C	RSVD	Зарезервирован
9C	RSVD	
10C	RSVD	
11C	3.3V_STDBY	3,3 В режима ожидания
12C	BUSID1	Биты Strap Bits, определяющие номер конфигурации шины SNC
13C	NODEID4	Биты, указывающие идентификатор узла SNC-M
14C	EV1_L	Логика событий
15C	RSVD	Контакт зарезервирован
16C	ERR2_L	Сигнал кода ошибки
17C	BINITIN_L	
18C	BINITOUT_L	Указывает, что напряжение сигнала FSB BINIT# на плате процессоров составляет 3,3 В. SNC поддерживает 3,3 В
19C	RSVD	Контакт зарезервирован

20C	INIT_L	Сигнал инициализации процессора.
21C	RSVD	Контакт зарезервирован
22C	SP1SYNC	Синхронизация перезагрузки
23C	SP1BD6	Сигнал шины порта масштабируемости (SP) 1
24C	SP1BD4	Сигнал шины порта масштабируемости (SP) 1
25C	GND	Земля
26C	SP1BD3	Сигнал шины порта масштабируемости (SP) 1
27C	SP1BSTBN0	Сигнал шины порта масштабируемости (SP) 1
28C	GND	Земля
29C	SP1BEP1	Сигнал шины порта масштабируемости (SP) 1
30C	SP1BVREFL0	Сигнал шины порта масштабируемости (SP) 1
31C	GND	Земля
32C	SNCFWHDIS_L	
33C	GND	Земля
34C	SP1AD1	Сигнал шины порта масштабируемости (SP) 1
35C	GND	Земля
36C	SP1AD2	Сигнал шины порта масштабируемости (SP) 1
37C	SP1AEP0	Сигнал шины порта масштабируемости (SP) 1
38C	GND	Земля
39C	SP1AD7	Сигнал шины порта масштабируемости (SP) 1
40C	SP1AD5	Сигнал шины порта масштабируемости (SP) 1
41C	SP0BD6	Сигнал шины порта масштабируемости (SP) 0
42C	SP0BD4	Сигнал шины порта масштабируемости (SP) 0
43C	GND	Земля
44C	SP0BD3	Сигнал шины порта масштабируемости (SP) 0
45C	SP0BEP1	Сигнал шины порта масштабируемости (SP) 0
46C	GND	Земля
47C	SP0BEP2	Сигнал шины порта масштабируемости (SP) 0
48C	SP0BVREFL0	Сигнал шины порта масштабируемости (SP) 0
49C	GND	Земля
50C	3.3VSTDBY_FLT_L	Сбой 3,3 В режима ожидания
51C	GND	Земля
52C	SP0AD1	Сигнал шины порта масштабируемости (SP) 0
53C	GND	Земля
54C	SP0AD2	Сигнал шины порта масштабируемости (SP) 0
55C	SP0AEP0	Сигнал шины порта масштабируемости (SP) 0
56C	GND	Земля
57C	SP0AD7	Сигнал шины порта масштабируемости (SP) 0
58C	SP0AD5	Сигнал шины порта масштабируемости (SP) 0
59C	GND	Земля
60C	ISP_SDI	In-System Programming Data In
1D	GND	Земля
2D	GND	Земля
3D	RSVD	Зарезервирован
4D	RSVD	Зарезервирован
5D	RSVD	Зарезервирован
6D	RSVD	Зарезервирован
7D	RSVD	Зарезервирован

8D	RSVD	Зарезервирован
9D	RSVD	Зарезервирован
10D	RSVD	Зарезервирован
11D	NC	NO CONNECT
12D	BUSID2	Биты Strap Bits, определяющие номер конфигурации шины SNC
13D	BUSID0	Биты Strap Bits, определяющие номер конфигурации шины SNC
14D	NODEID3	Биты, указывающие идентификатор узла SNC.
15D	NODEID2	Биты, указывающие идентификатор узла SNC.
16D	NODEID1	Биты, указывающие идентификатор узла SNC.
17D	RSVD	Контакт зарезервирован
18D	NODEID0	Биты, указывающие идентификатор узла SNC.
19D	IS_TCK	Сигнал тестирования на плату ввода/вывода
20D	SYNC_CLK	Sync Clock
21D	RESETI_L	Resets SNC. SNC resets the FSB
22D	GND	Земля
23D	SP1BD14	Сигнал шины порта масштабируемости (SP) 1
24D	GND	Земля
25D	SP1BVREFL3	Сигнал шины порта масштабируемости (SP) 1
26D	SP1BSSO	Сигнал шины порта масштабируемости (SP) 1
27D	GND	Земля
28D	SP1BSTBN1	Сигнал шины порта масштабируемости (SP) 1
29D	SP1BD9	Сигнал шины порта масштабируемости (SP) 1
30D	GND	Земля
31D	IS_JTAGEN_L	
32D	SP1AD8	Сигнал шины порта масштабируемости (SP) 1
33D	SP1AVREFL2	Сигнал шины порта масштабируемости (SP) 1
34D	GND	Земля
35D	SP1ASTBP1	Сигнал шины порта масштабируемости (SP) 1
36D	SP1ARSVD	Сигнал шины порта масштабируемости (SP) 1
37D	GND	Земля
38D	SP1AVREFH3	Сигнал шины порта масштабируемости (SP) 1
39D	SP1AD12	Сигнал шины порта масштабируемости (SP) 1
40D	GND	Земля
41D	SP0BD14	Сигнал шины порта масштабируемости (SP) 0
42D	GND	Земля
43D	SP0BVREFL3	Сигнал шины порта масштабируемости (SP) 0
44D	SP0BSSO	Сигнал шины порта масштабируемости (SP) 0
45D	GND	Земля
46D	SP0BSTBN1	Сигнал шины порта масштабируемости (SP) 0
47D	SP0BD9	Сигнал шины порта масштабируемости (SP) 0
48D	GND	Земля
49D	STDBYEN	Standby Enable
50D	SP0AD8	Сигнал шины порта масштабируемости (SP) 0
51D	SP0AVREFL2	Сигнал шины порта масштабируемости (SP) 0
52D	GND	Земля
53D	SP0ASTBP1	Сигнал шины порта масштабируемости (SP) 0
54D	SP0ARSVD	Сигнал шины порта масштабируемости (SP) 0
55D	GND	Земля

56D	SP0AVREFH3	Сигнал шины порта масштабируемости (SP) 0
57D	SP0AD12	Сигнал шины порта масштабируемости (SP) 0
58D	GND	Земля
59D	GND	Земля
60D	ISP_SDO	Выходные данные ISP
1E	GND	Земля
2E	RSVD	Зарезервирован
3E	GND	Земля
4E	RSVD	Зарезервирован
5E	RSVD	Зарезервирован
6E	RSVD	Зарезервирован
7E	RSVD	Зарезервирован
8E	RSVD	Зарезервирован
9E	RSVD	Зарезервирован
10E	RSVD	Зарезервирован
11E	12V_STDBY	12 В режима ожидания
12E	RSVD	Зарезервирован
13E	PROCHOT_L	Указывает на состояние Thermal Throttled
14E	EV2_L	Логика событий
15E	RSVD	Зарезервирован
16E	BERROUT_L	От SNC (M/F)
17E	RSVD	Зарезервирован
18E	IS_TRST_L	Сигнал перезагрузки тестирования на плату ввода/вывода
19E	IS_TDI	Сигнал тестирования данных с платы ввода/вывода
20E	INTR	Запрос прерывания
21E	SYNCEN_L	Sync Enable
22E	SP0PRES	Масштабируемость порта присутствия
23E	GND	Земля
24E	SP1BD15	Сигнал шины порта масштабируемости (SP) 1
25E	SP1BVREFH3	Сигнал шины порта масштабируемости (SP) 1
26E	GND	Земля
27E	SP1BD10	Сигнал шины порта масштабируемости (SP) 1
28E	SP1BSTBP1	Сигнал шины порта масштабируемости (SP) 1
29E	GND	Земля
30E	SP1BVREFH2	Сигнал шины порта масштабируемости (SP) 1
31E	SP1BD8	Сигнал шины порта масштабируемости (SP) 1
32E	GND	Земля
33E	SP1AVREFH2	Сигнал шины порта масштабируемости (SP) 1
34E	SP1ALLC	Сигнал шины порта масштабируемости (SP) 1
35E	SP1ASTBN1	Сигнал шины порта масштабируемости (SP) 1
36E	GND	Земля
37E	SP1AD11	Сигнал шины порта масштабируемости (SP) 1
38E	SP1AVREFL3	Сигнал шины порта масштабируемости (SP) 1
39E	GND	Земля
40E	SP1AD13	Сигнал шины порта масштабируемости (SP) 1
41E	GND	Земля
42E	SP0BD15	Сигнал шины порта масштабируемости (SP) 0
43E	SP0BVREFH3	Сигнал шины порта масштабируемости (SP) 0

44E	GND	Земля
45E	SP0BD10	Сигнал шины порта масштабируемости (SP) 0
46E	SP0BSTBP1	Сигнал шины порта масштабируемости (SP) 0
47E	GND	Земля
48E	SP0BVREFH2	Сигнал шины порта масштабируемости (SP) 0
49E	SP0BD8	Сигнал шины порта масштабируемости (SP) 0
50E	GND	Земля
51E	SP0AVREFH2	Сигнал шины порта масштабируемости (SP) 0
52E	SP0ALLC	Сигнал шины порта масштабируемости (SP) 0
53E	SP0ASTBN1	Сигнал шины порта масштабируемости (SP) 0
54E	GND	Земля
55E	SP0AD11	Сигнал шины порта масштабируемости (SP) 0
56E	SP0AVREFL3	Сигнал шины порта масштабируемости (SP) 0
57E	GND	Земля
58E	SP0AD13	Сигнал шины порта масштабируемости (SP) 0
59E	ISP_MODE	In-System Programming Mode
60E	ISP_EN_L	Включение ISP
1F	RSVD	Зарезервирован
2F	GND	Земля
3F	RSVD	Зарезервирован
4F	RSVD	Зарезервирован
5F	RSVD	Зарезервирован
6F	RSVD	Зарезервирован
7F	RSVD	Зарезервирован
8F	RSVD	Зарезервирован
9F	RSVD	Зарезервирован
10F	RSVD	Зарезервирован
11F	12V_STDBY	12 В режима ожидания
12F	RSVD	Зарезервирован
13F	STPCLK_L	Стоповый синхронизирующий импульс для поддержки IA32
14F	EV3_L	Логика событий
15F	RSVD	Зарезервирован
16F	INT_OUT_L	Используется для модуля горячей установки Передается на плату процессора
17F	BERRIN_L	На SNC для машинной проверки системной шины
18F	IS_TMS	Выбор тестового режима платы ввода/вывода
19F	IS_TDO	Вывод тестовых данных на плату ввода/вывода
20F	NMI	Немаскируемое прерывание
21F	RESETO_L	От SNC для перезагрузки подсистемы ввода/вывода
22F	SP1PRES	Масштабируемость порта присутствия
23F	SP1BD13	Сигнал шины порта масштабируемости (SP) 1
24F	SP1BD12	Сигнал шины порта масштабируемости (SP) 1
25F	GND	Земля
26F	SP1BD11	Сигнал шины порта масштабируемости (SP) 1
27F	SP1BRSVD	Сигнал шины порта масштабируемости (SP) 1
28F	GND	Земля
29F	SP1BLLC	Сигнал шины порта масштабируемости (SP) 1
30F	SP1BVREFL2	Сигнал шины порта масштабируемости (SP) 1
31F	GND	Земля

32F	IA64_IA32	
33F	GND	Земля
34F	SP1AD9	Сигнал шины порта масштабируемости (SP) 1
35F	GND	Земля
36F	SP1AD10	Сигнал шины порта масштабируемости (SP) 1
37F	SP1ASSO	Сигнал шины порта масштабируемости (SP) 1
38F	GND	Земля
39F	SP1AD15	Сигнал шины порта масштабируемости (SP) 1
40F	SP1AD14	Сигнал шины порта масштабируемости (SP) 1
41F	SP0BD13	Сигнал шины порта масштабируемости (SP) 0
42F	SP0BD12	Сигнал шины порта масштабируемости (SP) 0
43F	GND	Земля
44F	SP0BD11	Сигнал шины порта масштабируемости (SP) 0
45F	SP0BDBG	Сигнал шины порта масштабируемости (SP) 0
46F	GND	Земля
47F	SP0BLLC	Сигнал шины порта масштабируемости (SP) 0
48F	SP0BVREFL2	Сигнал шины порта масштабируемости (SP) 0
49F	GND	Земля
50F	V48EN	Включение 48 V
51F	GND	Земля
52F	SP0AD9	Сигнал шины порта масштабируемости (SP) 0
53F	GND	Земля
54F	SP0AD10	Сигнал шины порта масштабируемости (SP) 0
55F	SP0ASSO	Сигнал шины порта масштабируемости (SP) 0
56F	GND	Земля
57F	SP0AD15	Сигнал шины порта масштабируемости (SP) 0
58F	SP0AD14	Сигнал шины порта масштабируемости (SP) 0
59F	ISP_SCLK	In-System Programming Clock
60F	CPU_INTERLOCK1_L	Определение подключения разъема VHDM
PW11	48V	48V Power from PDB
PW12	48V	48V Power from PDB
PW13	48V	48V Power from PDB
PW14	48V	48V Power from PDB
PW15	48VGND	48V Ground to PDB
PW16	48VGND	48V Ground to PDB
PW17	48VGND	48V Ground to PDB
PW18	48VGND	48V Ground to PDB
PW21	48V	48V Power from PDB
PW22	48V	48V Power from PDB
PW23	48V	48V Power from PDB
PW24	48V	48V Power from PDB
PW25	48VGND	48V Ground to PDB
PW26	48VGND	48V Ground to PDB
PW27	48VGND	48V Ground to PDB
PW28	48VGND	48V Ground to PDB
PW31	48V	48V Power from PDB
PW32	48V	48V Power from PDB
PW33	48V	48V Power from PDB

PW34	48V	48V Power from PDB
PW35	48VGND	48V Ground to PDB
PW36	48VGND	48V Ground to PDB
PW37	48VGND	48V Ground to PDB
PW38	48VGND	48V Ground to PDB

6.3.3.1 Значения NODEID и BUSID

Сигналы NODEID представляют собой биты идентификации узла для контроллера SNC. Сигналы BUSID указывают номер конфигурации шины SNC. Эти сигналы подаются платой процессоров. Промежуточная плата заземляет их или оставляет их неподключенными, в зависимости от идентификатора. В четырехпроцессорной системе на плате процессоров установлен один контроллер SNC. В таблице 6-6 описаны значения NODEID и BUSID.

Таблица 6-6. Значения NODEID и BUSID.

Сигнал	Значение (1,5 В CMOS)	Подключение на промежуточной плате
BUSID0	1	Нет контакта
BUSID1	1	Нет контакта
BUSID2	1	Нет контакта
NODEID0	0	Grounded
NODEID1	0	Grounded
NODEID2	0	Grounded
NODEID3	1	Нет контакта
NODEID4	1	Нет контакта

6.3.4 Интерфейс промежуточной платы и платы ввода/вывода

Интерфейс между промежуточной платой и платой ввода/вывода состоит из двух разъемов. Это разъем VHDM и разъем HDM.

6.3.4.1 Разъем VHDM промежуточной платы

Интерфейс между промежуточной платой и платой ввода/вывода состоит из одного 360-контактного разъема Teradyne*/Molex* VHDM с модулем питания. На плате ввода/вывода расположен разъем, а на промежуточной плате расположен коннектор. Питание подается на модуль питания этого разъема VHDM распределительной платой питания через промежуточную плату. В таблице 6-7 приводится схема контактов и описание сигналов разъема VHDM со стороны платы ввода/вывода.

Таблица 6-7. Интерфейс промежуточной платы / платы ввода/вывода (VHDM)

Контакт	Сигнал	Описание
1A	IO_INTERLOCK1_L	Определение подключения разъема VHDM
2A	RSVD	Зарезервирован
3A	GND	Земля
4A	RSVD	Зарезервирован
5A	RSVD	Зарезервирован
6A	RSVD	Зарезервирован
7A	LCD_RW	Чтение/запись LCD

8A	LCD_RS	Перезагрузка LCD
9A	LCD_E	Включение LCD
10A	RSVD	Зарезервирован
11A	STPCLK_L	Стоповый синхронизирующий импульс для поддержки IA32
12A	EV3_L	Логика событий
13A	RSVD	Зарезервирован
14A	INT_OUT_L	Используется для модуля горячей установки Передается на плату процессора
15A	BERRIN_L	На SNC для машинной проверки системной шины
16A	IS_TMS	Выбор тестового режима платы ввода/вывода
17A	IS_TDO	Вывод тестовых данных на плату ввода/вывода
18A	NMI	Немаскируемое прерывание
19A	RESETO_L	От SNC для перезагрузки подсистемы ввода/вывода
20A	GND	Земля
21A	BCLK_L	Системный синхронизирующий импульс 200 МГц
22A	GND	Земля
23A	SP0AD14	Сигнал шины порта масштабируемости (SP) 0
24A	SP0AD15	Сигнал шины порта масштабируемости (SP) 0
25A	GND	Земля
26A	SP0ASSO	Сигнал шины порта масштабируемости (SP) 0
27A	SP0AD10	Сигнал шины порта масштабируемости (SP) 0
28A	GND	Земля
29A	SP0AD9	Сигнал шины порта масштабируемости (SP) 0
30A	GND	Земля
31A	V48EN	Включение 48 В
32A	GND	Земля
33A	SP0BVREFL2	Сигнал шины порта масштабируемости (SP) 0
34A	SP0BLLC	Сигнал шины порта масштабируемости (SP) 0
35A	GND	Земля
36A	SP0BRSVD	Сигнал шины порта масштабируемости (SP) 0
37A	SP0BD11	Сигнал шины порта масштабируемости (SP) 0
38A	GND	Земля
39A	SP0BD12	Сигнал шины порта масштабируемости (SP) 0
40A	SP0BD13	Сигнал шины порта масштабируемости (SP) 0
41A	SP1AD14	Сигнал шины порта масштабируемости (SP) 1
42A	SP1AD15	Сигнал шины порта масштабируемости (SP) 1
43A	GND	Земля
44A	SP1ASSO	Сигнал шины порта масштабируемости (SP) 1
45A	SP1AD10	Сигнал шины порта масштабируемости (SP) 1
46A	GND	Земля
47A	SP1AD9	Сигнал шины порта масштабируемости (SP) 1
48A	GND	Земля
49A	IA64_IA32	
50A	GND	Земля
51A	SP1BVREFL2	Сигнал шины порта масштабируемости (SP) 1
52A	SP1BLLC	Сигнал шины порта масштабируемости (SP) 1
53A	GND	Земля

54A	SP1BRSVD	Сигнал шины порта масштабируемости (SP) 1
55A	SP1BD11	Сигнал шины порта масштабируемости (SP) 1
56A	GND	Земля
57A	SP1BD12	Сигнал шины порта масштабируемости (SP) 1
58A	SP1BD13	Сигнал шины порта масштабируемости (SP) 1
59A	SP1PRES	Масштабируемость порта присутствия
60A	GND	Земля
1B	3.3V_STDBY	3,3 В режима ожидания
2B	GND	Земля
3B	RSVD	Зарезервирован
4B	RSVD	Зарезервирован
5B	RSVD	Зарезервирован
6B	RSVD	Зарезервирован
7B	ISP_SDO_LCD7	Выходные данные ISP
8B	ISP_SDI	In-System Programming Data In
9B	ISP_MODE_LCD5	In-System Programming Mode
10B	RSVD	Зарезервирован
11B	PROCHOT_L	Указывает на состояние Thermal Throttled
12B	EV2_L	Логика событий
13B	ID_LED	Chassis ID LED
14B	BERROUT_L	От SNS (M/F), используется только в 8-процессорных системах
15B	RSVD	Зарезервирован
16B	IS_TRST_L	Сигнал перезагрузки тестирования на плату ввода/вывода
17B	IS_TDI	Сигнал тестирования данных с платы ввода/вывода
18B	INTR	Запрос прерывания
19B	RSVD	Контакт зарезервирован
20B	GND	Земля
21B	BCLK	Системный синхронизирующий импульс 200 МГц
22B	GND	Земля
23B	SP0AD13	Сигнал шины порта масштабируемости (SP) 0
24B	GND	Земля
25B	SP0AVREFL3	Сигнал шины порта масштабируемости (SP) 0
26B	SP0AD11	Сигнал шины порта масштабируемости (SP) 0
27B	GND	Земля
28B	SP0ASTBN1	Сигнал шины порта масштабируемости (SP) 0
29B	SP0ALLC	Сигнал шины порта масштабируемости (SP) 0
30B	SP0AVREFH2	Сигнал шины порта масштабируемости (SP) 0
31B	GND	Земля
32B	SP0BD8	Сигнал шины порта масштабируемости (SP) 0
33B	SP0BVREFH2	Сигнал шины порта масштабируемости (SP) 0
34B	GND	Земля
35B	SP0BSTBP1	Сигнал шины порта масштабируемости (SP) 0
36B	SP0BD10	Сигнал шины порта масштабируемости (SP) 0
37B	GND	Земля
38B	SP0BVREFH3	Сигнал шины порта масштабируемости (SP) 0
39B	SP0BD15	Сигнал шины порта масштабируемости (SP) 0
40B	GND	Земля

41B	SP1AD13	Сигнал шины порта масштабируемости (SP) 1
42B	GND	Земля
43B	SP1AVREFL3	Сигнал шины порта масштабируемости (SP) 1
44B	SP1AD11	Сигнал шины порта масштабируемости (SP) 1
45B	GND	Земля
46B	SP1ASTBN1	Сигнал шины порта масштабируемости (SP) 1
47B	SP1ALLC	Сигнал шины порта масштабируемости (SP) 1
48B	SP1AVREFH2	Сигнал шины порта масштабируемости (SP) 1
49B	GND	Земля
50B	SP1BD8	Сигнал шины порта масштабируемости (SP) 1
51B	SP1BVREFH2	Сигнал шины порта масштабируемости (SP) 1
52B	GND	Земля
53B	SP1BSTBP1	Сигнал шины порта масштабируемости (SP) 1
54B	SP1BD10	Сигнал шины порта масштабируемости (SP) 1
55B	GND	Земля
56B	SP1BVREFH3	Сигнал шины порта масштабируемости (SP) 1
57B	SP1BD15	Сигнал шины порта масштабируемости (SP) 1
58B	GND	Земля
59B	SP0PRES	Масштабируемость порта присутствия
60B	PS_OK_ORED	Power OK (на плату распределения питания)
1C	3.3V_STDBY	3,3 В режима ожидания
2C	RSVD	Зарезервирован
3C	GND	Земля
4C	RSVD	Зарезервирован
5C	RSVD	Зарезервирован
6C	RSVD	Зарезервирован
7C	RSVD	Зарезервирован
8C	ISP_EN_L	Включение ISP
9C	ISP_SCLK	In-System Programming Clock
10C	ON_LED	Указывает включение питания (FP)
11C	COOL_FLT_LED	Indicates cooling failure due to fan fail (to FP)
12C	PWR_FLT_LED	Indicates Power supply or D2D failure (to FP)
13C	SPEAKER	Динамик (FP)
14C	POWER_SW	Нажатие кнопки питания (to FP)
15C	RESET_SW	Кнопка перезагрузки (FP)
16C	SDINT_SW	Используется для отладки ОС
17C	IS_TCK	Сигнал тестирования на плату ввода/вывода
18C	RSVD	Контакт зарезервирован
19C	RESETI_L	Перезагрузка SNC; SNC перезагружает системную шину
20C	MIDP_ID(1)	Идентификатор промежуточной платы
21C	GND	Земля
22C	GND	Земля
23C	GND	Земля
24C	SP0AD12	Сигнал шины порта масштабируемости (SP) 0
25C	SP0AVREFH3	Сигнал шины порта масштабируемости (SP) 0
26C	GND	Земля
27C	SP0ARSVD	Сигнал шины порта масштабируемости (SP) 0
28C	SP0ASTBP1	Сигнал шины порта масштабируемости (SP) 0

29C	GND	Земля
30C	SP0AVREFL2	Сигнал шины порта масштабируемости (SP) 0
31C	SP0AD8	Сигнал шины порта масштабируемости (SP) 0
32C	STDBYEN	Standby Enable
33C	GND	Земля
34C	SP0BD9	Сигнал шины порта масштабируемости (SP) 0
35C	SP0BSTBN1	Сигнал шины порта масштабируемости (SP) 0
36C	GND	Земля
37C	SP0BSSO	Сигнал шины порта масштабируемости (SP) 0
38C	SP0BVREFL3	Сигнал шины порта масштабируемости (SP) 0
39C	GND	Земля
40C	SP0BD14	Сигнал шины порта масштабируемости (SP) 0
41C	GND	Земля
42C	SP1AD12	Сигнал шины порта масштабируемости (SP) 1
43C	SP1AVREFH3	Сигнал шины порта масштабируемости (SP) 1
44C	GND	Земля
45C	SP1ARSVD	Сигнал шины порта масштабируемости (SP) 1
46C	SP1ASTBP1	Сигнал шины порта масштабируемости (SP) 1
47C	GND	Земля
48C	SP1AVREFL2	Сигнал шины порта масштабируемости (SP) 1
49C	SP1AD8	Сигнал шины порта масштабируемости (SP) 1
50C	IS_JTAGEN_L	
51C	GND	Земля
52C	SP1BD9	Сигнал шины порта масштабируемости (SP) 1
53C	SP1BSTBN1	Сигнал шины порта масштабируемости (SP) 1
54C	GND	Земля
55C	SP1BSSO	Сигнал шины порта масштабируемости (SP) 1
56C	SP1BVREFL3	Сигнал шины порта масштабируемости (SP) 1
57C	GND	Земля
58C	SP1BD14	Сигнал шины порта масштабируемости (SP) 1
59C	GND	Земля
60C	PS_ON_L	Сигнал включения блока питания (на плату распределения питания)
1D	RSVD	Зарезервирован
2D	GND	Земля
3D	RSVD	Зарезервирован
4D	RSVD	Зарезервирован
5D	RSVD	Зарезервирован
6D	RSVD	Зарезервирован
7D	RSVD	Зарезервирован
8D	LCD6	
9D	LCD4	
10D	MIDP_ID(2)	Идентификатор промежуточной платы
11D	GEN_FLT_LED	Указывает проблемы подключения платы (FP)
12D	EV1_L	Логика событий
13D	RSVD	Контакт зарезервирован
14D	ERR2_L	Сигналы кода ошибки
15D	BINITIN_L	

16D	BINITOUT_L	От SNC (M/F)
17D	RSVD	Контакт зарезервирован
18D	INIT_L	Сигнал инициализации процессора.
19D	RSVD	Контакт зарезервирован
20D	MIDP_ID(0)	Идентификатор промежуточной платы
21D	GND	Земля
22D	GND	Земля
23D	SP0AD5	Сигнал шины порта масштабируемости (SP) 0
24D	SP0AD7	Сигнал шины порта масштабируемости (SP) 0
25D	GND	Земля
26D	SP0AEP0	Сигнал шины порта масштабируемости (SP) 0
27D	SP0AD2	Сигнал шины порта масштабируемости (SP) 0
28D	GND	Земля
29D	SP0AD1	Сигнал шины порта масштабируемости (SP) 0
30D	GND	Земля
31D	3.3VSTDBY_FLT_L	Сбой 3,3 В режима ожидания
32D	GND	Земля
33D	SP0BVREFLO	Сигнал шины порта масштабируемости (SP) 0
34D	SP0BEP2	Сигнал шины порта масштабируемости (SP) 0
35D	GND	Земля
36D	SP0BEP1	Сигнал шины порта масштабируемости (SP) 0
37D	SP0BD3	Сигнал шины порта масштабируемости (SP) 0
38D	GND	Земля
39D	SP0BD4	Сигнал шины порта масштабируемости (SP) 0
40D	SP0BD6	Сигнал шины порта масштабируемости (SP) 0
41D	SP1AD5	Сигнал шины порта масштабируемости (SP) 1
42D	SP1AD7	Сигнал шины порта масштабируемости (SP) 1
43D	GND	Земля
44D	SP1AEP0	Сигнал шины порта масштабируемости (SP) 1
45D	SP1AD2	Сигнал шины порта масштабируемости (SP) 1
46D	GND	Земля
47D	SP1AD1	Сигнал шины порта масштабируемости (SP) 1
48D	GND	Земля
49D	SNCFWHDIS_L	
50D	GND	Земля
51D	SP1BVREFLO	Сигнал шины порта масштабируемости (SP) 1
52D	SP1BEP1	Сигнал шины порта масштабируемости (SP) 1
53D	GND	Земля
54D	SP1BSTBN0	Сигнал шины порта масштабируемости (SP) 1
55D	SP1BD3	Сигнал шины порта масштабируемости (SP) 1
56D	GND	Земля
57D	SP1BD4	Сигнал шины порта масштабируемости (SP) 1
58D	SP1BD6	Сигнал шины порта масштабируемости (SP) 1
59D	SP1SYNC	Синхронизация перезагрузки
60D	GND	Земля
1E	BYPEN66	
2E	RSVD	Зарезервирован
3E	GND	Земля

4E	RSVD	Зарезервирован
5E	RSVD	Зарезервирован
6E	RSVD	Зарезервирован
7E	RSVD	Зарезервирован
8E	CHASS_ID	Сигнал выключателя идентификационного индикатора корпуса
9E	I2C_IO_SCL	Синхронизирующий сигнал I2C подключен к набору микросхем (на плату распределения питания)
10E	I2C_CPU_SDA	Синхронизирующий сигнал I2C подключен к набору микросхем
11E	SP1GPIO	GPIO порта масштабируемости
12E	EV0_L	Логика событий
13E	HP_INT_L	Прерывание горячей установки узла
14E	ERR1_L	Сигналы кода ошибки
15E	RSVD	TLB purge – не выполнено
16E	CD2D33EN	Включает преобразователь постоянного тока 3,3 В на плате процессоров
17E	FERR_L	Ошибка вычислений с плавающей запятой
18E	IGNNE_L	Игнорировать числовую ошибку.
19E	NODE_PG	Сигнал Power good преобразователей постоянного тока платы процессоров
20E	GND	Земля
21E	SV_PEC_L_IN_L	Системный синхронизирующий импульс 200 МГц
22E	GND	Земля
23E	SP0AD6	Сигнал шины порта масштабируемости (SP) 0
24E	GND	Земля
25E	SP0AVREFL1	Сигнал шины порта масштабируемости (SP) 0
26E	SP0AD3	Сигнал шины порта масштабируемости (SP) 0
27E	GND	Земля
28E	SP0ASTBP0	Сигнал шины порта масштабируемости (SP) 0
29E	SP0AEP2	Сигнал шины порта масштабируемости (SP) 0
30E	SP0AVREFH0	Сигнал шины порта масштабируемости (SP) 0
31E	GND	Земля
32E	SP0BD0	Сигнал шины порта масштабируемости (SP) 0
33E	SP0BVREFH0	Сигнал шины порта масштабируемости (SP) 0
34E	GND	Земля
35E	SP0BSTBP0	Сигнал шины порта масштабируемости (SP) 0
36E	SP0BD2	Сигнал шины порта масштабируемости (SP) 0
37E	GND	Земля
38E	SP0BVREFH1	Сигнал шины порта масштабируемости (SP) 0
39E	SP0BD7	Сигнал шины порта масштабируемости (SP) 0
40E	GND	Земля
41E	SP1AD6	Сигнал шины порта масштабируемости (SP) 1
42E	GND	Земля
43E	SP1AVREFL1	Сигнал шины порта масштабируемости (SP) 1
44E	SP1AD3	Сигнал шины порта масштабируемости (SP) 1
45E	GND	Земля
46E	SP1ASTBN0	Сигнал шины порта масштабируемости (SP) 1
47E	SP1AEP2	Сигнал шины порта масштабируемости (SP) 1

48E	SP1AVREFH0	Сигнал шины порта масштабируемости (SP) 1
49E	GND	Земля
50E	SP1BD0	Сигнал шины порта масштабируемости (SP) 1
51E	SP1BVREFH0	Сигнал шины порта масштабируемости (SP) 1
52E	GND	Земля
53E	SP1BEP2	Сигнал шины порта масштабируемости (SP) 1
54E	SP1BD2	Сигнал шины порта масштабируемости (SP) 1
55E	GND	Земля
56E	SP1BVREFH1	Сигнал шины порта масштабируемости (SP) 1
57E	SP1BD7	Сигнал шины порта масштабируемости (SP) 1
58E	GND	Земля
59E	GND	Земля
60E	INTRUSION	Вскрытие корпуса
1F	CPU_INTERLOCK_L	
2F	GND	Земля
3F	RSVD	Зарезервирован
4F	RSVD	Зарезервирован
5F	RSVD	Зарезервирован
6F	RSVD	Зарезервирован
7F	RSVD	Зарезервирован
8F	RSVD	Зарезервирован
9F	I2C_IO_SDA	Синхронизирующий сигнал I2C подключен к набору микросхем (на плату распределения питания)
10F	I2C_CPU_SCL	Синхронизирующий сигнал I2C подключен к набору микросхем
11F	PPODOE	Включение процессора
12F	SP0GPIO	GPIO порта масштабируемости
13F	THERMALERT_L	Указывает выход температуры процессора за пределы допустимого диапазона
14F	ERR0_L	Сигнал кода ошибки
15F	RSVD	Зарезервирован
16F	AIPPODPG	Сигнал powergood для всех установленных модулей питания процессора
17F	PMI_L	Прерывание управления процессором (SMI_L)
18F	A20M_L	A20 Mask
19F	PWRGOOD	Сигнал Global power good платы ввода/вывода
20F	GND	Земля
21F	SV_PECCL_IN	Системный синхронизирующий импульс 200 МГц
22F	GND	Земля
23F	GND	Земля
24F	SP0AD4	Сигнал шины порта масштабируемости (SP) 0
25F	SP0AVREFH1	Сигнал шины порта масштабируемости (SP) 0
26F	GND	Земля
27F	SP0ASTBN0	Сигнал шины порта масштабируемости (SP) 0
28F	SP0AEP1	Сигнал шины порта масштабируемости (SP) 0
29F	GND	Земля
30F	SP0AVREFL0	Сигнал шины порта масштабируемости (SP) 0
31F	SP0AD0	Сигнал шины порта масштабируемости (SP) 0
32F	RSVD	

33F	GND	Земля
34F	SP0BD1	Сигнал шины порта масштабируемости (SP) 0
35F	SP0BSTBN0	Сигнал шины порта масштабируемости (SP) 0
36F	GND	Земля
37F	SP0BEP0	Сигнал шины порта масштабируемости (SP) 0
38F	SP0BVREFL1	Сигнал шины порта масштабируемости (SP) 0
39F	GND	Земля
40F	SP0BD5	Сигнал шины порта масштабируемости (SP) 0
41F	GND	Земля
42F	SP1AD4	Сигнал шины порта масштабируемости (SP) 1
43F	SP1AVREFH1	Сигнал шины порта масштабируемости (SP) 1
44F	GND	Земля
45F	SP1AEP1	Сигнал шины порта масштабируемости (SP) 1
46F	SP1ASTBP0	Сигнал шины порта масштабируемости (SP) 1
47F	GND	Земля
48F	SP1AVREFL0	Сигнал шины порта масштабируемости (SP) 1
49F	SP1AD0	Сигнал шины порта масштабируемости (SP) 1
50F	SNCFWHWP_L	
51F	GND	Земля
52F	SP1BD1	Сигнал шины порта масштабируемости (SP) 1
53F	SP1BSTBP0	Сигнал шины порта масштабируемости (SP) 1
54F	GND	Земля
55F	SP1BEP0	Сигнал шины порта масштабируемости (SP) 1
56F	SP1BVREFL1	Сигнал шины порта масштабируемости (SP) 1
57F	GND	Земля
58F	SP1BD5	Сигнал шины порта масштабируемости (SP) 1
59F	SP0SYNC	Синхронизация перезагрузки
60F	IO_INTERLOCK0_L	Определение подключения разъема VHDM
PW11	48V	Питание 48 В с платы распределения питания
PW12	48V	Питание 48 В с платы распределения питания
PW13	48V	Питание 48 В с платы распределения питания
PW14	48V	Питание 48 В с платы распределения питания
PW15	48VGND	48V Ground to power distribution board
PW16	48VGND	48V Ground to power distribution board
PW17	48VGND	48V Ground to power distribution board
PW18	48VGND	48V Ground to power distribution board
PW21	48V	Питание 48 В с платы распределения питания
PW22	48V	Питание 48 В с платы распределения питания
PW23	48V	Питание 48 В с платы распределения питания
PW24	48V	Питание 48 В с платы распределения питания
PW25	48VGND	48V Ground to power distribution board
PW26	48VGND	48V Ground to power distribution board
PW27	48VGND	48V Ground to power distribution board
PW28	48VGND	48V Ground to power distribution board
PW31	12V	12 V from SCSI BP
PW32	12V	12 V from SCSI BP
PW33	12V	12 V from SCSI BP
PW34	12V	12 V from SCSI BP

PW35	12V_STDBY	12 V standby from power distribution board
PW36	12V_STDBY	12 V standby from power distribution board
PW37	12V_STDBY	12 V standby from power distribution board
PW38	12V_STDBY	12 V standby from power distribution board

6.3.4.2 Идентификатор промежуточной платы

В разъеме VHDM платы ввода/вывода зарезервировано три сигнала для идентификации промежуточной платы. Это сигналы MIDP_(0), MIDP_(1) и MIDP_(2). Эти сигналы считываются платой ввода/вывода. Заземление сигнала на промежуточной плате указывает низкий идентификатор (0); если сигнал остается неподключенным, то это указывает высокий идентификатор (1). Эта функция описана в таблице 6-8.

Таблица 6-8. Идентификатор промежуточной платы

FAB	MIDP_(2)	MIDP_(1)	MIDP_(0)
Beta Board ID (Fab3)	0	1	0

6.3.4.3 Разъем HDM промежуточной платы (с задней стороны)

Разъем HDM на задней стороне промежуточной платы представляет собой 144-контактный разъем. Разъем HDM имеет высокую плотность контактов и высокую скорость передачи и целостность сигнала, что обеспечивает уменьшение помех. Это требуется для передачи сигналов SCSI и IDE. Этот разъем не подключается ни к каким компонентам промежуточной платы. Контакты разъема HDM проходят через промежуточную плату от объединительной платы SCSI на плату ввода/вывода. Схема разъема HDM показана на рисунке 6-5. Учтите, что на настоящей плате модуль питания 3x4 располагается на другой стороне (слева) 144-контактного коннектора с двумя направляющими.

Промежуточная плата

Модуль питания 3x4

(Сторона объединительной платы SCSI)

144-контактный разъем с 1 направляющим контактом (сторона платы ввода/вывода)

144-контактный разъем с 2 направляющими контактами (сторона объединительной платы SCSI)

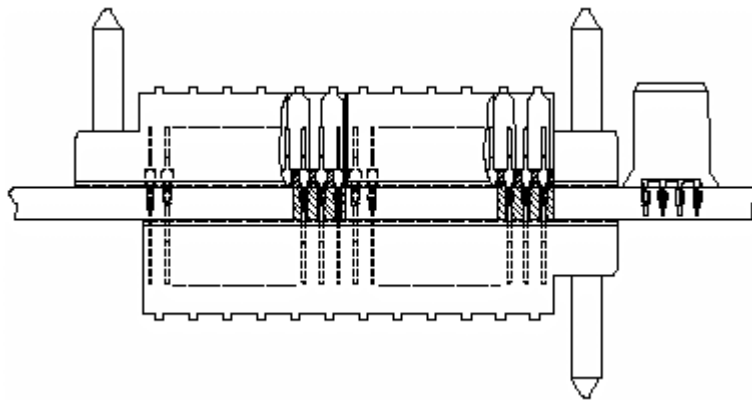


Рисунок 6-5. Разъем HDM

Сигналы передаются непосредственно с разъема HDM на промежуточной плате, подключенного к плате ввода/вывода на коннектор HDM на объединительной плате SCSI.

6.3.5 Интерфейс промежуточной платы / объединительной платы SCSI

144-контактный коннектор HDM с двумя направляющими на промежуточной плате предназначен для отсека для дисков. Этот разъем HDM также содержит модуль питания. Питание подается на промежуточную плату с распределительной платы питания на этот коннектор HDM. В таблице 6-9 показана схема контактов модуля питания HDM.

Таблица 6-9. Схема контактов модуля питания HDM (объединительная плата SCSI)

Контакт	Сигнал	Описание
A (1)	12V	Питание +12 В
D (2)	48V	Питание +48 В
F (3)	48V GND	Изолированная возвратная линия +48 В

В таблице ниже показана схема контактов разъема HDM.

Кон	Сигнал	Кон	Сигнал	Кон	Сигнал	Кон	Сигнал	Ко	Сигнал
A1	SCSI_A:DB_12N	B1	SCSI_A:DB_13N	C1	HDM_MATED_0	D1	P_GND	E1	ISP_EN_L
A2	SCSI_A:DB_12P	B2	SCSI_A:DB_13P	C2	P_CS3	D2	P_CS1	F2	S_CS3
A3	SCSI_A:DB_14N	B3	SCSI_A:DB_15N	C3	P_DA2	D3	P_DA0	F3	S_DA2
A4	SCSI_A:DB_14P	B4	SCSI_A:DB_15P	C4	P_IRQR	D4	P_DA1	F4	S_IRQR
A5	SCSI_A:DB_P1N	B5	SCSI_A:DB_0N	C5	P_GND	D5	P_DMACK_L	F5	S_GND
A6	SCSI_A:DB_P1P	B6	SCSI_A:DB_0P	C6	SCSI_A:GND	D6	P_IORDY	F6	GND(12V RT)
A7	SCSI_A:DB_1N	B7	SCSI_A:DB_2N	C7	P_GND	D7	P_DIOR_L	F7	S_GND
A8	SCSI_A:DB_1P	B8	SSI_A:DB_2P	C8	P_GND	D8	P_DIOW_L	F8	S_GND
A9	SCSI_A:DB_3N	B9	SCSI_A:DB_4N	C9	P_GND	D9	P_DMARQ	F9	S_GND
A10	SCSI_A:DB_3P	B10	SCSI_A:DB_4P	C10	P_DD15	D10	P_GND	F10	S_DD15
A11	SCSI_A:DB_5N	B11	SCSI_A:DB_6N	C11	P_DD14	D11	P_DD0	F11	S_DD14
A12	SCSI_A:DB_5P	B12	SCSI_A:DB_6P	C12	P_DD13	D12	P_DD1	F12	S_DD13
A13	SCSI_A:DB_7N	B13	SCSI_A:DB_P0N	C13	P_DD12	D13	P_DD2	F13	S_DD12
A14	SCSI_A:DB_7P	B14	SCSI_A:DB_P0P	C14	P_DD11	D14	P_DD3	F14	S_DD11
A15	SCSI_A:ATN_N	B15	SCSI_A:BSY_N	C15	P_DD10	D15	P_DD4	F15	S_DD10
A16	SCSI_A:ATN_P	B16	SCSI_A:BSY_P	C16	P_DD9	D16	P_DD5	F16	S_DD9
A17	SCSI_A:ACK_N	B17	SCSI_A:RST_N	C17	P_DD8	D17	P_DD6	F17	S_DD8
A18	SCSI_A:ACK_P	B18	SCSI_A:RST_P	C18	SCSI_A:GND	D18	P_DD7	F18	GND(12V RT)
A19	SCSI_A:MSG_N	B19	SCSI_A:SEL_N	C19	ISP_TDO	D19	P_RESET_L	F19	GND(12V RT)
A20	SCSI_A:MSG_P	B20	SCSI_A:SEL_P	C20	SCSI_A:GND	D20	SCSI_A:GND	F20	IPMCLK
A21	SCSI_A:CD_N	B21	SCSI_A:REQ_N	C21	SCSI_A:IO_N	D21	SCSI_A:GND	F21	IPMBD
A22	SCSI_A:CD_P	B22	SCSI_A:REQ_P	C22	SCSI_A:IO_P	D22	SCSI_A:DIFFSEN	F22	5V_Standby
A23	SCSI_A:8_N	B23	SCSI_A:DB_11N	C23	SCSI_A:DB_10N	D23	SCSI_A:DB_9N	F23	PWRGD
A24	SCSI_A:8_P	B24	SCSI_A:DB_11P	C24	SCSI_A:DB_10P	D24	SCSI_A:DB_9P	F24	ISP_TMS

6.4 Электрические и механические спецификации

В этом разделе описываются электрические и механические спецификации промежуточной

платы серверной системы S870BN4.

6.4.1 Температурные требования промежуточной платы

Промежуточная плата не содержит активных компонентов. К плате не предъявляется никаких специальных температурных требований, за исключением указанных во *Внешней спецификации системы SR870BN4*.

6.4.2 Требования к питанию

В таблице 6-10 показано планируемое потребление мощности промежуточной платой. Учтите, что на промежуточной плате нет активных компонентов. Значения параметров могут изменяться в зависимости от конфигурации.

Таблица 6-10. Требования к мощности промежуточной платы серверной системы Intel® S870BN4

12 В режима ожидания		
Устройство	Мощность (Вт)	Ток (А)
Плата процессора	12.77	1.05
Плата ввода/вывода	32.35	2.65
3,3 В режима ожидания		
Устройство	Мощность (Вт)	Ток (А)
Плата процессора	2.97	0.90
Передняя панель	0.36	0.11
48 В		
Устройство	Мощность (Вт)	Ток (А)
Плата процессора	748.41	15.59
Плата ввода/вывода	503.49	10.49
Объединительная плата SCSI	127.56	2.66
12 В		
Устройство	Мощность (Вт)	Ток (А)
Плата ввода/вывода	25.60	2.17
Распределительная панель (Power Distribution Board)	12.00	1.04

6.4.3 Внешний вид

На рисунке 6-6 показаны механические спецификации промежуточной платы. Размеры приведены в дюймах.

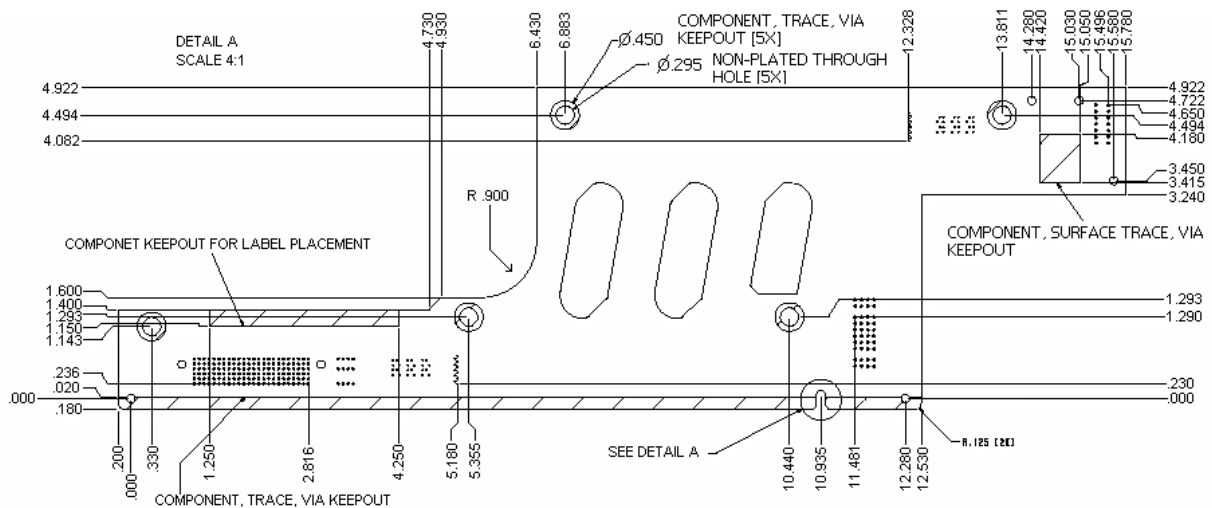


Рисунок 6-6. Механические спецификации промежуточной платы серверной системы Intel® S870BN4 (со стороны процессора)

6.4.4 Вентиляционные отверстия

Промежуточная плата содержит три вентиляционных отверстия. Они обеспечивают вентиляторам на плате ввода/вывода возможность охлаждать процессоры, расположенные на нижней стороне платы процессоров. На рисунках 6-7 и 6-8 показаны механические спецификации двух разных типов вентиляционных отверстий. Размеры приведены в дюймах.

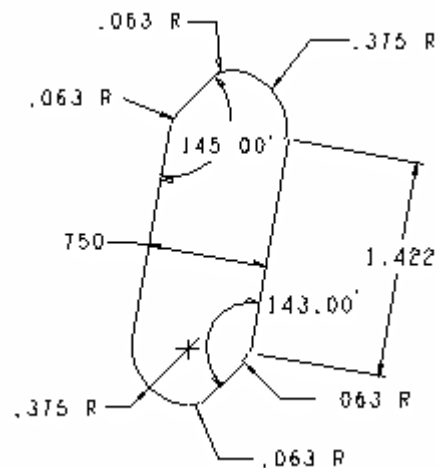


Рисунок 6-7. Спецификация вентиляционных отверстий промежуточной платы серверной системы Intel® S870BN4 (тип 1)

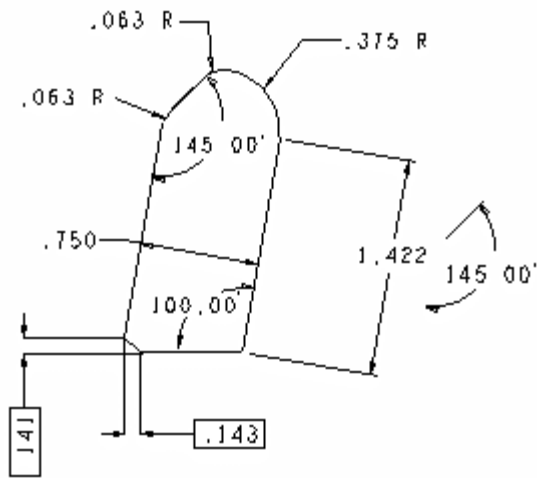


Рисунок 6-8. Спецификация вентиляционных отверстий промежуточной платы серверной системы Intel® S870BN4 (тип 2)

< Данная страница преднамеренно оставлена пустой. >

ПРИЛОЖЕНИЕ А: Глоссарий

В данном приложении содержатся важные акронимы и термины, используемые в предшествующих главах.

Термин	Описание
A, Amp	Ампер
AGTL+	Логическая цепь AGTL+
BMC	Контроллер управления платой
C	градус Цельсия
CMOS	комплементарный металло-оксидный полупроводник
PROCESSOR	процессор
D2D	Преобразователь постоянного тока
DDR	двойная скорость передачи данных
DIMM	Модуль памяти с двухрядным расположением выводов (Dual Inline Memory Module).
DMA	прямой доступ к памяти
DMH	Концентратор памяти DDR
DRAM	Динамическое ОЗУ
ECC	Код коррекции ошибок
EDS	Внешняя спецификация продукции
EMTS	Электрические, механические и температурные спецификации
EPS	Внешняя спецификация продукции
FET	канальный транзистор
FRB	отказоустойчивая загрузка
FRU	заменяемое устройство
FCB	Частота системной шины
FWH	концентратор встроенного микрокода
ГБ	гигабайт – 1024 МБ
GB/s	Гигабайт в секунду
Gbit	Гигабит
Гц	Герц (1 цикл/сек.)
I/O	Ввод/вывод
I ² C*	Шина с интегрированной цепью
ID	идентификация
ISP	программирование аппаратных систем
ITP	системный зонд
JTAG	Группа Joint Test Action Group
LPC	малое число контактов
M	мега- или миллион
m	милли-
mA	миллиампер
МБ	мегабайт – 1024 КБ
MB/s	мегабайт в секунду
Мб	мегабит
Mbit/s	мегабит в секунду
MHz	мегагерц
MP	многопроцессорный

MRH-S	концентратор-повторитель памяти (для SDRAM)
MT/s	миллионов транзакций в секунду
PCB	Печатная плата.
PCI	Соединение периферийных компонентов, шина расширения ввода/вывода
PID	Устройство программируемых прерываний (Programmable Interrupt Device).
PLD	Программируемое логическое устройство
PPOD	Модуль питания (процессора)
PROC	Блок процессоров/памяти
RAC	Ячейка Rambus ASIC
RAM	оперативное запоминающее устройство, ОЗУ
RDRAM	RAMbus DRAM
RSL	Сигнальный уровень Rambus
SAPIC	Ускоренный контроллер APIC
SCSI	Интерфейс малых компьютерных систем (Small Computer Systems Interface), обычно используется для устройств хранения данных
SCU	Утилита System Configuration Utility
SDRAM	Синхронное динамическое ЗУПВ (типа DRAM)
SM	управление сервером
SMBus	Шина управления сервером I ² C
SMI	Прерывание управления сервером.
SNC	Масштабируемый контроллер узлов
SNC-M	Масштабируемый контроллер узлов E8870 -Itanium 2
SP	Порт масштабируемости
SRAM	статическое ОЗУ
SSTL	SSTL расшифровывается, как Stub Series Terminated Logic (короткая серия логики оконечного напряжения).
STBY	режим ожидания
U	единица измерения высоты стойки (1,75 дюйма)
USB	Универсальная последовательная шина (Universal Serial Bus)
V	вольт
VA	вольт-ампер
Vac	Напряжение переменного тока
Vdc	Напряжение постоянного тока.
VHDM	модуль с очень высокой плотностью установки устройств
VID	Идентификатор напряжения
VRM	Модуль стабилизации напряжения.
Vstby	Напряжение режима ожидания.
Vtt	оконечное напряжение
W	Вт

Приложение В: Справочная документация

- *RS – Электрическая, механическая и температурная спецификация процессоров Itanium® 2*
- *RS – Внешняя спецификация процессоров Itanium® 2*
- *Спецификация модулей питания процессоров Itanium® 2*
- *Спецификация разъема VHDM*
- *Спецификация разъема интерфейса памяти Meg-Array*
- *RS – Внешняя спецификация масштабируемого контроллера узлов Intel E8870 SNC-M*
- *RS – Внешняя спецификация концентратора-повторителя памяти DDR SRAM Intel® DMH*
- *RS – Внешняя спецификация концентратора встроенного микрокода Intel® 82802AC*
- *RS – Электрическая, механическая и температурная спецификация Intel® E8870*